NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60821

Deuxième édition
Second edition
1991-12

Bus CEI 821 VMEbus –
Bus système à microprocesseurs
Pour données de 1 octet à 4 octets

IEC 821 VMEbus –
Microprocessor system bus
fir 1 byte to 4 byte data

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Numéro de référence
Reference number
ISO/IEC 60821: 1991

IECNORM.COM : Click to view the full PDF of IEC 821:1991

NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60821

Deuxième édition
Second edition
1991-12

Bus CEI 821 VMEbus –
Bus système à microprocesseurs
Pour données de 1 octet à 4 octets

IEC 821 VMEbus –
Microprocessor system bus
fir 1 byte to 4 byte data

IECNORM.COM : Click to view the full PDF of IEC 821:1991

© CEI/ISO 1991 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300
e-mail: inmail@iec.ch
3, rue de Varembé Geneva, Switzerland
IEC web site http: //www.iec.ch

SOMMAIRE

Pages

AVANT-PROPOS 20

CHAPITRE 0: INTRODUCTION

Sections

0.1 Domaine d'application 22
0.2 Références normatives 22
0.3 Note au lecteur 22

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 821

1.1 Objectifs de la norme du BUS CEI 821 24
1.2 Eléments du système d'interface BUS CEI 821 24
1.2.1 Définitions générales 24
1.2.1.1 Termes utilisés pour décrire la structure mécanique du BUS CEI 821 24
1.2.1.2 Termes utilisés pour décrire la structure fonctionnelle du BUS CEI 821 26
1.2.1.3 Types de cycles du BUS CEI 821 30
1.2.2 Structure générale du BUS CEI 821 32
1.3 Diagrammes de la norme du BUS CEI 821 40
1.4 Terminologie utilisée dans la norme 40
1.4.1 Etats des lignes de signaux 42
1.4.2 Utilisation de l'astérisque (*) 44
1.5 Spécification du protocole 44
1.5.1 Signaux d'interverrouillage du bus 46
1.5.2 Signal de diffusion du bus 46
1.6 Exemples et explications relatifs au système 48

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

2.1 Introduction 50
2.2 Lignes du bus de transfert de données 50
2.2.1 Lignes d'adresse 54
2.2.2 Lignes de modification d'adresse 56
2.2.3 Lignes de données 60
2.2.4 Lignes de commande du bus de transfert de données 62
2.2.4.1 AS* 62
2.2.4.2 DS0* et DS1* 62
2.2.4.3 DTACK* 64
2.2.4.4 BERR* 64
2.2.4.5 WRITE* 66
2.3 Modules DTB - Description générale 66
2.3.1 MAITRE 66
2.3.2 ESCLAVE 72
2.3.3 LIMITEUR DE TEMPS D'OCCUPATION DU BUS 76
2.3.4 DETECTEUR D'ACCES 80
2.3.5 Modes d'adressage 82
2.3.6 Possibilités de base de transferts de données 86
2.3.7 Possibilités de transferts par bloc 92
2.3.8 Possibilités de lecture-modification-écriture 98
2.3.9 Possibilités de transferts non alignés 102

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CONTENTS

Page

FOREWORD 21

CHAPTER 0: INTRODUCTION

Section

0.1 Scope 23
0.2 Normative references 23
0.3 Note to the reader 23

CHAPTER 1: INTRODUCTION TO THE IEC 821 BUS STANDARD

1.1 IEC 821 BUS standard objectives 25
1.2 IEC 821 BUS interface system elements 25
1.2.1 Basic definitions 25
1.2.1.1 Terms used to describe the IEC 821 BUS mechanical structure 25
1.2.1.2 Terms used to describe the IEC 821 BUS functional structure 27
1.2.1.3 Types of cycles on the IEC 821 Bus 31
1.2.2 Basic IEC 821 BUS structure 33
1.3 IEC 821 BUS standard diagrams 41
1.4 Standard terminology 41
1.4.1 Signal line states 43
1.4.2 Use of the asterisk (*) 45
1.5 Protocol specification 45
1.5.1 Interlocked bus signals 47
1.5.2 Broadcast bus signal 47
1.6 System examples and explanations 49

CHAPTER 2: IEC 821 BUS DATA TRANSFER BUS

2.1 Introduction 51
2.2 Data Transfer Bus lines 51
2.2.1 Addressing lines 55
2.2.2 Address modifier lines 57
2.2.3 Data lines 61
2.2.4 Data Transfer Bus control lines 63
2.2.4.1 AS* 63
2.2.4.2 DS0* and DS1* 63
2.2.4.3 DTACK* 65
2.2.4.4 BERR* 65
2.2.4.5 WRITE* 67
2.3 DTB modules - Basic description 67
2.3.1 MASTER 67
2.3.2 SLAVE 73
2.3.3 BUS TIMER 77
2.3.4 LOCATION MONITOR 81
2.3.5 Addressing modes 83
2.3.6 Basic data transfer capabilities 87
2.3.7 Block transfer capabilities 93
2.3.8 Read-modify-write capabilities 99
2.3.9 Unaligned transfer capabilities 103

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Sections Pages

2.3.10 Possibilité UNIQUEMENT D'ADRESSAGE 108
2.3.11 Interaction entre les modules fonctionnels du DTB 108
2.4 Fonctionnement typique 112
2.4.1 Cycles typiques de transfert de données 112
2.4.2 Anticipation d'adresse 122
2.5 Acquisition du bus de transfert de données 124
2.6 Règles et observations de séquencement du DTB 128

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

3.1 Principes de l'arbitrage du bus 202
3.1.1 Types d'arbitrage 202
3.2 Lignes du bus d'arbitrage 206
3.2.1 Lignes de demande et d'allocation du bus 210
3.2.2 Ligne d'occupation du bus (BBSY*) 210
3.2.3 Ligne de libération du bus (BCLR*) 210
3.3 Modules fonctionnels 212
3.3.1 ARBITRE 212
3.3.2 DEMANDEUR 220
3.3.3 MAITRE du bus de transfert de données 228
3.3.3.1 Libération du DTB 228
3.3.3.2 Acquisition du DTB 230
3.3.3.3 Autres informations 230
3.4 Fonctionnement typique 230
3.4.1 Arbitrage de deux niveaux différents de demande du bus 230
3.4.2 Arbitrage de deux demandes du bus sur la même ligne 240
3.5 Course critique entre les demandes du MAITRE et les accords de l'ARBITRE 248

CHAPITRE 4: BUS D'INTERRUPTION PRIORITAIRE DU BUS CEI 821

4.1 Introduction 250
4.1.1 Systèmes à contrôleur unique 250
4.1.2 Systèmes distribués 250
4.2 Lignes du bus d'interruption prioritaire 258
4.2.1 Lignes de demande d'interruption 258
4.2.2 Ligne de reconnaissance d'interruption 258
4.2.3 Chaîne série de reconnaissance d'interruption - IACKIN*/IACKOUT* 258
4.3 Modules du bus d'interruption prioritaire - Description générale 260
4.3.1 CONTROLEURS D'INTERRUPTION 262
4.3.2 GENERATEUR D'INTERRUPTION 266
4.3.3 EMETTEUR DE CHAINE SERIE IACK 274
4.3.4 Possibilités de prise en compte d'une interruption 276
4.3.5 Possibilités de demande d'interruption 278
4.3.6 Possibilités de transferts du MOT D'ETAT/IDentificateur 278
4.3.7 Possibilités de libération de l'interruption 280
4.3.8 Interaction entre les modules du bus d'interruption prioritaire 284
4.4 Fonctionnement typique 292
4.4.1 Fonctionnement des interruptions à contrôleur unique 292
4.4.2 Fonctionnement des interruptions distribuées 294
4.4.2.1 Systèmes à interruptions distribuées avec sept CONTROLEURS D'INTERRUPTION ... 294
4.4.2.2 Systèmes à interruptions distribuées avec deux à six CONTROLEURS D'INTERRUPTION 296

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Section Page

2.3.10 ADDRESS-ONLY capability 109
2.3.11 Interaction between DTB functional modules 109
2.4 Typical operation 113
2.4.1 Typical data transfer cycles 113
2.4.2 Address pipelining 123
2.5 Data Transfer Bus acquisition 125
2.6 DTB timing rules and observations 129

CHAPTER 3: IEC 821 BUS DATA TRANSFER BUS ARBITRATION

3.1 Bus arbitration philosophy 203
3.1.1 Types of arbitration 203
3.2 Arbitration bus lines 207
3.2.1 Bus request and bus grant lines 211
3.2.2 Bus busy line (BBSY*) 211
3.2.3 Bus clear line (BCLR*) 211
3.3 Functional modules 213
3.3.1 ARBITER 213
3.3.2 REQUESTER 221
3.3.3 Data Transfer Bus MASTER 229
3.3.3.1 Release of the DTB 229
3.3.3.2 Acquisition of the DTB 231
3.3.3.3 Other information 231
3.4 Typical operation 231
3.4.1 Arbitration of two different levels of bus request 231
3.4.2 Arbitration of two bus requests on the same bus request line 241
3.5 Race conditions between MASTER requests and ARBITER grants 249

CHAPTER 4: IEC 821 BUS PRIORITY INTERRUPT BUS

4.1 Introduction 251
4.1.1 Single handler systems 251
4.1.2 Distributed systems 251
4.2 Priority Interrupt Bus lines 259
4.2.1 Interrupt request lines 259
4.2.2 Interrupt acknowledge line 259
4.2.3 Interrupt acknowledge daisy-chain - IACKIN*/IACKOUT* 259
4.3 Priority Interrupt Bus modules - Basic description 261
4.3.1 INTERRUPT HANDLERS 263
4.3.2 INTERRUPTER 267
4.3.3 IACK DAISY-CHAIN DRIVER 275
4.3.4 Interrupt handling capabilities 277
4.3.5 Interrupt request capabilities 279
4.3.6 STATUS/ID transfer capabilities 279
4.3.7 Interrupt release capabilities 281
4.3.8 Interaction between Priority Interrupt Bus modules 285
4.4 Typical operation 293
4.4.1 Single handler interrupt operation 293
4.4.2 Distributed interrupt operation 295
4.4.2.1 Distributed interrupt systems with seven INTERRUPT HANDLERS 295
4.4.2.2 Distributed interrupt systems with two to six INTERRUPT HANDLERS 297

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Sections

Pages

4.4.3 Exemple: fonctionnement typique d'un système d'interruption à contrôleur unique 298

4.4.4 Exemple: priorité de deux interruptions dans un système à interruptions distribuées 306

4.5 Conditions de vitesse 310

4.6 REGLES et OBSERVATIONS concernant le séquencement du bus d'interruption prioritaire 310

CHAPITRE 5: BUS UTILITAIRE DU BUS CEI 821

5.1 Introduction 360

5.2 Signaux du bus utilitaire 360

5.3 Modules du bus utilitaire 360

5.3.1 L'EMETTEUR DE L'HORLOGE DU SYSTEME 360

5.3.2 L'EMETTEUR DE L'HORLOGE DU BUS SERIE 360

5.3.3 Le CONTROLEUR D'ALIMENTATION 360

5.4 Initialisation et diagnostic du système 370

5.5 Broches d'alimentation 376

5.6 Ligne RESERVEE 376

CHAPITRE 6: SPECIFICATIONS ELECTRIQUES DU BUS CEI 821

6.1 Introduction 380

6.2 Distribution du courant d'alimentation 380

6.2.1 Spécifications des tensions courant continu 382

6.2.2 Caractéristiques électriques des broches et supports des connecteurs 384

6.3 Caractéristiques électriques des signaux 384

6.4 Spécifications de commande et de réception du bus 386

6.4.1 Définitions des circuits de commande du bus 386

6.4.2 REGLES pour commander et charger toutes les lignes de signaux du BUS CEI 821 388

6.4.2.1 REGLES pour commander et charger les lignes de signaux trois états à courant élevé (AS*, DS0*, DS1*) 388

6.4.2.2 REGLES pour commander et charger les lignes de signaux trois états standards (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*) 390

6.4.2.3 REGLES pour commander et charger les lignes "totem-pole" à courant élevé (SERCLK, SYSCLK, BCLR*) 392

6.4.2.4 REGLES pour commander et charger les lignes "totem-pole" standards (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*) 394

6.4.2.5 REGLES pour commander et charger les lignes à collecteur ouvert (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*) 396

6.5 Interconnexions des lignes de signaux du fond de panier 396

6.5.1 Réseaux d'adaptation d'impédance 398

6.5.2 Impédance caractéristique 400

6.5.3 Informations complémentaires 406

6.6 Signaux définis par l'utilisateur 408

6.7 Emetteurs des lignes de signaux et adaptations 408

CHAPITRE 7: SPECIFICATIONS MECANIQUES DU BUS CEI 821

7.1 Introduction 412

7.2 Cartes du BUS CEI 821 414

7.2.1 Cartes simple hauteur 416

7.2.2 Cartes double hauteur 416

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Section Page

4.4.3 Example: typical single handler interrupt system operation 299
4.4.4 Example: prioritization of two interrupts in a distributed interrupt system ... 307
4.5 Race conditions 311
4.6 Priority Interrupt Bus timing RULES and OBSERVATIONS 311

CHAPTER 5: IEC 821 BUS UTILITY BUS

5.1 Introduction 361
5.2 Utility Bus signal lines 361
5.3 Utility Bus modules 361
5.3.1 The SYSTEM CLOCK DRIVER 361
5.3.2 The SERIAL CLOCK DRIVER 361
5.3.3 The POWER MONITOR 361
5.4 System initialization and diagnostics 371
5.5 Power pins 377
5.6 RESERVED line 377

CHAPTER 6: IEC 821 BUS ELECTRICAL SPECIFICATIONS

6.1 Introduction 381
6.2 Power distribution 381
6.2.1 D.C. voltage specifications 383
6.2.2 Pin and socket connector electrical ratings 385
6.3 Electrical signal characteristics 385
6.4 Bus driving and receiving requirements 387
6.4.1 Bus driver definitions 387
6.4.2 Driving and loading RULES for all IEC 821 BUS lines 389
6.4.2.1 Driving and loading RULES for high current three-state lines (AS*, DS0*, DS1*) 389
6.4.2.2 Driving and loading RULES for standard three-state lines (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*) 391
6.4.2.3 Driving and loading RULES for high current totem-pole lines (SERCLK, SYSCLK, BCLR*) 393
6.4.2.4 Driving and loading RULES for standard totem-pole lines (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*) 395
6.4.2.5 Driving and loading RULES for open-collector lines (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*) 397
6.5 Backplane signal line interconnections 397
6.5.1 Termination networks 399
6.5.2 Characteristic impedance 401
6.5.3 Additional information 407
6.6 User defined signals 409
6.7 Signal line drivers and terminations 409

CHAPTER 7: IEC 821 BUS MECHANICAL SPECIFICATIONS

7.1 Introduction 413
7.2 IEC 821 BUS boards 415
7.2.1 Single height boards 417
7.2.2 Double height boards 417

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Sections

Pages

7.2.3 Connecteurs de la carte 418
7.2.4 Cartes équipées 420
7.2.5 Largeurs des cartes 420
7.2.6 Gauchissement des cartes du BUS CEI 821, longueur des pattes et hauteur des composants 420
7.3 Panneaux avant 422
7.3.1 Poignées 424
7.3.2 Montage du panneau avant 426
7.3.3 Dimensions du panneau avant 426
7.3.4 Panneaux de remplissage 428
7.3.5 Ejecteurs/injecteurs de cartes 428
7.4 Fonds de panier 430
7.4.1 Dimensions exigées du fond de panier 432
7.4.2 Réseaux d'adaptation d'impédance des lignes de signaux 432
7.5 Assemblage des châssis du BUS CEI 821..... 434
7.5.1 Châssis et largeurs des emplacements 434
7.5.2 Dimensions du châssis 434
7.6 Connecteurs du fond de panier du BUS CEI 821 et connecteurs de cartes du BUS CEI 821 476
7.6.1 Affectation des broches du connecteur J_1/P_1 476
7.6.2 Affectation des broches du connecteur J_2/P_2 478

ANNEXE A - Glossaire de termes du BUS CEI 821 480
ANNEXE B - Description des broches/connecteurs du BUS CEI 821 492
ANNEXE C - Utilisation des lignes SERCLK et SERDAT* 498
ANNEXE D - Métastabilité et resynchronisation 502
ANNEXE E - Sous-ensembles de possibilités autorisées 544

Figures

1-1: Eléments du système définis par cette norme 36
1-2: Modules fonctionnels et bus définis par cette norme 38
1-3: Notations utilisées dans les chronogrammes 48
2-1: Schéma-bloc fonctionnel du bus de transfert de données 52
2-2: Schéma-bloc: MAITRE 68
2-3: Schéma-bloc: ESCLAVE 72
2-4: Schéma-bloc: LIMITEUR DE TEMPS D'OCCUPATION DU BUS 76
2-5: Schéma-bloc: DETECTEUR D'ACCES 80
2-6: Quatre moyens de mémoriser des données de 32 bits en mémoire 102
2-7: Quatre moyens de mémoriser des données de 16 bits en mémoire 104
2-8: Un exemple de cycle de lecture d'un octet unique 116
2-9: Un exemple de cycle d'écriture d'un double octet 118
2-10: Un exemple de cycle d'écriture d'un quadruple octet 120
2-11: Séquence d'échange du bus de transfert de données du MAITRE 126
2-12: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse TOUS LES CYCLES 164
2-13: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse
Transferts d'octet unique pair;
transferts d'octet unique impair;
transferts double octet;
transferts quadruple octet;
transferts non alignés 166

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Section Page

7.2.3 Board connectors 419
7.2.4 Board assemblies 421
7.2.5 Board widths 421
7.2.6 IEC 821 BUS board warpage, lead length and component height 421

7.3 Front panels 423
7.3.1 Handles 425
7.3.2 Front panel mounting 427
7.3.3 Front panel dimensions 427
7.3.4 Filler panels 429
7.3.5 Board ejectors/injectors 429
7.4 Backplanes 431
7.4.1 Backplane dimensional requirements 433
7.4.2 Signal line termination networks 433
7.5 Assembly of IEC 821 BUS subracks 435
7.5.1 Subracks and slot widths 435
7.5.2 Subrack dimensions 435
7.6 IEC 821 BUS backplane connectors and IEC 821 BUS board connectors 477

7.6.1 Pin assignments for the J_1/P_1 connector 477
7.6.2 Pin assignments for the J_2/P_2 connector 479

APPENDIX A - Glossary of IEC 821 BUS terms 481
APPENDIX B - IEC 821 BUS connector/pin description 493
APPENDIX C - Use of the SERCLK and SERDAT* lines 499
APPENDIX D - Metastability and resynchronization 503
APPENDIX E - Permissible capability subsets 545

Figures

1-1: System elements defined by this standard 37
1-2: Functional modules and buses defined by this standard 39
1-3: Signal timing notation 49
2-1: Data Transfer Bus functional block diagram 53
2-2: Block diagram: MASTER 69
2-3: Block diagram: SLAVE 73
2-4: Block diagram: BUS TIMER 77
2-5: Block diagram: LOCATION MONITOR 81
2-6: Four ways that 32 bits of data might be stored in memory 103
2-7: Four ways that 16 bits of data might be stored in memory 105
2-8: An example of a single byte read cycle 117
2-9: An example of a double byte write cycle 119
2-10: An example of a quad byte write cycle 121
2-11: Data Transfer Bus MASTER exchange sequence 127
2-12: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
ALL CYCLES 165
2-13: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
Single even byte transfers;
single odd byte transfers;
double byte transfers;
quad byte transfers;
unaligned transfers 167

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figures Pages

2-14: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse
Transferts de blocs par octet;
transferts de blocs par double octet;
transferts de blocs par quadruple octet 168

2-15: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse
Cycles RMW pour octet unique;
cycles RMW pour double octet;
cycles RMW pour quadruple octet 170

2-16: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
LECTURE OCTET(0);
LECTURE OCTET(1);
LECTURE OCTET(2);
LECTURE OCTET(3);
LECTURE OCTET(0-2);
LECTURE OCTET(1-3);
LECTURE DE BLOCS PAR OCTET 172

2-17: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
LECTURE OCTET(0-1);
LECTURE OCTET(2-3);
LECTURE OCTET(0-3);
LECTURE OCTET(1-2);
LECTURE DE BLOCS PAR DOUBLE OCTET;
LECTURE DE BLOCS PAR QUADRUPLE OCTET 176

2-18: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
ECRITURE OCTET(0);
ECRITURE OCTET(1);
ECRITURE OCTET(2);
ECRITURE OCTET(3);
ECRITURE OCTET(0-2);
ECRITURE OCTET(1-3);
ECRITURE DE BLOCS PAR OCTET 180

2-19: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
ECRITURE OCTET(0-1);
ECRITURE OCTET(2-3);
ECRITURE OCTET(0-3);
ECRITURE OCTET(1-2);
ECRITURE DE BLOCS PAR DOUBLE OCTET;
ECRITURE DE BLOCS PAR QUADRUPLE OCTET 184

2-20: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
Cycle RMW pour octet unique 188

2-21: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
Cycles RMW pour double octet;
Cycles RMW pour quadruple octet 190

2-22: Chronogramme du signal de validation d'adresse entre les cycles 192

2-23: Chronogramme des signaux de validation de donnée entre les cycles
Un cycle où les deux signaux de validation de donnée passent au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas 194

2-24: Chronogramme des signaux de validation de donnée entre les cycles
Un cycle où un signal de validation de donnée passe au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas 196

2-25: MAITRE, ESCLAVE et LIMITEUR DE TEMPS D'OCCUPATION DU BUS - Chronogramme de transfert de données
Cycle de dépassement de temps d'occupation du bus 198

2-26: MAITRE - Chronogramme du transfert du contrôle du DTB 200

3-1: Schéma-bloc fonctionnel de l'arbitrage du bus 204

3-2: Illustration des lignes de la chaîne série d'allocation du bus 208

3-3: Schéma-bloc: ARBITRE 218

3-4: Schéma-bloc: DEMANDEUR 226

3-5: Organigramme de l'arbitrage: deux DEMANDEURS, deux niveaux de demande 234

3-6: Séquence d'arbitrage: deux DEMANDEURS, deux niveaux de demande 238

3-7: Organigramme de l'arbitrage: deux DEMANDEURS, même niveau de demande 242

3-8: Séquence d'arbitrage: deux DEMANDEURS, même niveau de demande 246

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figures Page

2-14: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
Single byte block transfers;
double byte block transfers;
quad byte block transfers 169

2-15: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
Single byte RMW cycles;
double byte RMW cycles;
quad byte RMW cycles 171

2-16: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0) READ;
BYTE(1) READ;
BYTE(2) READ;
BYTE(3) READ;
BYTE(0-2) READ;
BYTE(1-3) READ;
SINGLE BYTE BLOCK READ 173

2-17: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0-1) READ;
BYTE(2-3) READ;
BYTE(0-3) READ;
BYTE(1-2) READ;
DOUBLE BYTE BLOCK READ;
QUAD BYTE BLOCK READ 177

2-18: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0) WRITE;
BYTE(1) WRITE;
BYTE(2) WRITE;
BYTE(3) WRITE;
BYTE(0-2) WRITE;
BYTE(1-3) WRITE;
SINGLE BYTE BLOCK WRITE 181

2-19: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0-1) WRITE;
BYTE(2-3) WRITE;
BYTE(0-3) WRITE;
BYTE(1-2) WRITE;
DOUBLE BYTE BLOCK WRITE;
QUAD BYTE BLOCK WRITE 185

2-20: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
Single byte RMW cycle 189

2-21: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
Double byte RMW cycles
quad byte RMW cycles 191

2-22: Address strobe inter-cycle timing 193

2-23: Data strobe inter-cycle timing
A cycle where both data strobes go low followed by
a cycle where one or both data strobes go low 195

2-24: Data strobe inter-cycle timing
A cycle where one data strobe goes low followed by
a cycle where one or both data strobes go low 197

2-25: MASTER, SLAVE and BUS TIMER - Data transfer timing

Timed-out cycle 199

2-26: MASTER - DTB control transfer timing 201

3-1: Arbitration bus functional block diagram 205

3-2: Illustration of the daisy-chained bus grant lines 209

3-3: Block diagram: ARBITER 219

3-4: Block diagram: REQUESTER 227

3-5: Arbitration flow diagram: two REQUESTERS, two request levels 235

3-6: Arbitration sequence diagram: two REQUESTERS, two request levels 239

3-7: Arbitration flow diagram: two REQUESTERS, same request level 243

3-8: Arbitration sequence diagram: two REQUESTERS, same request level 247

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figures

Pages

4-1: Schéma-bloc fonctionnel du système d'interruption prioritaire du BUS CEI 821. 252

4-2: Structure du sous-système d'interruption: système à contrôleur unique 254

4-3: Structure du sous-système d'interruption: système distribué 256

4-4: CHAINE SERIE IACKIN*/IACKOUT* 260

4-5: Schéma-bloc: CONTROLEUR D'INTERRUPTION 264

4-6: Schéma-bloc: GENERATEUR D'INTERRUPTION 272

4-7: Schéma-bloc: EMETTEUR DE CHAINE SERIE IACK 276

4-8: Libération des lignes de demande d'interruption par les GENERATEURS D'INTERRUPTION ROAK et RORA 284

4-9: Un EMETTEUR DE CHAINE SERIE IACK et un GENERATEUR D'INTERRUPTION sur la même carte 288

4-10: Deux GENERATEURS D'INTERRUPTION sur la même carte 290

4-11: Les trois phases d'une séquence d'interruption 292

4-12: Deux CONTROLEURS D'INTERRUPTION surveillant chacun une ligne de demande d'interruption 296

4-13: Deux CONTROLEURS D'INTERRUPTION surveillant chacun plusieurs lignes de demande d'interruption 298

4-14: Organigramme du fonctionnement typique d'un système d'interruption à contrôleur unique d'interruption 302

4-15: Organigramme du fonctionnement typique d'un système à interruptions distribuées avec deux CONTROLEURS D'INTERRUPTION 308

4-16: CONTROLEUR et GENERATEUR D'INTERRUPTION - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 342

4-17: EMETTEUR DE CHAINE SERIE IACK - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 344

4-18: GENERATEUR D'INTERRUPTION qui participe - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 346

4-19: GENERATEUR D'INTERRUPTION qui répond - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 348

4-20: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE 350

4-21: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET;
CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET 352

4-22: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE 354

4-23: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET;
CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET 356

4-24: EMETTEUR DE CHAINE SERIE IACK, GENERATEUR D'INTERRUPTION qui répond et GENERATEUR D'INTERRUPTION qui participe - Chronologie de la chaîne série IACK entre les cycles 358

5-1: Schéma-bloc du bus utilitaire 364

5-2: Chronogramme de l'EMETTEUR DE L'HORLOGE SYSTEME 366

5-3: Schéma-bloc du module CONTROLEUR D'ALIMENTATION 366

5-4: Chronogramme du CONTROLEUR D'ALIMENTATION lors d'une défaillance d'alimentation 368

5-5: Chronogramme du CONTROLEUR D'ALIMENTATION lors de la mise sous tension 368

5-6: Chronogramme des signaux SYSRESET* et SYSFAIL* 374

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figures Page

4-1: Priority Interrupt Bus functional block diagram 253
4-2: Interrupt subsystem structure: single handler system 255
4-3: Interrupt subsystem structure: distributed system 257
4-4: IACKIN*/IACKOUT* DAISY-CHAIN 261
4-5: Block diagram: INTERRUPT HANDLER 265
4-6: Block diagram: INTERRUPTER 273
4-7: Block diagram: IACK DAISY-CHAIN DRIVER 277
4-8: Release of the interrupt request lines by ROAK and RORA INTERRUPTERS 285
4-9: An IACK DAISY-CHAIN DRIVER and an INTERRUPTER on the same board 289
4-10: Two INTERRUPTERS on the same board 291
4-11: The three phases of an interrupt sequence 293
4-12: Two INTERRUPT HANDLERS, each monitoring one interrupt request line 297
4-13: Two INTERRUPT HANDLERS, each monitoring several interrupt request lines 299
4-14: Typical single handler interrupt system operation flow diagram 303
4-15: Typical distributed interrupt system with two INTERRUPT HANDLERS, flow diagram 309
4-16: INTERRUPT HANDLER and INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 343
4-17: IACK DAISY-CHAIN DRIVER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 345
4-18: Participating INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 347
4-19: Responding INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 349
4-20: INTERRUPT HANDLER - STATUS/ID transfer timing
SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE 351
4-21: INTERRUPT HANDLER - STATUS/ID transfer timing
DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 353
4-22: Responding INTERRUPTER - STATUS/ID transfer timing
SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE 355
4-23: Responding INTERRUPTER - STATUS/ID transfer timing
DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 357
4-24: IACK DAISY-CHAIN DRIVER, responding INTERRUPTER, and participating INTERRUPTER - IACK daisy-chain inter-cycle timing 359
5-1: Utility Bus block diagram 365
5-2: SYSTEM CLOCK DRIVER timing diagram 367
5-3: Block diagram of POWER MONITOR module 367
5-4: POWER MONITOR power failure timing 369
5-5: POWER MONITOR system restart timing 369
5-6: SYSRESET* and SYSFAIL* timing diagram 375

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figures Pages

5-7: Courant admissible dans les broches d'alimentation 378
6-1: Niveaux des signaux du BUS CEI 821 384
6-2: Adaptation d'impédance standard du bus 400
6-3: Coupe d'une piste de microruban utilisée comme ligne de signal sur le fond de panier 402
6-4: Z_o en fonction de la largeur de ligne 404
6-5: C_o en fonction de la largeur de ligne 404
7-1: Châssis équipé avec des cartes de tailles différentes 436
7-2: Carte simple hauteur: dimensions de base 438
7-3: Carte double hauteur: dimensions de base 440
7-4: Position des connecteurs sur les cartes simple et double hauteur 442
7-5: Vue en coupe d'une carte, d'un connecteur, d'un fond de panier et d'un panneau avant 444
7-6: Hauteur des composants, longueur des pattes et gauchissement de la carte 446
7-7: Panneau avant, simple hauteur, simple largeur 448
7-8: Panneau avant, double hauteur, simple largeur 450
7-9: Supports de montage du panneau avant et dimensions d'une carte simple hauteur 452
7-10: Supports de montage du panneau avant et dimensions d'une carte double hauteur 454
7-11: Panneau de remplissage simple hauteur 456
7-12: Panneau de remplissage double hauteur 458
7-13: Dimensions hors tout du fond de panier J_1 et J_2 460
7-14: Dimensions détaillées du fond de panier J_1 et J_2 462
7-15: Dimensions hors tout du fond de panier J_1/J_2 464
7-16: Dimensions détaillées du fond de panier J_1/J_2 466
7-17: Adaptation du fond de panier "Type hors carte" (vue d'en haut du fond de panier) 468
7-18: Adaptation du fond de panier "Type sur carte" (vue d'en haut du fond de panier) 470
7-19: Châssis à 21 emplacements 472
7-20: Détail du guide de carte 474
C-1: Chronogramme de SERCLK 500
D-1: Bascule RS de base 504
D-2: Conditions critiques d'entrée 506
D-3: Les deux types de métastabilité 508
D-4: Interprétations différentes d'une sortie métastable 510
D-5: Structure de l'arbitrage du VMEbus 526
D-6: Fonctionnement asynchrone de la chaîne série d'arbitrage 528
D-7: Fonctionnement synchrone de la chaîne série d'arbitrage 532
D-8: Fonctionnement asynchrone de la chaîne série d'interruption 536
D-9: Arbitre asynchrone du VMEbus 540

Tableaux

2-1: Les quatre catégories d'emplacement d'octet 54
2-2: Utilisation de DS0*, DS1*, A01, et LWORD* pour sélectionner les locations d'octets 56
2-3: Codes modificateurs d'adresse 58
2-4: Utilisation des lignes de données pour accéder aux locations d'octets 62
2-5: MAITRES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 70
2-6: ESCLAVES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 74

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figures

		Page
5-7:	Current rating for power pins	379
6-1:	IEC 821 BUS signal levels	385
6-2:	Standard bus termination	401
6-3:	Backplane microstrip signal line cross section	403
6-4:	Z_o versus line width	405
6-5:	C_o versus line width	405
7-1:	Subrack with mixed board sizes	437
7-2:	Single height board: basic dimensions	439
7-3:	Double height board: basic dimensions	441
7-4:	Connector position on single and double height boards	443
7-5:	Cross sectional view of board, connector, backplane, and front panel	445
7-6:	Component height, lead length and board warpage	447
7-7:	Single height, single width, front panel	449
7-8:	Double height, single width, front panel	451
7-9:	Front panel mounting brackets and dimensions of single height board	453
7-10:	Front panel mounting brackets and dimensions of double height board	455
7-11:	Single height filler panel	457
7-12:	Double height filler panel	459
7-13:	Overall dimensions of a J_1 and J_2 backplane	461
7-14:	Detailed dimensions of a J_1 and J_2 backplane	463
7-15:	Overall dimensions of a J_1/J_2 backplane	465
7-16:	Detailed dimensions of a J_1/J_2 backplane	467
7-17:	"Off board type" backplane termination (view from top of backplane)	469
7-18:	"On board type" backplane termination (view from top of backplane)	471
7-19:	21-slot subrack	473
7-20:	Board guide detail	475
C-1:	SERCLK timing diagram	501
D-1:	Basic RS flip-flop	505
D-2:	Critical input conditions	507
D-3:	The two types of metastability	509
D-4:	Different interpretations of a metastable output	511
D-5:	VMEbus arbitration structure	527
D-6:	Handling the arbitration daisy-chain asynchronously	529
D-7:	Handling the arbitration daisy-chain synchronously	533
D-8:	Handling the interrupt daisy-chain asynchronously	537
D-9:	Asynchronous VMEbus arbiter	541

Tables

2-1:	The four categories of byte location	55
2-2:	Use of DS0*, DS1*, A01, and LWORD* to select byte locations	57
2-3:	Address modifier codes	59
2-4:	Use of the data lines to access byte locations	63
2-5:	MASTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	71
2-6:	SLAVES: RULES and PERMISSIONS for driving and monitoring the dotted lines	75

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableaux Pages

2-7: Utilisation du mnémonique BTO( ) pour spécifier la durée de limitation de temps des LIMITEURS DE TEMPS D'OCCUPATION DU BUS 78

2-8: DETECTEURS D'ACCES: REGLES et AUTORISATIONS pour la SURVEILLANCE des lignes pointillées 82

2-9: Mnémoniques qui spécifient les possibilités d'adressage 84

2-10: Mnémoniques qui spécifient les possibilités de base de transferts de données 92

2-11: Mnémonique qui spécifie les possibilités de transferts par bloc 98

2-12: Mnémonique qui spécifie les possibilités de lecture-modification-écriture ... 100

2-13: Transferts de 32 bits de données utilisant des cycles de transfert de multiple octet 104

2-14: Transferts de 16 bits de données utilisant des cycles de transfert de multiple octet 106

2-15: Mnémonique qui spécifie la possibilité de transfert non aligné 106

2-16: Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE 108

2-17: Chronogrammes qui définissent le fonctionnement du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES 132

2-18: Définition des mnémoniques utilisés dans les tableaux 2-19, 2-20 et 2-21 134

2-19: Utilisation des lignes d'adressage pour sélectionner un groupe de 4 octets .. 136

2-20: Utilisation de DS1*, DS0*, A01 et LWORD* pendant les différents cycles 138

2-21: Utilisation des lignes de données pour transférer des données 140

2-22: Paramètres de temps des chronogrammes du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES 144

2-23: Paramètres de temps du chronogramme du LIMITEUR DE TEMPS D'OCCUPATION DU BUS 144

2-24: MAITRE - REGLES et OBSERVATIONS sur la chronologie 146

2-25: ESCLAVE - REGLES et OBSERVATIONS sur la chronologie 154

2-26: DETECTEUR D'ACCES - OBSERVATIONS sur la chronologie 160

2-27: LIMITEUR DE TEMPS D'OCCUPATION DU BUS - REGLES de la chronologie 162

3-1: ARBITRES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 220

3-2: DEMANDEURS: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 226

4-1: CONTROLEURS D'INTERRUPTION: REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés..... 266

4-2: GENERATEURS D'INTERRUPTION: REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés..... 274

4-3: Utilisation du mnémonique IH( ) pour spécifier les possibilités de traitement d'interruption 276

4-4: Utilisation du mnémonique I( ) pour spécifier les possibilités de génération d'une demande d'interruption 278

4-5: Mnémoniques qui spécifient les possibilités de transfert du MOT D'ETAT/IDentificateur 278

4-6: Mnémoniques qui spécifient les possibilités de libération des demandes d'interruption 284

4-7: Code de la reconnaissance d'interruption sur 3 bits 306

4-8: Chronogrammes qui définissent le fonctionnement du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION 316

4-9: Chronogrammes qui définissent le fonctionnement de l'EMETTEUR DE CHAINE SERIE IACK 316

4-10: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui participe 318

4-11: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui répond 318

4-12: Définitions des mnémoniques utilisés dans les tableaux 4-13, 4-14 et 4-15 ... 320

4-13: Utilisation de A01-A03 et IACK* pendant les cycles de reconnaissance d'interruption 320

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tables

		Page
2-7:	Use of the BTO( ) mnemonic to specify the time-out period of BUS TIMERS	79
2-8:	LOCATION MONITORS: RULES and PERMISSIONS for driving and monitoring the dotted lines	83
2-9:	Mnemonics that specify addressing capabilities	85
2-10:	Mnemonics that specify basic data transfer capabilities	93
2-11:	Mnemonic that specifies block transfer capabilities	99
2-12:	Mnemonic that specifies read-modify-write capabilities	101
2-13:	Transferring 32 bits of data using multiple byte transfer cycles	105
2-14:	Transferring 16 bits of data using multiple byte transfer cycles	107
2-15:	Mnemonic that specifies unaligned transfer capability	107
2-16:	Mnemonic that specifies ADDRESS-ONLY capability	109
2-17:	Timing diagrams that define MASTER, SLAVE and LOCATION MONITOR operation	133
2-18:	Definitions of mnemonics used in Tables 2-19, 2-20 and 2-21	135
2-19:	Use of the address lines to select a 4-byte group	137
2-20:	Use of DS1*, DS0*, A01, and LWORD* during the various cycles	139
2-21:	Use of the data lines to transfer data	141
2-22:	MASTER, SLAVE, and LOCATION MONITOR timing parameters	145
2-23:	BUS TIMER timing parameters	145
2-24:	MASTER - Timing RULES and OBSERVATIONS	147
2-25:	SLAVE - Timing RULES and OBSERVATIONS	155
2-26:	LOCATION MONITOR - Timing OBSERVATIONS	161
2-27:	BUS TIMER - Timing RULES	163
3-1:	ARBITERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	221
3-2:	REQUESTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	227
4-1:	INTERRUPT HANDLERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	267
4-2:	INTERRUPTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	275
4-3:	Use of the IH( ) mnemonic to specify interrupt handling capabilities	277
4-4:	Use of the I( ) mnemonic to specify interrupt request generation capabilities	279
4-5:	Mnemonics that specify STATUS/ID transfer capabilities	279
4-6:	Mnemonics that specify interrupt request release capabilities	285
4-7:	3-bit interrupt acknowledge code	307
4-8:	Timing diagrams that define INTERRUPT HANDLER and INTERRUPTER operation	317
4-9:	Timing diagrams that define IACK DAISY-CHAIN DRIVER operation	317
4-10:	Timing diagrams that define participating INTERRUPTER operation	319
4-11:	Timing diagrams that define responding INTERRUPTER operation	319
4-12:	Definitions of mnemonics used in Tables 4-13, 4-14 and 4-15	321
4-13:	Use of A01-A03 and IACK* during interrupt acknowledge cycles	321

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableaux

Pages

4-14: Utilisation des lignes DS1*, DS0*, LWORD* et WRITE* pendant les cycles de reconnaissance d'interruption 322

4-15: Utilisation de D00-D31 pour le transfert du MOT D'ETAT/IDentificateur 322

4-16: Paramètres de temps des chronogrammes du CONTROLEUR D'INTERRUPTION, du GENERATEUR D'INTERRUPTION et de l'EMETTEUR DE CHAINE SERIE IACK 324

4-17: CONTROLEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie 326

4-18: GENERATEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie 332

4-19: EMETTEUR DE CHAINE SERIE IACK - REGLES et OBSERVATIONS sur la chronologie ... 338

5-1: Commandes émises par les modules pendant le démarrage et l'arrêt de l'alimentation 372

6-1: Spécifications des tensions du bus 382

6-2: Spécifications de commande et de réception du bus 386

6-3: Résumé des émetteurs du bus 410

7-1: Affectation des broches J_1/P_1 476

7-2: Affectation des broches J_2/P_2 478

C-1: Valeurs des temps de SERCLK 500

D-1: Données concernant la métastabilité 520

E-1: Sous-ensembles des possibilités d'adressage autorisés 546

E-2: Interactions entre les sous-ensembles d'adressage autorisés 548

E-3: MAITRE: Sous-ensembles autorisés des possibilités de transfert des données .. 552

E-4: ESCLAVE: Sous-ensembles autorisés des possibilités de transfert des données . 552

E-5: DETECTEUR D'ACCES: Sous-ensembles autorisés des possibilités de transfert des données 554

E-6: Interactions entre les sous-ensembles de transfert de données autorisés 554

E-7: Interactions entre ARBITRES et DEMANDEURS 556

E-8: Interactions entre GENERATEURS et CONTROLEURS D'INTERRUPTION 560

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tables

		Page
4-14:	Use of the DS1*, DS0*, LWORD*, and WRITE* lines during interrupt acknowledge cycles	323
4-15:	Use of D08-D31 to transfer the STATUS/ID	323
4-16:	INTERRUPT HANDLER, INTERRUPTER, and IACK DAISY-CHAIN DRIVER timing parameters	325
4-17:	INTERRUPT HANDLER - Timing RULES and OBSERVATIONS	327
4-18:	INTERRUPTER - Timing RULES and OBSERVATIONS	333
4-19:	IACK DAISY-CHAIN DRIVER - Timing RULES and OBSERVATIONS	339
5-1:	Module drive during power-up and power-down sequences	373
6-1:	Bus voltage specifications	383
6-2:	Bus driving and receiving requirements	387
6-3:	Bus driver summary	411
7-1:	J_1/P_1 pin assignments	477
7-2:	J_2/P_2 pin assignments	479
C-1:	SERCLK timing values	501
D-1:	Metastability data	521
E-1:	Permissible subsets of adressing capabilities	547
E-2:	Interoperability among the permissible adressing subsets	549
E-3:	MASTER: Permissible subsets of data transfer capabilities	553
E-4:	SLAVE: Permissible subsets of data transfer capabilities	553
E-5:	LOCATION MONITOR: Permissible subsets of data transfer detection capabilities	555
E-6:	Interoperability among the permissible data transfer subsets	555
E-7:	Interoperability among ARBITERS and REQUESTERS	557
E-8:	Interoperability of INTERRUPTERS and INTERRUPT HANDLERS	561

IECNORM.COM : Click to view the full PDF of IEC 821:1991

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS CEI 821 VMEbus -

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES DE 1 OCTET A 4 OCTETS

AVANT-PROPOS

1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.

2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.

3) Dans le but d'encourager l'unification internationale, la CEI exprime le voeu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

La présente norme a été établie par le comité technique mixte ISO/CEI JTC 1: Technologie de l'information, SC 26: Système à microprocesseurs.

Cette deuxième édition de la CEI 821 remplace la première édition parue en 1987, et constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

DIS	Rapport de vote
ISO/CEI DIS 821	JTC 1/SC 26 N 36

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 821 VMEbus -

MICROPROCESSOR SYSTEM BUS FOR 1 BYTE TO 4 BYTE DATA

FOREWORD

1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.

2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.

3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

This standard has been prepared by Joint Technical Committee ISO/IEC JTC 1: Information technology, SC 26: Microprocessor systems.

This second edition of IEC 821 replaces the first edition issued in 1987, and constitutes a technical revision.

The text of this standard is based on the following documents:

DIS	Report on Voting
ISO/IEC DIS 821	JTC 1/SC 26 N 36

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

BUS CEI 821 VMEbus -

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES DE 1 OCTET A 4 OCTETS

CHAPITRE 0: INTRODUCTION

0.1 *Domaine d'application*

La présente norme décrit un bus de fond de panier à hautes performances utilisable dans les systèmes à microprocesseurs, à monoprocesseurs ou à multiprocesseurs. La norme est basée sur la spécification VMEbus du groupe de fabricants VME, août 1982. Ce bus inclut quatre sous-systèmes de bus: le bus de transfert de données, le bus d'interruptions prioritaires, le bus d'arbitrage et le bus utilitaire. Le bus de transfert de données supporte des transferts de données de 8, 16 et 32 bits sur 32 lignes de données et 32 lignes d'adresse non multiplexées. Les protocoles de transfert sont asynchrones et interverrouillés. Le bus d'interruptions prioritaires fournit au système les services d'interruption en temps réel. L'allocation du bus est assurée par le bus d'arbitrage, qui permet l'implémentation des algorithmes d'arbitrage de type priorité tournante et de type prioritaire. Le bus utilitaire fournit la synchronisation pour la mise sous tension et la mise hors tension du système. Les spécifications mécaniques des cartes, des fonds de panier, des sous-châssis et des châssis sont basées sur la Publication 297 de la CEI.

IECNORM.COM: Click to view the full PDF of IEC 821:1990

0.2 *Références normatives*

Les publications suivantes de la CEI sont citées dans la présente norme:

Publications n^{os}	297-1 (1982):	Dimensions des structures mécaniques de la série de 482,6 mm (19 in), Première partie: Panneaux et bâtis.
	297-3 (1984):	Troisième partie: Bacs et blocs enfichables associés.
	603-2 (1980):	Connecteurs pour fréquences inférieures à 3 MHz pour utilisation avec cartes imprimées, Deuxième partie: Connecteurs pour circuits imprimés en deux parties, pour grille de base de 2,54 mm (0.1 in) avec caractéristiques de montage communes.
	822 (1988):	CEI 822 VSB - Bus parallèle de sous-système du Bus CEI 821 VMEbus.
	823 (1990):	Bus système à microprocesseurs (VMSbus) - Bus sous-système série du bus CEI 821 (VMEbus).

0.3 *Note au lecteur*

Le BUS CEI 822 représente le bus normalisé par le Sous-Comité 47B en tant que bus sous-système du BUS CEI 821 qui constitue la présente norme.

Le BUS CEI 823 représente le bus normalisé par le JTC 1/SC 26 en tant que bus série du présent BUS CEI 821.

IEC 821 VMEbus -

MICROPROCESSOR SYSTEM BUS FOR 1 BYTE TO 4 BYTE DATA

CHAPTER 0: INTRODUCTION

0.1 *Scope*

This standard specifies a high performance backplane bus for use in microcomputer systems that employ single or multiple microprocessors. It is based on the VMEbus specification, released by the VME Manufacturers Group in August of 1982. The bus includes four sub-buses: the Data Transfer Bus, the Priority Interrupt Bus, the Arbitration Bus and the Utility Bus. The Data Transfer Bus supports 8-, 16- and 32-bits transfers over a non-multiplexed 32-bit data and address highway. The transfer protocols are asynchronous and fully handshaken. The Priority Interrupt Bus provides real-time interrupt services to the system. The allocation of bus mastership is performed by the Arbitration Bus, which allows to implement both Round Robin and Prioritized arbitration algorithms. The Utility bus provides the system with power-up and power-down synchronization. The mechanical specifications of boards, backplanes, subracks and enclosures are based on IEC Publication 297.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

0.2 *Normative references*

The following IEC publications are quoted in this standard:

Publication Nos. 297-1 (1982):	Dimensions of mechanical structures of the 482.6 mm (19 in) series, Part 1: Panels and racks.
297-3 (1984):	Subracks and associated plug-in units.
603-2 (1980:	Connectors for frequencies below 3 MHz for use with printed boards, Part 2: Two-part connectors for printed boards for basic grid of 2.54 mm (0.1 in), with common mounting features.
822 (1988):	IEC 822 VSB - Parallel sub-system bus of the IEC 821 VMEbus.
823 (1990):	Microprocessor system bus (VMSbus) - Serial sub-system bus of the IEC 821 Bus (VMEbus).

0.3 *Note to the reader*

IEC 822 BUS has been standardized by Sub-Committee 47B as a sub-system bus of the IEC 821 BUS which constitutes this standard.

IEC 823 BUS represents the bus which has been standardized by JTC 1/SC 26 as the serial bus of this IEC 821 BUS.

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 821

1.1 *Objectifs de la norme du BUS CEI 821*

La présente norme du BUS CEI 821 définit un système d'interface pour interconnecter des unités de traitement de données, de stockage de données et de contrôle des périphériques dans une configuration à couplage étroit. Le système a été conçu avec les objectifs suivants:

a) Permettre à deux unités de communiquer entre elles sans gêner le fonctionnement interne d'autres unités connectées au BUS CEI 821.

b) Spécifier les caractéristiques électriques et mécaniques du système nécessaires à la conception d'unités capables de communiquer de manière fiable et sans ambiguïté avec d'autres unités connectées au BUS CEI 821.

c) Spécifier les protocoles qui définissent avec précision l'interaction entre le BUS CEI 821 et les unités qui lui sont connectées.

d) Fournir une terminologie et des définitions qui décrivent le protocole du système.

e) Permettre une grande latitude de conception et permettre ainsi d'optimiser le coût et/ou les performances sans affecter la compatibilité du système.

f) Créer un système dans lequel l'interfaçage n'introduit pas de limites aux performances des unités.

1.2 *Eléments du système d'interface BUS CEI 821*

1.2.1 *Définitions générales*

La structure du BUS CEI 821 peut être décrite sous deux aspects: sa structure mécanique et sa structure fonctionnelle. La spécification mécanique décrit les dimensions physiques des châssis, des fonds de panier, des panneaux avant, des cartes enfichables, etc. La spécification fonctionnelle du BUS CEI 821 décrit le fonctionnement du bus, quels sont les modules fonctionnels engagés dans chaque échange et les règles qui gouvernent leur comportement. Ce paragraphe fournit les définitions informelles de quelques termes généraux utilisés pour décrire à la fois la structure physique et mécanique du BUS CEI 821.

1.2.1.1 *Termes utilisés pour décrire la structure mécanique du BUS CEI 821*

FOND DE PANIER DU BUS CEI 821

Carte de circuit imprimé comprenant des connecteurs 96 broches et des pistes reliant leurs broches. Certains systèmes de BUS CEI 821 ont un circuit imprimé unique appelé fond de panier J_1. Il fournit les pistes pour les signaux nécessaires aux opérations de base. D'autres systèmes BUS CEI 821 ont aussi un deuxième fond de panier J_2 optionnel. Ce dernier fournit les connecteurs 96 broches supplémentaires et les pistes de signaux nécessaires pour les transferts étendus de données et d'adresses. D'autres encore ont un circuit imprimé unique appelé fond de panier J_1/J_2 qui fournit les pistes et les connecteurs des deux fonds de panier J_1 et J_2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPTER 1: INTRODUCTION TO THE IEC 821 BUS STANDARD

1.1 *IEC 821 BUS standard objectives*

This IEC 821 BUS standard defines an interfacing system used to interconnect data processing, data storage and peripheral control devices in a closely coupled hardware configuration. The system has been conceived with the following objectives:

a) To allow communication between devices on the IEC 821 BUS without disturbing the internal activities of other devices interfaced to the IEC 821 BUS.

b) To specify the electrical and mechanical system characteristics required to design devices that will reliably and unambiguously communicate with other devices interfaced to the IEC 821 BUS.

c) To specify protocols that precisely define the interaction between the IEC 821 BUS and devices interfaced to it.

d) To provide terminology and definitions that describe the system protocol.

e) To allow a broad range of design latitude so that the designer can optimize cost and/or performance without affecting system compatibility.

f) To provide a system where performance is primarily device limited, rather than system interface limited.

1.2 *IEC 821 BUS interface system elements*

1.2.1 *Basic definitions*

The IEC 821 BUS structure can be described from two points of view: its mechanical structure and its functional structure. The mechanical specification describes the physical dimensions of subracks, backplanes, front panels, plug-in boards, etc. The IEC 821 BUS functional specification describes how the bus works, what functional modules are involved in each transaction, and the rules which govern their behavior. This paragraph provides informal definitions for some basic terms used to describe both the physical and the mechanical structure of the IEC 821 BUS.

1.2.1.1 *Terms used to describe the IEC 821 BUS mechanical structure*

IEC 821 BUS BACKPLANE

A printed circuit (PC) board with 96-pin connectors and signal paths that bus the connector pins. Some IEC 821 BUS systems have a single PC board, called the J_1 backplane. It provides the signal paths needed for basic operation. Other IEC 821 BUS systems also have an optional second PC board, called a J_2 backplane. It provides the additional 96-pin connectors and signal paths needed for wider data and address transfers. Still others have a single PC board, called a J_1/J_2 backplane, that provides the signal conductors and connectors of both the J_1 and J_2 backplanes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CARTE

Carte de circuit imprimé, son ensemble de composants électroniques ainsi qu'un ou deux connecteurs 96 broches enfichables dans les connecteurs du fond de panier du BUS CEI 821.

EMPLACEMENT

Position où une carte peut être enfichée dans un fond de panier du BUS CEI 821. Si le système de BUS CEI 821 a deux fonds de panier J_1 et J_2 (ou une combinaison J_1/J_2 de fond de panier) chaque emplacement correspond à une paire de connecteurs 96 broches. Si le système n'a qu'un fond de panier J_1, alors chaque emplacement comporte un seul connecteur 96 broches.

CHASSIS

Cadre rigide qui fournit un support mécanique pour les cartes enfichées dans le fond de panier, assurant que les connecteurs mâles et femelles s'assemblent correctement et que les cartes adjacentes ne sont pas en contact. Il guide aussi le flux d'air de refroidissement à travers le système, et assure que les cartes enfichées ne se désolidarisent pas du fond de panier à la suite de vibrations ou de chocs.

1.2.1.2 *Termes utilisés pour décrire la structure fonctionnelle du BUS CEI 821*

La figure 1-1, page 36, montre un schéma-bloc simplifié de la structure fonctionnelle, incluant les signaux du BUS CEI 821, la logique de l'interface du fond de panier et les modules fonctionnels.

LOGIQUE DE L'INTERFACE DU FOND DE PANIER

Logique spéciale qui tient compte des caractéristiques du fond de panier: l'impédance des lignes de signaux, le temps de propagation, les valeurs des adaptations, etc. La norme du BUS CEI 821 prescrit certaines règles pour la réalisation de cette logique fondées sur la longueur maximale du fond de panier et le nombre maximal d'emplacements pour les cartes.

MODULE FONCTIONNEL

Ensemble de circuits électroniques résidant sur une carte de BUS CEI 821 et collaborant à l'accomplissement d'une tâche.

BUS DE TRANSFERT DE DONNEES

Un des quatre bus du fond de panier du BUS CEI 821. Le bus de transfert de données permet aux MAITRES de diriger le transfert de données binaires entre eux-mêmes et des ESCLAVES. (On abrège souvent le bus de transfert de données en DTB.)

CYCLE DU BUS DE TRANSFERT DE DONNEES

Suite de transitions de niveaux sur les lignes de signaux du DTB qui a pour résultat le transfert d'une adresse ou d'une adresse et des données entre un MAITRE et un ESCLAVE. Le cycle du bus de transfert de données est divisé en deux parties: la diffusion d'adresse, suivie ou non de zéro ou plusieurs transferts de données. Il y a 34 types de cycle du bus de transfert de données. Ils sont définis dans la suite de ce chapitre.

MAITRE

Module fonctionnel qui déclenche les cycles du DTB dans le but de transférer des données entre lui-même et un module ESCLAVE.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

BOARD

A printed circuit (PC) board, its collection of electronic components, and either one or two 96-pin connectors that can be plugged into IEC 821 BUS backplane connectors.

SLOT

A position where a board can be inserted into an IEC 821 BUS backplane. If the IEC 821 BUS system has both a J_1 and a J_2 backplane (or a combination J_1/J_2 backplane) each slot provides a pair of 96-pin connectors. If the system has only a J_1 backplane, then each slot provides a single 96-pin connector.

SUBRACK

A rigid framework that provides mechanical support for boards inserted into the backplane, ensuring that the connectors mate properly and that adjacent boards do not contact each other. It also guides the cooling airflow through the system, and ensures that inserted boards do not disengage themselves from the backplane due to vibration or shock.

1.2.1.2 *Terms used to describe the IEC 821 BUS functional structure*

Figure 1-1, page 37, shows a simplified block diagram of the functional structure, including the IEC 821 BUS signal lines, backplane interface logic, and functional modules.

BACKPLANE INTERFACE LOGIC

Special logic that takes into account the characteristics of the backplane: its signal line impedance, propagation time, termination values, etc. The IEC 821 BUS standard prescribes certain rules for the design of this logic based on the maximum length of the backplane and its maximum number of board slots.

FUNCTIONAL MODULE

A collection of electronic circuitry that resides on one IEC 821 BUS board and works together to accomplish a task.

DATA TRANSFER BUS

One of the four buses provided by the IEC 821 BUS backplane. The Data Transfer Bus allows MASTERS to direct the transfer of binary data between themselves and SLAVES. (Data Transfer Bus is often abbreviated DTB.)

DATA TRANSFER BUS CYCLE

A sequence of level transitions on the signal lines of the DTB that result in the transfer of an address or an address and data between a MASTER and a SLAVE. The Data Transfer Bus cycle is divided into two portions, the address broadcast and then zero or more data transfers. There are 34 types of Data Transfer Bus cycles. They are defined later in this chapter.

MASTER

A functional module that initiates DTB cycles in order to transfer data between itself and a SLAVE module.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

ESCLAVE

Module fonctionnel qui détecte les cycles du DTB déclenchés par un MAITRE et, lorsque ces cycles impliquent sa participation, transfère des données entre lui-même et le MAITRE.

DETECTEUR D'ACCES

Module fonctionnel qui surveille les transferts de données sur le DTB dans le but de détecter des adresses dont la surveillance lui a été prescrite. En cas d'accès à l'une de ces adresses, le DETECTEUR D'ACCES génère un signal sur la carte.

LIMITEUR DE TEMPS D'OCCUPATION DU BUS

Module fonctionnel qui mesure la durée de chaque transfert de données sur le DTB et termine le cycle du DTB si un transfert dure trop longtemps. Sans ce module, si le MAITRE essaie de transférer des données à un emplacement d'ESCLAVE non existant, il risque d'attendre indéfiniment. Le LIMITEUR DE TEMPS D'OCCUPATION DU BUS évite cela en terminant le cycle.

BUS D'INTERRUPTION

Un des quatre bus du fond de panier du BUS CEI 821. Le bus d'interruption permet aux modules GENERATEUR D'INTERRUPTION d'envoyer des demandes d'interruption aux modules CONTROLEUR D'INTERRUPTION.

GENERATEUR D'INTERRUPTION

Module fonctionnel qui génère une demande d'interruption sur le bus d'interruption puis fournit les informations du MOT D'ETAT/IDentificateur quand le CONTROLEUR D'INTERRUPTION les demande.

CONTROLEUR D'INTERRUPTION

Module fonctionnel qui détecte les demandes d'interruption produites par des GENERATEURS D'INTERRUPTION et répond à ces requêtes en demandant l'information MOT D'ETAT/IDentificateur.

CHAINE SERIE

Ligne de signal du BUS CEI 821 d'un type spécial utilisée pour propager un niveau de signal de carte en carte, partant du premier emplacement et se terminant au dernier emplacement. Le BUS CEI 821 comporte quatre lignes en chaîne série pour l'allocation du bus et une ligne en chaîne série pour la reconnaissance d'interruption.

EMETTEUR DE CHAINE SERIE IACK

Module fonctionnel qui active la chaîne série de reconnaissance d'interruption chaque fois qu'un CONTROLEUR D'INTERRUPTION reconnaît une demande d'interruption. Cette chaîne garantit qu'un seul GENERATEUR D'INTERRUPTION répondra avec son MOT D'ETAT/IDentificateur dans le cas où plusieurs d'entre eux auront généré des demandes d'interruption.

BUS D'ARBITRAGE

Un des quatre bus du fond de panier du BUS CEI 821. Ce bus permet à un module ARBITRE et à plusieurs modules DEMANDEURS de coordonner l'utilisation du DTB.

IECNORM.COM : Click to view the full PDF of IEC 821:1990

SLAVE

A functional module that detects DTB cycles initiated by a MASTER and, when those cycles specify its participation, transfers data between itself and the MASTER.

LOCATION MONITOR

A functional module that monitors data transfers over the DTB in order to detect accesses to the locations it has been assigned to watch. When an access to one of these assigned locations occurs, the LOCATION MONITOR generates an on-board signal.

BUS TIMER

A functional module that measures how long each data transfer takes on the DTB and terminates the DTB cycle if a transfer takes too long. Without this module, if the MASTER tries to transfer data to or from a non-existent SLAVE location it might wait forever. The BUS TIMER prevents this by terminating the cycle.

PRIORITY INTERRUPT BUS

One of the four buses provided by the IEC 821 BUS backplane. The Priority Interrupt Bus allows INTERRUPTER modules to send interrupt requests to INTERRUPT HANDLER modules.

INTERRUPTER

A functional module that generates an interrupt request on the Priority Interrupt Bus and then provides STATUS/ID information when the INTERRUPT HANDLER requests it.

INTERRUPT HANDLER

A functional module that detects interrupt requests generated by INTERRUPTERS and responds to those requests by asking for STATUS/ID information.

DAISY-CHAIN

A special type of IEC 821 BUS signal line that is used to propagate a signal level from board to board, starting with the first slot and ending with the last slot. There are four bus grant daisy-chains and one interrupt acknowledge daisy-chain on the IEC 821 BUS.

IACK DAISY-CHAIN DRIVER

A functional module which activates the interrupt acknowledge daisy-chain whenever an INTERRUPT HANDLER acknowledges an interrupt request. This daisy-chain ensures that only one INTERRUPTER will respond with its STATUS/ID when more than one has generated an interrupt request.

ARBITRATION BUS

One of the four buses provided by the IEC 821 BUS backplane. This bus allows an ARBITER module and several REQUESTER modules to coordinate use of the DTB.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

DEMANDEUR

Module fonctionnel qui réside sur la carte d'un MAITRE ou d'un CONTROLEUR D'INTERRUPTION et qui demande l'utilisation du DTB chaque fois que le MAITRE ou le CONTROLEUR D'INTERRUPTION en a besoin.

ARBITRE

Module fonctionnel qui reçoit les demandes du bus provenant des modules DEMANDEURS et accorde le contrôle du DTB à un seul DEMANDEUR à la fois.

BUS UTILITAIRE

Un des quatre bus du fond de panier du BUS CEI 821. Ce bus comprend des signaux d'horloge et des signaux qui coordonnent la mise sous tension et les coupures d'alimentation des systèmes de BUS CEI 821.

EMETTEUR D'HORLOGE DU SYSTEME

Module fonctionnel qui fournit un signal d'horloge 16 MHz sur le bus utilitaire.

EMETTEUR D'HORLOGE DU BUS SERIE

Module fonctionnel qui fournit un signal d'horloge chargé de synchroniser le fonctionnement du BUS CEI 823. (Bien que la norme du BUS CEI 821 définisse un EMETTEUR D'HORLOGE DU BUS SERIE à utiliser avec le BUS CEI 823, et bien qu'elle réserve deux lignes de signaux du fond de panier pour le BUS CEI 823, le protocole du BUS CEI 823 est complètement indépendant du BUS CEI 821.) La spécification du chronogramme du signal généré par l'EMETTEUR D'HORLOGE DU BUS SERIE est donnée dans l'annexe C.

MODULE DE CONTROLE D'ALIMENTATION

Module fonctionnel qui surveille l'état de la source d'alimentation principale du système de BUS CEI 821 et signale quand cette source d'alimentation est hors des limites exigées pour un fonctionnement fiable du système. Puisque la plupart des systèmes sont alimentés par une source alternative, le MODULE DE CONTROLE D'ALIMENTATION est généralement conçu pour détecter des conditions de coupure d'alimentation et de sous-tension de l'alimentation alternative du secteur.

CARTE CONTROLEUR DU SYSTEME

Carte qui réside dans l'emplacement 1 du fond de panier du BUS CEI 821 et qui possède un EMETTEUR D'HORLOGE DU SYSTEME, un ARBITRE, un EMETTEUR DE CHAINE SERIE IACK et un LIMITEUR DE TEMPS D'OCCUPATION DU BUS. Parfois cette carte possède aussi un EMETTEUR D'HORLOGE DU BUS SERIE, un MODULE DE CONTROLE D'ALIMENTATION ou les deux.

1.2.1.3 *Types de cycles du BUS CEI 821*

CYCLE LECTURE

Cycle du DTB utilisé pour transférer 1, 2, 3 ou 4 octets d'un ESCLAVE vers un MAITRE. Le cycle commence lorsque le MAITRE diffuse une adresse et un modificateur d'adresse. Chaque ESCLAVE acquiert l'adresse et le modificateur d'adresse, et vérifie s'il doit répondre. Si c'est le cas, il extrait les données de sa mémoire interne, les place sur le bus de données et acquitte le transfert. Le MAITRE termine alors le cycle.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REQUESTER

A functional module that resides on the same board as a MASTER or INTERRUPT HANDLER and requests use of the DTB whenever its MASTER or INTERRUPT HANDLER needs it.

ARBITER

A functional module that accepts bus requests from REQUESTER modules and grants control of the DTB to one REQUESTER at a time.

UTILITY BUS

One of the four buses provided by the IEC 821 BUS backplane. This bus includes signals that provide periodic timing and coordinate the power-up and power-down of IEC 821 BUS systems.

SYSTEM CLOCK DRIVER

A functional module that provides a 16 MHz timing signal on the Utility Bus.

SERIAL CLOCK DRIVER

A functional module that provides a periodic timing signal that synchronizes operation of the IEC 823 BUS. (Although the IEC 821 BUS standard defines a SERIAL CLOCK DRIVER for use with the IEC 823 BUS, and although it reserves two backplane signal lines for use by that bus, the IEC 823 BUS protocol is completely independent of the IEC 821 BUS.) Timing specifications for the SERIAL CLOCK DRIVER are given in Appendix C.

POWER MONITOR MODULE

A functional module that monitors the status of the primary power source to the IEC 821 BUS system, and signals when that power has strayed outside the limits required for reliable system operation. Since most systems are powered by an a.c. source, the POWER MONITOR is typically designed to detect drop-out conditions on a.c. lines.

SYSTEM CONTROLLER BOARD

A board which resides in slot 1 of an IEC 821 BUS backplane and has a SYSTEM CLOCK DRIVER, an ARBITER, an IACK DAISY-CHAIN DRIVER and a BUS TIMER. Some also have a SERIAL CLOCK DRIVER, a POWER MONITOR or both.

1.2.1.3 *Types of cycles on the IEC 821 BUS*

READ CYCLE

A DTB cycle used to transfer 1, 2, 3, or 4 bytes from a SLAVE to a MASTER. The cycle begins when the MASTER broadcasts an address and an address modifier. Each SLAVE captures the address modifier and address, and checks to see if it is to respond to the cycle. If so, it retrieves the data from its internal storage, places it on the data bus and acknowledges the transfer. The MASTER then terminates the cycle.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CYCLE ECRITURE

Cycle du DTB utilisé pour transférer 1, 2, 3 ou 4 octets d'un MAITRE vers un ESCLAVE. Le cycle commence quand le MAITRE diffuse une adresse et un modificateur d'adresse et place des données sur le DTB. Chaque ESCLAVE acquiert l'adresse et le modificateur d'adresse, et vérifie s'il doit répondre. Si c'est le cas, il enregistre les données, puis acquitte le transfert. Le MAITRE termine alors le cycle.

CYCLE DE LECTURE PAR BLOC

Cycle du DTB utilisé pour transférer un bloc de 1 à 256 octets d'un ESCLAVE vers un MAITRE. Ce transfert est fait en utilisant une chaîne de données de 1, 2 ou 4 octets. Une fois que le transfert du bloc est commencé, le MAITRE ne libère le DTB que lorsque tous les octets sont transférés. La différence avec une suite de cycles de lecture est que le MAITRE ne transmet qu'une adresse et un modificateur d'adresse (au début du cycle). Ensuite, l'ESCLAVE incrémente cette adresse à chaque transfert afin que les données du transfert suivant soient extraites de l'emplacement contigu d'adresse supérieure.

CYCLE D'ECRITURE PAR BLOC

Cycle du DTB utilisé pour transférer un bloc de 1 à 256 octets d'un MAITRE vers un ESCLAVE. Ce transfert est fait en utilisant une chaîne de données de 1, 2 ou 4 octets et le MAITRE ne libère le DTB que lorsque tous les octets sont transférés. La différence avec une suite de cycles d'écriture est que le MAITRE ne transmet qu'une adresse et un modificateur d'adresse (au début du cycle). Ensuite, l'ESCLAVE incrémente cette adresse à chaque transfert afin que les données du transfert suivant soient enregistrées à l'emplacement contigu d'adresse supérieure.

CYCLE DE LECTURE-MODIFICATION-ECRITURE

Cycle du DTB utilisé pour lire ou écrire à une adresse d'ESCLAVE sans permettre à un autre MAITRE d'avoir accès à cette adresse. Ce cycle est très utile dans les systèmes de multitraitement où certains emplacements de mémoire sont utilisés pour assurer des fonctions liées aux sémaphores.

CYCLE UNIQUEMENT D'ADRESSAGE

Cycle du DTB qui consiste en une émission d'adresse, sans transfert de données. Les ESCLAVES ne doivent pas acquitter les cycles UNIQUEMENT D'ADRESSAGE et les MAITRES terminent le cycle sans attendre l'acquittement.

CYCLE DE RECONNAISSANCE DE L'INTERRUPTION

Cycle du DTB, déclenché par un CONTROLEUR D'INTERRUPTION, pour lire un "MOT D'ETAT/IDentificateur" d'un GENERATEUR D'INTERRUPTION. Un CONTROLEUR D'INTERRUPTION déclenche ce cycle lorsqu'il détecte une demande d'interruption d'un GENERATEUR D'INTERRUPTION et qu'il obtient le contrôle du DTB.

1.2.2 *Structure générale du BUS CEI 821*

Le système d'interface du BUS CEI 821 comprend une logique d'interface de fond de panier, quatre groupes de lignes de signaux appelés bus et un ensemble de modules fonctionnels qui peuvent être configurés suivant les besoins. Les modules fonctionnels communiquent entre eux par l'intermédiaire des lignes de signaux du bus du fond de panier.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

WRITE CYCLE

A DTB cycle used to transfer 1, 2, 3, or 4 bytes from a MASTER to a SLAVE. The cycle begins when the MASTER broadcasts an address and address modifier and places data on the DTB. Each SLAVE captures the address and address modifier and checks to see if it is to respond to the cycle. If so, it stores the data and then acknowledges the transfer. The MASTER then terminates the cycle.

BLOCK READ CYCLE

A DTB cycle used to transfer a block of 1 to 256 bytes from a SLAVE to a MASTER. This transfer is done using a string of 1, 2, or 4 byte data transfers. Once the block transfer is started, the MASTER does not release the DTB until all of the bytes have been transferred. It differs from a string of read cycles in that the MASTER broadcasts only one address and address modifier (at the beginning of the cycle). Then the SLAVE increments this address on each transfer so that the data for the next transfer is retrieved from the next higher location.

BLOCK WRITE CYCLE

A DTB cycle used to transfer a block of 1 to 256 bytes from a MASTER to a SLAVE. It uses a string of 1, 2, or 4 byte data transfers and the MASTER does not release the DTB until all of the bytes have been transferred. It differs from a string of write cycles in that the MASTER broadcasts only one address and address modifier (at the beginning of the cycle). Then the SLAVE increments this address on each transfer so that the data from the next transfer is stored in the next higher location.

READ-MODIFY-WRITE CYCLE

A DTB cycle that is used to both read from, and write to, a SLAVE location without permitting any other MASTER to access that location. This cycle is most useful in multiprocessing systems where certain memory locations are used to provide semaphore functions.

ADDRESS-ONLY CYCLE

A DTB cycle that consists of an address broadcast, but no data transfer. SLAVES do not acknowledge ADDRESS-ONLY cycles and MASTERS terminate the cycle without waiting for an acknowledgement.

INTERRUPT ACKNOWLEDGE CYCLE

A DTB cycle, initiated by an INTERRUPT HANDLER, that reads a STATUS/ID from an INTERRUPTER. An INTERRUPT HANDLER generates this cycle whenever it detects an interrupt request from an INTERRUPTER and it has control of the DTB.

1.2.2 *Basic IEC 821 BUS structure*

The IEC 821 BUS interface system consists of backplane interface logic, four groups of signal lines called buses, and a collection of functional modules which can be configured as required. The functional modules communicate with each other using the backplane signal lines.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Les modules fonctionnels définis dans cette norme pour faciliter la présentation du protocole du bus ne doivent pas être considérés comme une contrainte pour la conception. Par exemple, le concepteur peut concevoir des circuits logiques qui dialoguent avec le BUS CEI 821 conformément à la description, mais qui utilisent des signaux différents sur la carte ou surveillent des signaux supplémentaires du BUS CEI 821. Les cartes de BUS CEI 821 peuvent être conçues pour inclure n'importe quelle combinaison des modules fonctionnels définis dans cette norme.

La structure fonctionnelle du BUS CEI 821 est divisée en quatre catégories. Chaque catégorie comprend un bus et les modules fonctionnels associés qui oeuvrent ensemble pour remplir des tâches spécifiques. La figure 1-2, page 38, représente les modules fonctionnels et les bus du BUS CEI 821. Chaque catégorie est brièvement résumée ci-dessous.

a) Bus de transfert de données
Les unités transfèrent des données sur le bus de transfert de données (DTB) qui contient des lignes de données et d'adresses, et les signaux de contrôle associés. Des modules fonctionnels appelés MAITRES, ESCLAVES, GENERATEURS D'INTERRUPTION et CONTROLEURS D'INTERRUPTION utilisent le DTB pour transférer des données entre eux. Deux autres modules, appelés LIMITEUR DE TEMPS D'OCCUPATION DU BUS et EMETTEUR DE CHAINE SERIE IACK les aident aussi dans ce processus.

b) Bus d'arbitrage du DTB
Comme le système BUS CEI 821 peut être configuré avec plusieurs MAITRES ou CONTROLEURS D'INTERRUPTION, un moyen est prévu pour transmettre le contrôle du DTB à chacun d'eux et faire en sorte qu'un seul ait le contrôle du DTB à un instant donné. Les modules d'arbitrage du bus, DEMANDEURS et ARBITRE, coordonnent le transfert du contrôle.

c) Bus d'interruption prioritaire
La capacité d'interruption prioritaire du BUS CEI 821 permet aux unités d'effectuer des demandes à un CONTROLEUR D'INTERRUPTION. Ces demandes d'interruption peuvent avoir jusqu'à sept niveaux de priorité. Les GENERATEURS D'INTERRUPTION et CONTROLEURS D'INTERRUPTION utilisent les lignes de signaux du bus d'interruption.

d) Bus utilitaire
Les horloges, l'initialisation et la détection des erreurs sont fournis par le bus utilitaire. Celui-ci comprend deux lignes d'horloge, une ligne d'initialisation du système, une ligne de défaillance système, une ligne de défaillance de l'alimentation du secteur en courant alternatif et une ligne de données série.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

The functional modules defined in this standard are used as vehicles for discussion of the bus protocol, and need not be considered a constraint to logic design. For example, the designer might choose to design logic which interacts with the IEC 821 BUS in the manner described, but uses different on board signals, or monitors additional IEC 821 BUS signals. IEC 821 BUS boards might be designed to include any combination of the functional modules defined by this standard.

The IEC 821 BUS functional structure is divided into four categories. Each consists of a bus and its associated functional modules which work together to perform specific duties. Figure 1-2, page 39, shows the IEC 821 BUS functional modules and buses. Each category is briefly summarized below.

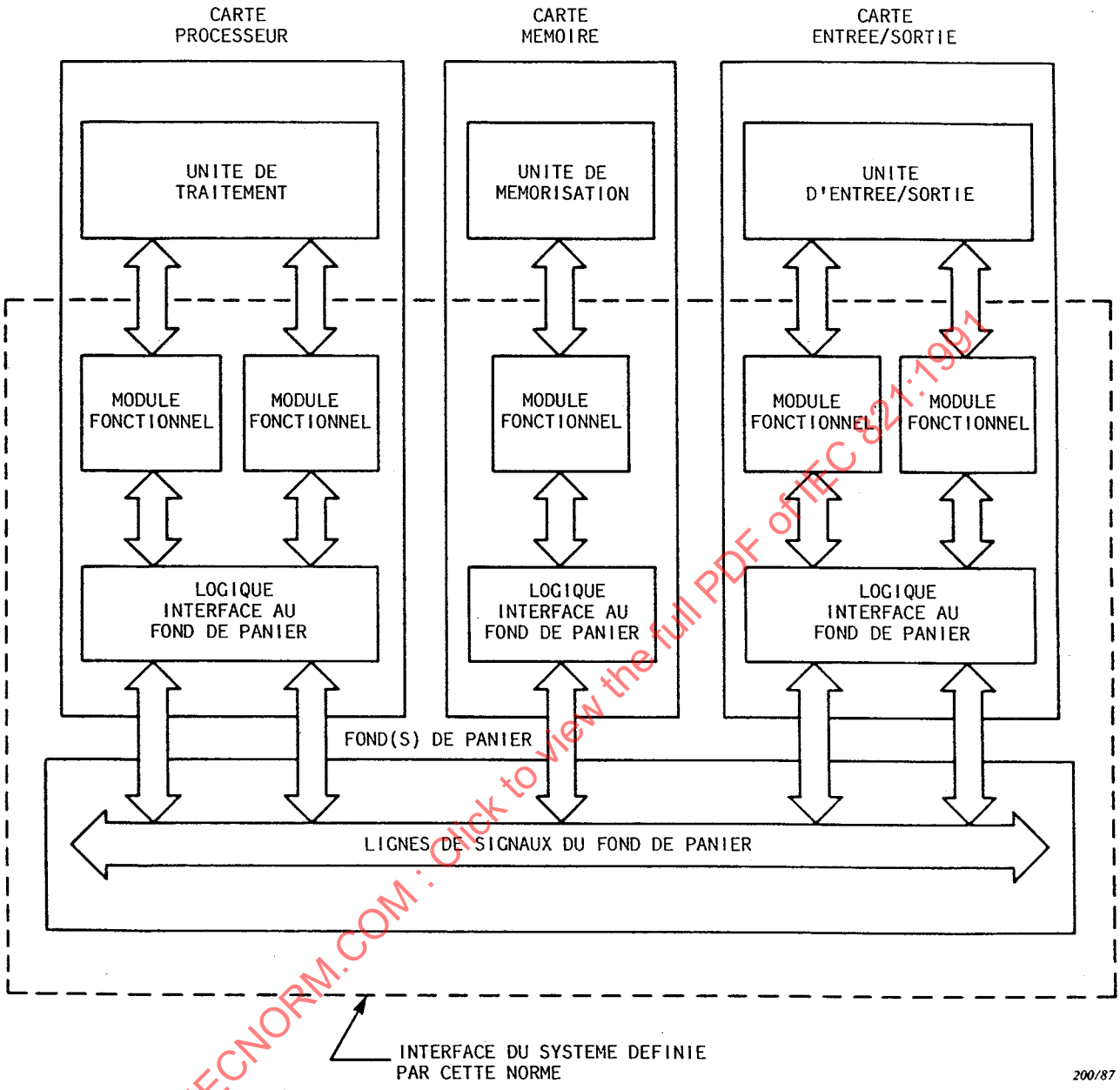
a) Data Transfer Bus
Devices transfer data over the Data Transfer Bus (DTB), which contains data and address pathways and associated control signals. Functional modules called MASTERS, SLAVES, INTERRUPTERS, and INTERRUPT HANDLERS use the DTB to transfer data between each other. Two other modules, called a BUS TIMER and an IACK DAISY-CHAIN DRIVER also assist them in this process.

b) DTB Arbitration Bus
Since an IEC 821 BUS system can be configured with more than one MASTER or INTERRUPT HANDLER, a means is provided to transfer control of the DTB between them in an orderly manner and to guarantee that only one controls the DTB at any given time. The Arbitration Bus modules, REQUESTERS and ARBITER, coordinate the control transfer.

c) Priority Interrupt Bus
The priority interrupt capability of the IEC 821 BUS provides a means by which devices can request service from an INTERRUPT HANDLER. These interrupt requests can be prioritized into a maximum of seven levels. INTERRUPTERS and INTERRUPT HANDLERS use the Priority Interrupt Bus signal lines.

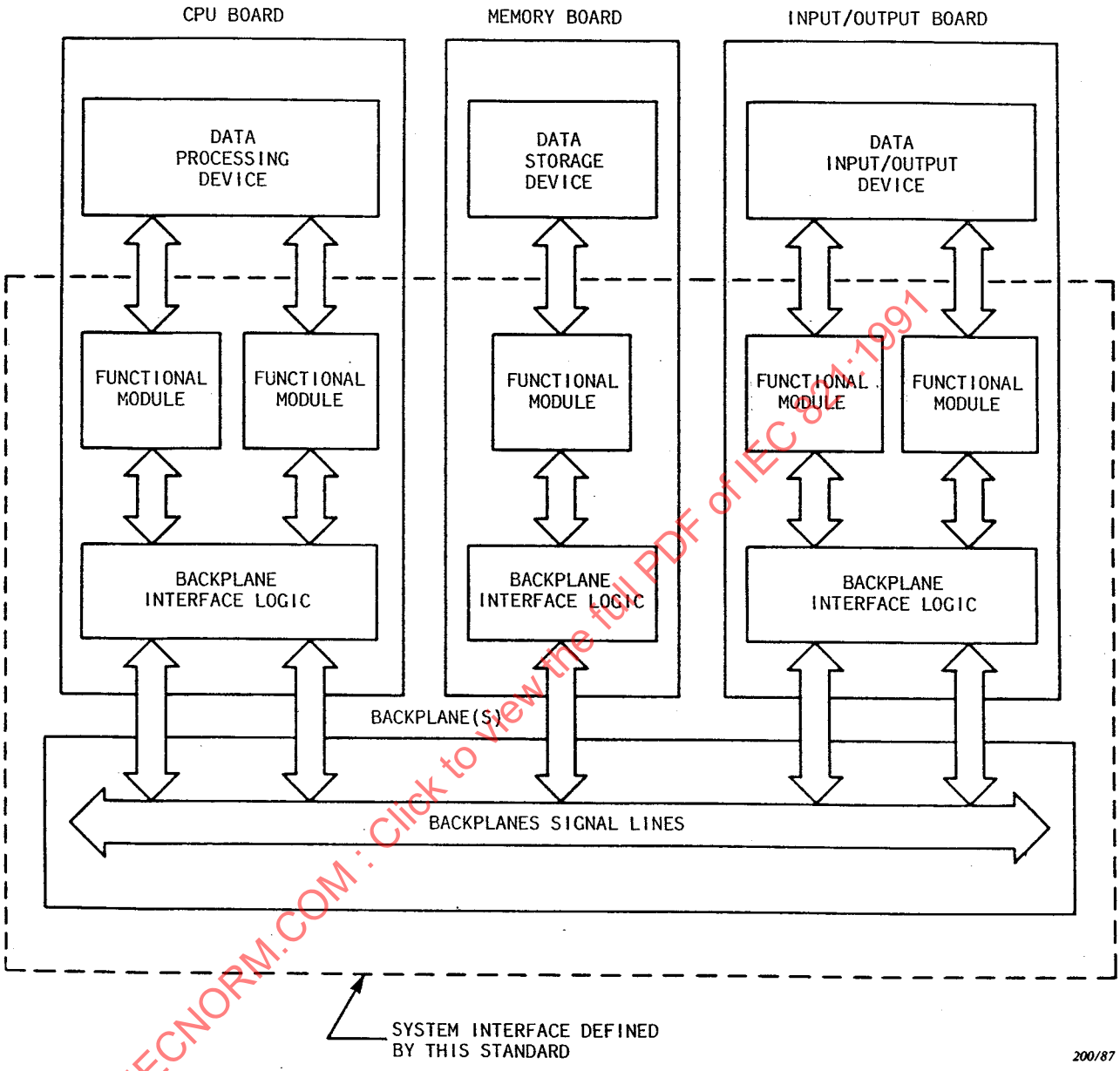
d) Utility Bus
Periodic clocks, initialization, and failure detection are provided by the Utility Bus. It includes two clock lines, a system reset line, a system fail line, an a.c. fail line, and a serial data line.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 1-1. - Eléments du système définis par cette norme.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 1-1. - System elements defined by this standard.

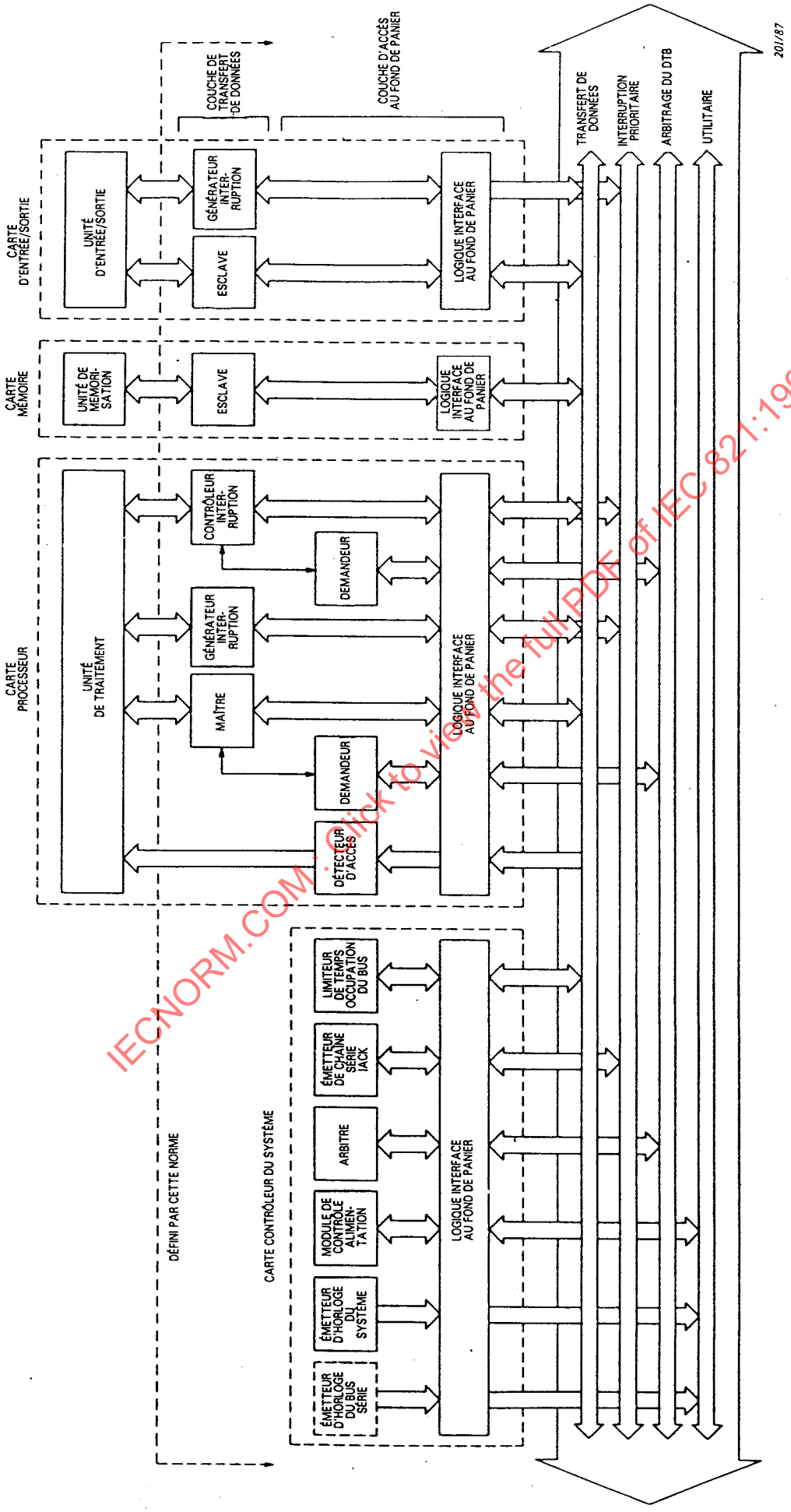
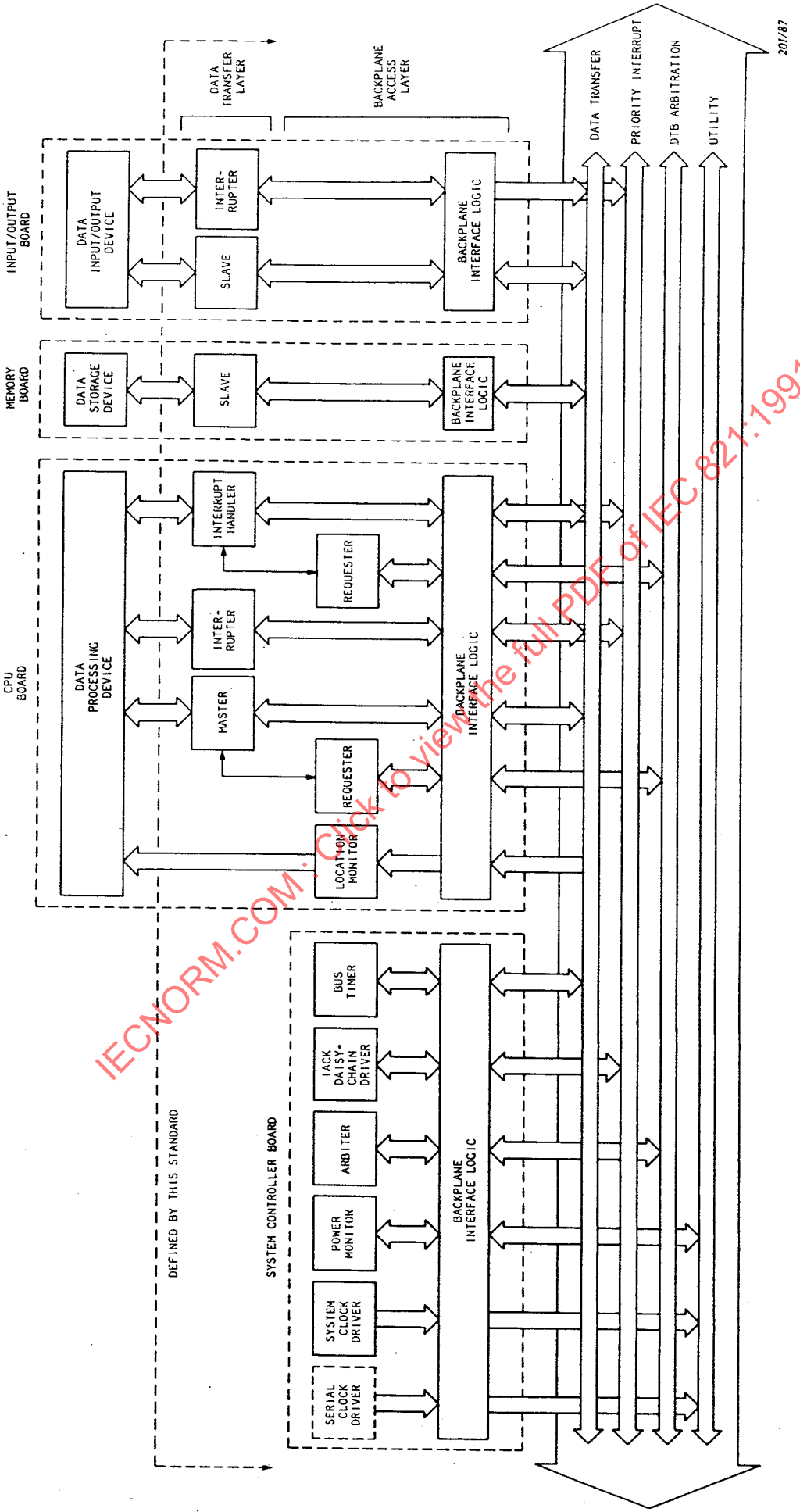


FIG. 1-2. - Modules fonctionnels et bus définis par cette norme.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 1-2. - Functional modules and buses defined by this standard.

1.3 *Diagrammes de la norme du BUS CEI 821*

Pour définir ou décrire les protocoles du BUS CEI 821, différents types de diagrammes sont utilisés:

a) Les chronogrammes montrent les relations de temps entre les transitions des signaux. Les temps considérés doivent avoir des limites inférieures et/ou supérieures. Certains des temps spécifient le comportement de la logique d'interface du fond de panier tandis que d'autres spécifient le comportement d'interverrouillage des modules fonctionnels.

b) Les schémas des séquences sont semblables aux chronogrammes mais montrent seulement les relations temporelles d'interverrouillage des modules fonctionnels. Ces diagrammes montrent la séquence des événements plutôt que les temps impliqués. Par exemple, un schéma des séquences peut montrer que le module A ne peut générer le signal de transition B avant d'avoir détecté la génération du signal de transition D du module C.

c) Les organigrammes montrent une chaîne d'événements telle qu'elle se présente lors d'une opération du BUS CEI 821. Les événements résultent de l'interaction entre deux ou plusieurs modules fonctionnels et sont décrits par un texte. L'organigramme décrit les opérations du BUS CEI 821 de façon séquentielle et montre, en même temps, l'interaction entre les modules fonctionnels.

1.4 *Terminologie utilisée dans la norme*

Pour éviter toute confusion et pour clarifier les exigences de conformité, la plupart des paragraphes de cette norme sont repérés par des mots clefs qui indiquent le type d'informations qu'ils contiennent. La liste des mots clefs est donnée ci-dessous:

REGLE
RECOMMANDATION
SUGGESTION
AUTORISATION
OBSERVATION

Un texte sans l'un de ces mots clefs décrit la structure ou le fonctionnement du BUS CEI 821. Il est écrit dans un style descriptif ou narratif. L'utilisation de ces mots clefs est la suivante:

REGLE chapitre.numéro:
Les règles forment le cadre fondamental de la norme du BUS CEI 821. Elles sont exprimées parfois sous forme de texte et parfois sous forme de figures, tableaux ou dessins. Toutes les règles du BUS CEI 821 DOIVENT être observées pour assurer la compatibilité entre les produits conçus pour le BUS CEI 821. Les règles sont caractérisées par un style impératif. Les mots DOIT et NE DOIT PAS, en lettres majuscules, sont réservés exclusivement pour déclarer les règles de cette norme et ne sont pas utilisés pour d'autres usages.

RECOMMANDATION chapitre.numéro:
Une recommandation indique au concepteur qu'il serait judicieux de suivre les conseils donnés. Faire autrement peut entraîner des ennuis graves ou une mauvaise performance. Bien que le BUS CEI 821 ait été

IECNORM.COM : Click to view the full PDF of IEC 821:1991

1.3 *IEC 821 BUS standard diagrams*

Several types of diagrams are used to help define and describe IEC 821 Bus protocols:

a) Timing diagrams show the timing relationships between signal transitions. The times involved will have minimum and/or maximum limits. Some of the times specify the behavior of the backplane interface logic, while others specify the interlocked behavior of the functional modules.

b) Sequence diagrams are similar to a timing diagram but show only the interlocked timing relationships of the functional modules. They show a sequence of events, rather than specify the times involved. For example, a sequence diagram might indicate that module A cannot generate signal transition B until it detects module C's generation of signal transition D.

c) Flow diagrams show a stream of events as they would occur during an IEC 821 BUS operation. The events are stated in words and result from interaction of two or more functional modules. They describe IEC 821 BUS operations in a sequential manner and, at the same time, show how the functional modules interact.

1.4 *Standard terminology*

To avoid confusion, and to make very clear what the requirements for compliance are, many of the paragraphs in this standard are labeled with keywords that indicate the type of information they contain. The keywords are listed below:

RULE
RECOMMENDATION
SUGGESTION
PERMISSION
OBSERVATION

Any text not labeled with one of these keywords describes the IEC 821 BUS structure or operation. It is written in either a descriptive or a narrative style. These keywords are used as follows:

RULE chapter.number:
Rules form the basic framework of the IEC 821 BUS standard. They are sometimes expressed in text form and sometimes in the form of figures, tables, or drawings. All IEC 821 BUS rules MUST be followed to ensure compatibility among IEC 821 BUS designs. Rules are characterized by an imperative style. The upper-case words MUST and MUST NOT are reserved for stating rules in this standard and are not used for any other purpose.

RECOMMENDATION chapter.number:
Wherever a recommendation appears, designers would be wise to take the advice given. Doing otherwise might result in some awkward problems or poor performance. While IEC 821 BUS has been designed

IECNORM.COM : Click to view the full PDF of IEC 821:1991

conçu pour des systèmes de haute performance il est possible de concevoir un système de BUS CEI 821 conforme à toutes les règles mais ayant des performances médiocres. Souvent le concepteur doit avoir un certain niveau d'expérience du BUS CEI 821 pour concevoir des cartes qui donnent la meilleure performance. Les recommandations contenues dans cette norme sont fondées sur l'expérience et sont fournies aux concepteurs pour accélérer leur apprentissage.

SUGGESTION chapitre.numéro:
Une suggestion est un conseil utile mais non vital. Le lecteur est encouragé à ne pas l'écarter sans y réfléchir. Certains choix de conception sont difficiles tant que l'on n'a pas acquis suffisamment d'expérience. Les suggestions sont faites pour aider le concepteur encore inexpérimenté. Plusieurs suggestions se rapportent à la conception de cartes facilement reconfigurables pour être compatibles avec d'autres cartes, à la conception de cartes facilitant la mise au point du système.

AUTORISATION chapitre.numéro:
Dans certains cas une règle du BUS CEI 821 n'interdit pas spécifiquement une certaine méthode de conception, mais le lecteur peut se demander si celle-ci transgresse la règle ou si elle risque de conduire à un ennui. Les autorisations confirment au lecteur qu'une certaine méthode de conception est acceptable et n'entraînera pas de difficultés. Le mot PEUT, en lettres majuscules, est réservé pour énoncer les autorisations de cette norme et n'est pas utilisé pour d'autres usages.

OBSERVATION chapitre.numéro:
Les observations ne donnent pas de conseils spécifiques. Elles découlent généralement de la discussion. Elles soulignent les implications de certaines règles du BUS CEI 821 et attirent l'attention sur certains points qui autrement pourraient être négligés. Elles donnent aussi la raison de certaines règles afin que le lecteur comprenne la nécessité de les suivre.

1.4.1 *Etats des lignes de signaux*

Les protocoles du BUS CEI 821 sont décrits en termes de niveaux et de changements d'états sur les lignes du bus.

Une ligne de signal est toujours supposée être à l'un des deux niveaux ou en transition entre ces niveaux. Quand le terme "haut" est utilisé, il se rapporte à un niveau haut de tension. Le terme "bas" se rapporte à un niveau bas de tension. Une ligne de signal est "en transition" quand son niveau de tension se déplace entre ces niveaux. (Voir chapitre 6 pour les seuils de tension utilisés sur le BUS CEI 821.)

Deux types de transitions sont possibles sur une ligne de signal et sont appelés "fronts". Un front montant est le temps de passage de la ligne de signal entre le niveau bas et le niveau haut. Un front descendant est le temps de passage de la ligne de signal du niveau haut au niveau bas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

to support high performance systems, it is possible to design an IEC 821 BUS system that complies with all the rules, but has abysmal performance. In many cases, a designer needs a certain level of experience with IEC 821 BUS in order to design boards that deliver top performance. Recommendations found in this standard are based on this kind of experience, and are provided to designers to speed their traversal of the learning curve.

SUGGESTION chapter.number:
A suggestion contains advice which is helpful but not vital. The reader is encouraged to consider the advice before discarding it. Some design decisions are difficult until experience has been gained with the IEC 821 BUS. Suggestions are included to help a designer who has not yet gained this experience. Some suggestions have to do with designing boards that can be easily reconfigured for compatibility with other boards, with designing boards that ease system debugging.

PERMISSION chapter.number:
In some cases an IEC 821 BUS rule does not specifically prohibit a certain design approach, but the reader might be left wondering whether that approach might violate the spirit of the rule, or whether it might lead to some subtle problem. Permissions reassure the reader that a certain approach is acceptable, and will cause no problems. The upper-case word MAY is reserved for stating permissions in this standard and is not used for any other purpose.

OBSERVATION chapter.number:
Observations do not offer any specific advice. They usually follow naturally from what has just been discussed. They spell out the implications of certain IEC 821 BUS rules and bring attention to things that might otherwise be overlooked. They also give the rationale behind certain rules, so that the reader understands why the rule must be followed.

1.4.1 *Signal line states*

IEC 821 BUS protocols are described in terms of levels and transitions on bus lines.

A signal line is always assumed to be in one of two levels or in transition between these levels. Whenever the term "high" is used, it refers to a high TTL voltage level. The term "low" refers to a low TTL voltage level. A signal line is "in transition" when its voltage is moving between these levels. (See Chapter 6 for voltage thresholds used on the IEC 821 BUS.)

There are two possible transitions which can appear on a signal line, and these are called "edges". A rising edge is the time during which a signal line makes its transition from a low level to a high level. The falling edge is the time during which a signal line makes its transition from a high level to a low level.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Certaines spécifications de bus indiquent les temps de montée et descente minimale et maximale pour ces fronts. Une difficulté vient de ce que les concepteurs de la carte ont peu de moyens de contrôle sur ces temps. Si le fond de panier est très chargé, les temps de montée et de descente seront longs. S'il est peu chargé, ces temps peuvent être courts. Même si les concepteurs savent ce que sera la charge minimale et maximale, ils doivent effectuer des essais en laboratoire pour trouver les émetteurs qui fourniront les temps spécifiés de montée et de descente.

En fait, les temps de montée et de descente sont le résultat d'un ensemble complexe d'interactions concernant les impédances des pistes du fond de panier, ses adaptations, l'impédance de source des émetteurs et la charge capacitive des pistes. Pour obtenir un compromis entre tous ces facteurs, le concepteur de la carte devrait connaître la théorie des lignes de transmission, et certains paramètres spécifiques des émetteurs et récepteurs qui ne sont pas normalement inclus dans la plupart des feuilles de spécifications des fabricants.

Compte tenu de tout cela, la norme du BUS CEI 821 ne spécifie pas les temps de montée et de descente. En lieu et place, elle spécifie les caractéristiques électriques des émetteurs et récepteurs et la manière de concevoir le fond de panier. Elle indique aussi, aux concepteurs, comment le délai de propagation des émetteurs est affecté dans le plus mauvais cas de charge du bus, si bien qu'ils peuvent s'assurer que la chronologie requise est respectée avant de construire une carte. Si les concepteurs du BUS CEI 821 suivent ces spécifications de délai de propagation, leurs cartes fonctionneront correctement avec les autres cartes compatibles de BUS CEI 821 même dans les plus mauvaises conditions.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

1.4.2 *Utilisation de l'astérisque (*)*

Pour mieux définir l'utilisation, les mnémoniques des signaux ont un astérisque en suffixe quand c'est nécessaire:

a) Un astérisque (*) qui suit le nom d'un signal actif sur un niveau, signifie que le signal est vrai ou valide quand il est au niveau bas.

b) Un astérisque (*) qui suit le nom d'un signal actif sur un front, signifie que les actions déclenchées par ce signal ont lieu sur une transition du signal du niveau haut vers le niveau bas.

OBSERVATION 1.1:
L'astérisque n'a pas de sens pour les lignes d'horloge asynchrone SYSCLK et SERCLK. Il n'y a pas de relation de phase fixe entre ces deux lignes d'horloge et les autres signaux du BUS CEI 821.

1.5 *Spécification du protocole*

Il y a deux couches de protocole du BUS CEI 821. La couche inférieure du BUS CEI 821, appelée la couche d'accès au fond de panier, est composée de la logique d'interface du fond de panier, des modules du bus utilitaire et des modules du bus d'arbitrage. La couche de transfert de données du BUS CEI 821 est composée des modules du bus de transfert de données et du bus d'interruption. La figure 1-2, page 38, indique ces couches.

Some bus specifications prescribe maximum or minimum rise and fall times for these edges. The problem with doing this is that board designers have very little control over these times. If the backplane is heavily loaded, the rise and fall times will be long. If it is lightly loaded, these times might be short. Even if designers know what the maximum and minimum loading will be, they still need to spend time in the lab, experimenting to find out which drivers will provide the needed rise and fall times.

In fact, rise and fall times are the result of a complex set of interactions involving the signal line impedances of the backplane, its terminations, the source impedance of the drivers, and the capacitive loading of the signal line. In order to trade off all of these factors, the board designer would have to study transmission line theory, as well as certain specific parameters of drivers and receivers which are not normally found in most manufacturers' data sheets.

Recognizing all of this, the IEC 821 BUS standard does not specify rise and fall times. Instead, it specifies the electrical characteristics for drivers and receivers and suggests how to design the backplane. It also tells designers how the worst case bus loading will affect the propagation delay of these drivers so that they can ensure that the required timing is met before building a board. If IEC 821 BUS designers follow these propagation delay guidelines, their boards will operate reliably with other IEC 821 BUS compatible boards under worst case conditions.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

1.4.2 *Use of the asterisk (*)*

To help define usage, signal mnemonics have an asterisk suffix where required:

a) An asterisk (*) following the signal name of signals which are level significant denotes that the signal is true or valid when the signal is low.

b) An asterisk (*) following the signal name of signals which are edge significant denotes that the actions initiated by that signal occur on a high to low transition.

OBSERVATION 1.1:
The asterisk is inappropriate for the asynchronously running clock lines SYSCLK and SERCLK. There is no fixed phase relationship between these clock lines and other IEC 821 BUS signals.

1.5 *Protocol specification*

There are two layers of IEC 821 BUS protocol. The lowest IEC 821 BUS layer, called the backplane access layer, is composed of the backplane interface logic, the Utility Bus modules, and the Arbitration Bus modules. The IEC 821 BUS data transfer layer is composed of the Data Transfer Bus and Priority Interrupt Bus modules. Figure 1-2, page 39, shows this layering.

OBSERVATION 1.2:

Les lignes de signaux utilisées par les modules des couches de transfert de données forment une classe spéciale parce qu'elles sont commandées par des modules différents à des instants différents. Elles sont commandées par des émetteurs de lignes qui peuvent être activés et désactivés par chaque carte selon les signaux générés dans la couche d'accès au fond de panier. Il est très important que leurs temps d'activation et de désactivation soient soigneusement vérifiés afin d'éviter que deux émetteurs ne tentent de porter les mêmes lignes de signaux à des niveaux différents. Une notation spéciale est utilisée dans les chronogrammes de cette norme pour spécifier les temps de commutation. Elle est représentée dans la figure 1-3, page 48.

Deux types fondamentaux de protocoles sont utilisés sur le BUS CEI 821: les protocoles en boucle fermée et les protocoles en boucle ouverte. Les protocoles en boucle fermée utilisent des signaux d'interverrouillage du bus tandis que les protocoles en boucle ouverte utilisent des signaux de diffusion du bus.

1.5.1 *Signaux d'interverrouillage du bus*

Un signal d'interverrouillage du bus est envoyé d'un module donné à un autre. Ce signal est acquitté par le module de réception. Une relation d'interverrouillage existe entre les deux modules jusqu'à ce que le signal soit acquitté. Par exemple, un GENERATEUR D'INTERRUPTION peut envoyer une demande d'interruption qui reçoit ensuite comme acquittement un signal de reconnaissance de l'interruption (aucune limite de temps n'est prescrite par la norme du BUS CEI 821). Le GENERATEUR D'INTERRUPTION maintient la demande d'interruption jusqu'à ce que le CONTROLEUR D'INTERRUPTION la reconnaisse.

Des signaux d'interverrouillage du bus règlent le fonctionnement interne du système de BUS CEI 821, par opposition à l'interaction avec des stimuli externes. Chaque signal d'interverrouillage agit d'un module source vers un module de destination dans le système de BUS CEI 821.

Les signaux de validation d'adresse et de donnée sont des signaux d'interverrouillage très importants. Ils sont interverrouillés avec les signaux d'accusé de réception de données et d'erreurs du bus et ils coordonnent le transfert des informations d'adresses et de données qui constituent la base de tous les flux d'informations entre les modules de la couche de transfert de données.

1.5.2 *Signal de diffusion du bus*

Un module génère un signal de diffusion pour répondre à un événement. Il n'y a pas de protocole pour l'acquittement d'un signal diffusé. La diffusion est maintenue pendant un temps minimal spécifié, assez long pour assurer que tous les modules appropriés détectent le signal. Les signaux de diffusion peuvent être activés à n'importe quel moment, indépendamment d'autres activités qui se passent sur le bus. Ils sont envoyés sur une ligne de signal spécifique. Citons en exemple la ligne de signal d'initialisation du système et celle de défaillance de l'alimentation alternative. Ces lignes de signaux ne sont pas destinées à un module spécifique mais annoncent des conditions d'exceptions à tous les modules.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 1.2:
The signal lines used by the data transfer layer modules form a special class because they are driven by different modules at different times. They are driven with line drivers that can be turned on and off at each board, based upon signals generated in the backplane access layer. It is very important that their turn-on and turn-off times be carefully controlled to prevent two drivers from attempting to drive the same signal line to different levels. Special timing diagram notation is used in this standard to specify their turn-on and turn-off times. It is shown in Figure 1-3, page 49.

Two basic kinds of protocol are used on the IEC 821 BUS: closed loop protocols and open loop protocols. Closed loop protocols use interlocked bus signals while open loop protocols use broadcast bus signals.

1.5.1 *Interlocked bus signals*

An interlocked bus signal is sent from a specific module to another specific module. The signal is acknowledged by the receiving module. An interlocked relationship exists between the two modules until the signal is acknowledged. For example, an INTERRUPTER can send an interrupt request which is answered later with an interrupt acknowledge signal (no time limit is prescribed by the IEC 821 BUS standard). The INTERRUPTER doesn't remove the interrupt request until the INTERRUPT HANDLER acknowledges it.

Interlocked bus signals coordinate internal functions of the IEC 821 BUS system, as opposed to interacting with external stimuli. Each interlocked signal has a source module and a destination module within the IEC 821 BUS system.

The address strobe and data strobes are especially important interlocking signals. They are interlocked with the data transfer acknowledge and bus error signals and coordinate the transfer of addressing information and data which are the basis for all information flow between modules in the data transfer layer.

1.5.2 *Broadcast bus signal*

A module generates a broadcast signal in response to an event. There is no protocol for acknowledging a broadcast signal. Instead, the broadcast is maintained for a minimum specified time, long enough to assure that all appropriate modules detect the signal. Broadcast signals might be activated at any time, irrespective of any other activity taking place on the bus. They are each sent over a dedicated signal line. Some examples are the system reset and a.c. failure lines. These signal lines are not sent to any specific module, but announce special conditions to all modules:

IECNORM.COM : Click to view the full PDF of IEC 821:1991

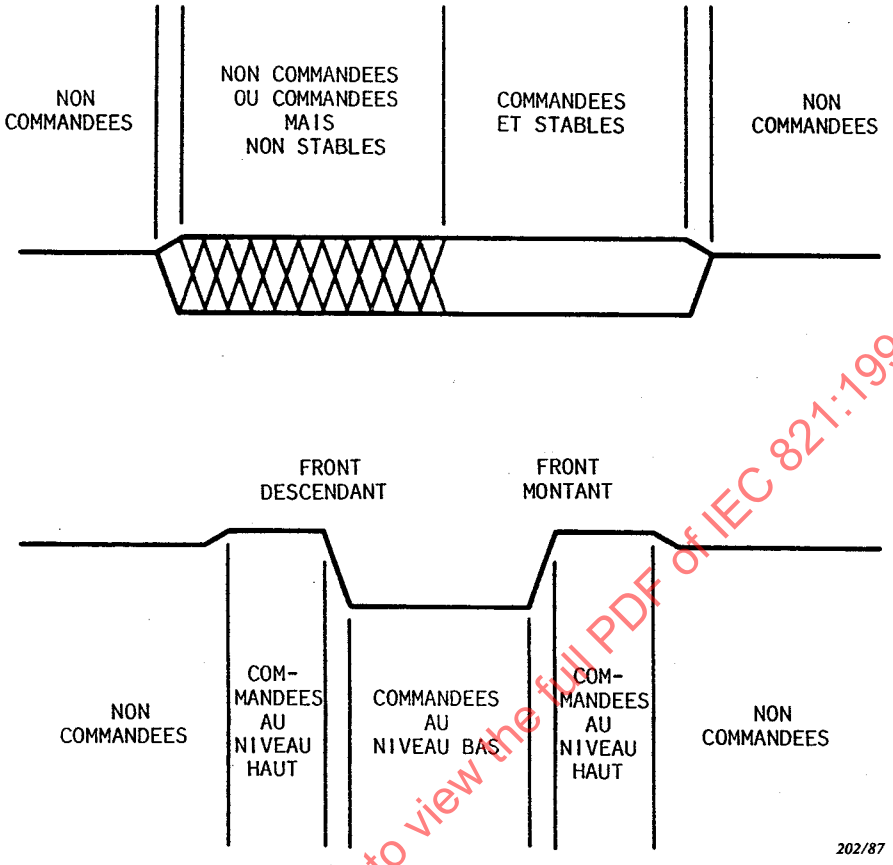


FIG. 1-3. - Notations utilisées dans les chronogrammes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

1.6 *Exemples et explications relatifs au système*

La spécification du protocole décrit, en détail, le comportement des différents modules fonctionnels. Elle indique comment un module répond à un signal sans indiquer l'origine de ce dernier. Par conséquent, la spécification du protocole ne donne pas au lecteur une image complète. Pour aider le lecteur, la norme du BUS CEI 821 fournit des exemples de fonctionnement typique. Chaque exemple montre une séquence possible d'événements; d'autres séquences sont possibles. En fournissant ces exemples, on risque de voir les lecteurs supposer que la séquence montrée dans l'exemple est la seule correcte. Pour aider le lecteur à éviter ce piège, tous les exemples sont donnés dans un style narratif, utilisant le temps présent. Cela contraste avec le style impératif utilisé pour donner les règles de conformité de la norme du BUS CEI 821.

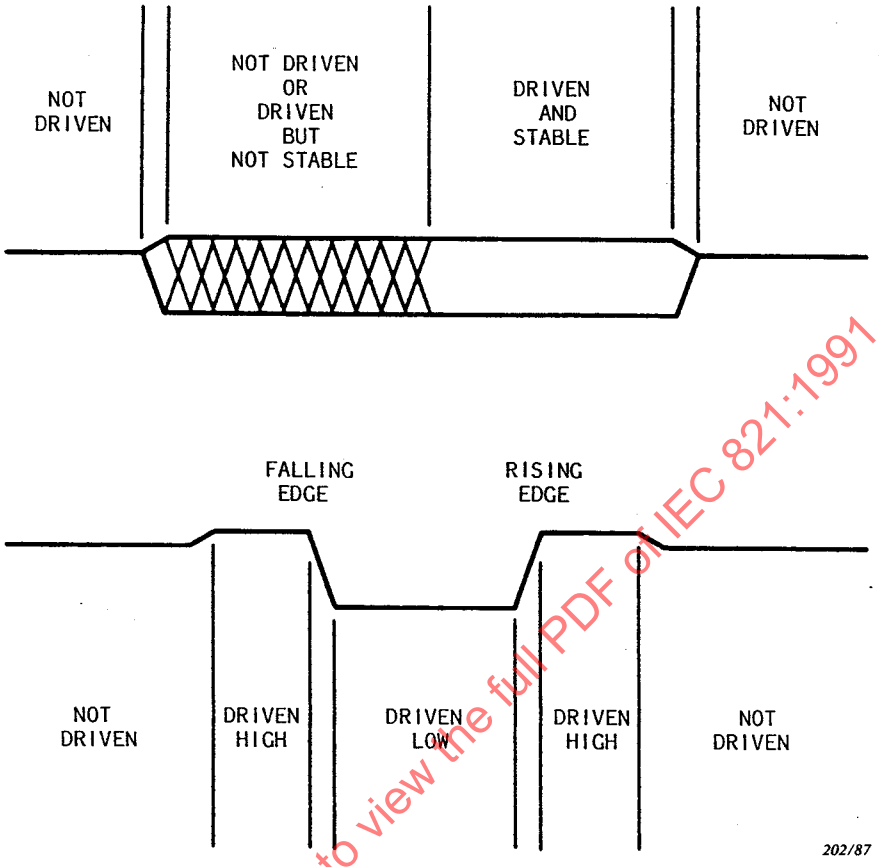


FIG. 1-3. - Signal timing notation.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

1.6 *System examples and explanations*

A protocol specification describes, in detail, the behavior of the various functional modules. It discusses how a module responds to a signal without saying where the signal came from. Because of this, a protocol specification does not give the reader a complete picture. To help the reader, the IEC 821 BUS standard provides examples of typical IEC 821 BUS operations. Each example shows one possible sequence of events: other sequences are also possible. In providing these examples, there is the danger that readers will assume that the sequence shown in the example is the only legal one. To help readers avoid this trap, all examples are given in a narrative style, using the present tense. This is in contrast to the imperative style used when giving rules for compliance with the IEC 821 BUS standard.

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

2.1 *Introduction*

Le BUS CEI 821 comprend un bus de transfert de données (DTB) parallèle, asynchrone, à haute vitesse. La figure 2-1, page 52, indique un système typique de BUS CEI 821, incluant tous les modules fonctionnels DTB. Le DTB est utilisé par les MAITRES pour sélectionner des adresses des ESCLAVES et pour transférer des données vers ou à partir de cette adresse. Certains MAITRES et ESCLAVES utilisent toutes les lignes de signaux du DTB, tandis que d'autres en utilisent seulement une partie.

Des DETECTEURS D'ACCES surveillent les transferts de données entre des MAITRES et des ESCLAVES. Lorsqu'il y a un accès à ou aux adresses d'octets qu'il surveille, un DETECTEUR D'ACCES génère un signal sur la carte. Il pourrait envoyer, par exemple, un signal à son processeur sur la carte au moyen d'une interruption. Dans une telle configuration, si une carte processeur A écrit à une adresse de la mémoire globale du BUS CEI 821 surveillée par le DETECTEUR D'ACCES du processeur B, le processeur B sera interrompu.

Après qu'un MAITRE a lancé un cycle de transfert de données, il attend la réponse de l'ESCLAVE sélectionné avant de terminer le cycle. Le caractère asynchrone du BUS CEI 821 autorise un ESCLAVE à prendre le temps qu'il nécessite pour répondre. Si un ESCLAVE ne répond pas à cause de quelque malfonction ou si le MAITRE adresse accidentellement un emplacement où il n'y a pas d'ESCLAVE, le LIMITEUR DE TEMPS D'OCCUPATION DU BUS intervient alors, permettant de terminer le cycle.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2 *Lignes du bus de transfert de données*

Les lignes du bus de transfert de données peuvent être groupées en trois catégories:

Lignes d'adresse	Lignes de données	Lignes de commande
A01-A31	D00-D31	AS*
AM0-AM5		DS0*
DS0*		DS1*
DS1*		BERR*
LWORD*		DTACK*
		WRITE*

OBSERVATION 2.1:
Les deux signaux de validation de donnée DS0* et DS1* ont une fonction double:

1) Leurs niveaux sont utilisés pour sélectionner quel ou quels octets sont accédés.

2) Leurs fronts sont aussi utilisés comme signaux de contrôle du séquencement qui coordonne le transfert des données entre le MAITRE et l'ESCLAVE.

CHAPTER 2: IEC 821 BUS DATA TRANSFER BUS

2.1 *Introduction*

The IEC 821 BUS includes a high speed asynchronous parallel Data Transfer Bus (DTB). Figure 2-1, page 53, shows a typical IEC 821 BUS system, including all of the DTB functional modules. MASTERS use the DTB to select storage locations provided by SLAVES, and to transfer data to or from those locations. Some MASTERS and SLAVES use all of the DTB lines, while others use only a subset.

LOCATION MONITORS monitor data transfers between MASTERS and SLAVES. When an access is done to one of the byte location(s) that it monitors, a LOCATION MONITOR generates an on-board signal. For example, it might signal its on-board processor by means of an interrupt request. In such a configuration, if processor board A writes into a location of the global IEC 821 BUS memory that is monitored by processor B's LOCATION MONITOR, processor B will be interrupted.

After a MASTER initiates a data transfer cycle it waits for the responding SLAVE to respond before finishing the cycle. The asynchronous definition of the IEC 821 BUS allows a SLAVE to take as long as it needs to respond. If a SLAVE fails to respond because of some malfunction, or if the MASTER accidentally addresses a location where there is no SLAVE, the BUS TIMER intervenes, allowing the cycle to be terminated.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2 *Data Transfer Bus lines*

The Data Transfer Bus lines can be grouped into three categories:

Addressing lines	Data lines	Control lines
A01-A31	D00-D31	AS*
AM0-AM5		DS0*
DS0*		DS1*
DS1*		BERR*
LWORD*		DTACK*
		WRITE*

OBSERVATION 2.1:
The two data strobes DS0* and DS1* serve a dual function:

1) Their levels are used to select which byte(s) are accessed.

2) Their edges are also used as timing signals which coordinate the transfer of data between the MASTER and the SLAVE.

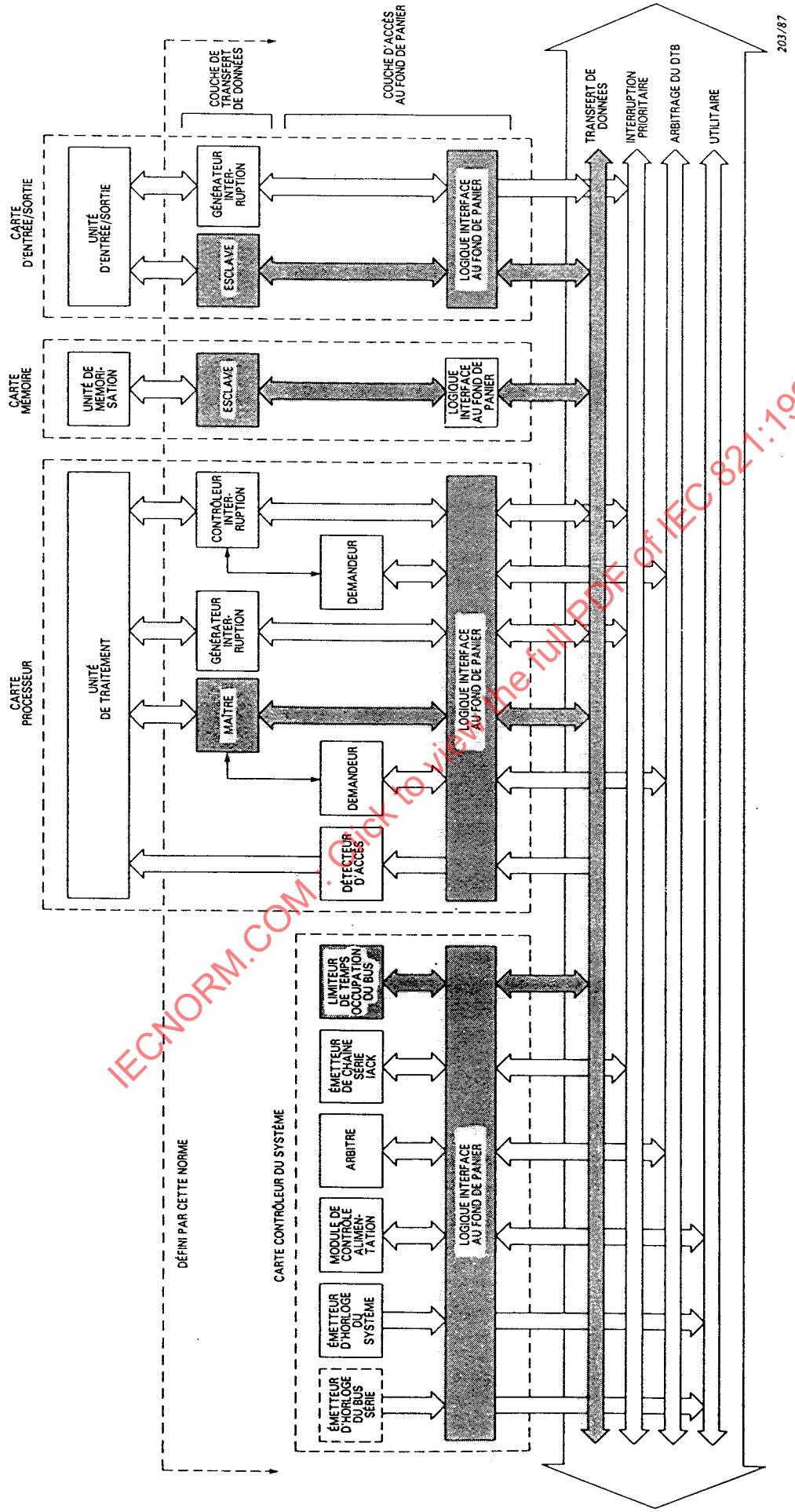


FIG. 2-1. - Schéma-bloc fonctionnel du bus de transfert de données.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

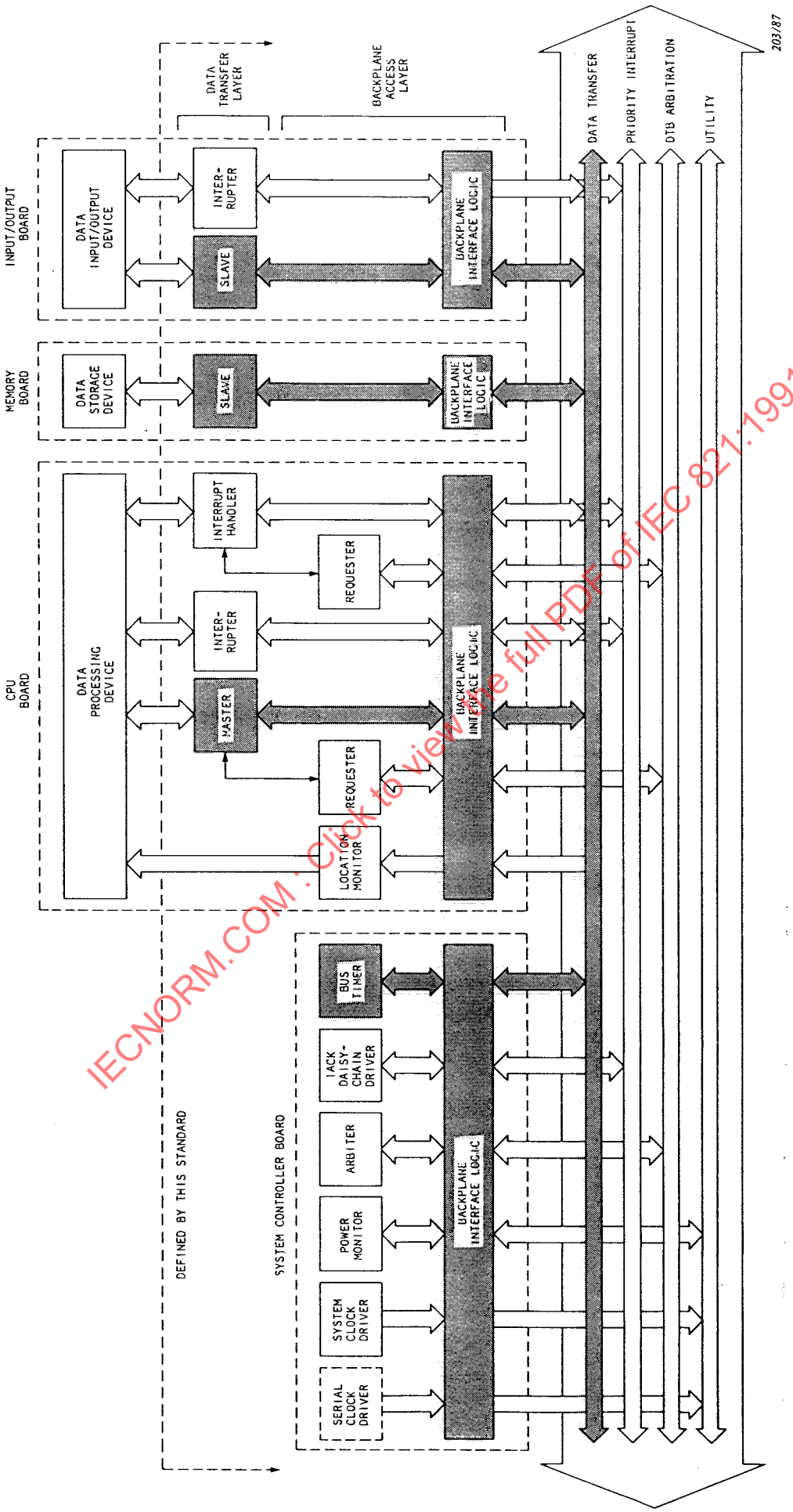


FIG. 2-1. - Data Transfer Bus functional block diagram.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.1 *Lignes d'adresse*

La plus petite unité de mémoire adressable est l'octet. A chaque octet est assignée une adresse binaire unique. Chaque octet peut être assigné à l'une des quatre catégories, en fonction des deux bits d'adresses de poids faible (voir tableau 2-1).

Tableau 2-1

Les quatre catégories d'emplacement d'octet

Catégorie	Emplacement d'octet
OCTET(0)	XXXXXX XXXXXX00
OCTET(1)	XXXXXX XXXXXX01
OCTET(2)	XXXXXX XXXXXX10
OCTET(3)	XXXXXX XXXXXX11

Un ensemble d'octets dont l'adresse diffère uniquement par les deux bits de poids faible est appelé groupe de 4 octets ou groupe OCTET(0-3). Certains ou tous les octets d'un groupe de 4 octets peuvent être accédés simultanément par un seul cycle du DTB.

Les MAITRES utilisent des lignes d'adresse A02-A31 pour sélectionner quel groupe de 4 octets sera accédé. Quatre lignes additionnelles, DS1*, DS0*, A01 et LWORD*, sont utilisées ensuite pour sélectionner le ou les octets parmi le groupe de 4 octets accédé pendant le transfert des données. En utilisant ces quatre lignes, un MAITRE peut accéder à 1, 2, 3 ou 4 octets à la fois, comme défini dans le tableau 2-2.

OBSERVATION 2.2:
Quand les deux signaux de validation de donnée sont au niveau bas, l'un des signaux de validation peut passer au niveau bas légèrement après l'autre. Dans ce cas, les niveaux des signaux indiqués dans le tableau 2-2 sont les niveaux définitifs.

OBSERVATION 2.3:
Compte tenu des niveaux des quatre lignes de signaux indiqués dans le tableau 2-2, il y a 16 combinaisons possibles de ces niveaux. Parmi ces 16, il y a deux combinaisons illégales qui ne sont pas utilisées (voir tableau dans la REGLE 2.1).

REGLE 2.1:
Les MAITRES NE DOIVENT PAS générer de cycle DTB dans lequel les niveaux atteints par DS0*, DS1*, A01 et LWORD* correspondraient à l'une des combinaisons illégales suivantes:

DS1*	DS0*	A01	LWORD*
haut	bas	haut	bas
bas	haut	haut	bas

AUTORISATION 2.1:
Quand un MAITRE accède aux emplacements OCTET(1-2), il PEUT générer brièvement, comme état de transition, l'une des deux combinaisons décrites dans la REGLE 2.1 (c'est-à-dire lorsqu'un des signaux de validation de donnée est descendu et pas l'autre).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.1 *Addressing lines*

The smallest addressable unit of storage is the byte location. Each byte location is assigned a unique binary address. Each byte location can be assigned to one of four categories, according to the least significant two bits of its address (see Table 2-1).

Table 2-1

The four categories of byte location

Category	Byte address
BYTE(0)	XXXXXX XXXXXX00
BYTE(1)	XXXXXX XXXXXX01
BYTE(2)	XXXXXX XXXXXX10
BYTE(3)	XXXXXX XXXXXX11

A set of byte locations, whose addresses differs only in the two least significant bits, is called a 4-byte group or a BYTE(0-3) group. Some, or all, of the bytes in a 4-byte group can be accessed simultaneously by a single DTB cycle.

MASTERS use address lines A02-A31 to select which 4-byte group will be accessed. Four additional lines, DS1*, DS0*, A01 and LWORD*, are then used to select which byte location(s) within the 4-byte group are accessed during the data transfer. Using these four lines, a MASTER can access 1, 2, 3, or 4 byte locations simultaneously, as shown in Table 2-2.

OBSERVATION 2.2:
When driving both data strobes low, one data strobe might go low slightly after the other. In this case, the signal levels indicated in Table 2-2 are the final levels.

OBSERVATION 2.3:
Given the four signal line levels shown in Table 2-2, there are 16 possible combinations of levels. Of these 16, there are two illegal combinations that are not used (see table in RULE 2.1).

RULE 2.1:
MASTERS MUST NOT generate DTB cycles where the final levels of DS0*, DS1*, A01, and LWORD* are either of the following illegal combinations:

DS1*	DS0*	A01	LWORD*
high	low	high	low
low	high	high	low

PERMISSION 2.1:
When a MASTER accesses byte locations BYTE(1-2), it MAY generate either of the two combinations described in RULE 2.1 briefly as transition states (i.e. while one data strobe has fallen, but the other has not).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 2.4:
Chaque fois qu'un MAITRE commande LWORD* au niveau bas et A01 au niveau haut, il commande les deux signaux de validation de donnée au niveau bas. (Toute autre combinaison est illégale.) Les concepteurs des cartes de BUS CEI 821 peuvent en profiter pour simplifier la logique des ESCLAVES.

AUTORISATION 2.2:
Pour simplifier la logique demandée, les ESCLAVES qui répondent aux cycles qui accèdent aux emplacements d'OCTET(1-2) PEUVENT être conçus sans logique pour distinguer ces cycles des deux cycles illégaux décrits dans la REGLE 2.1.

Tableau 2-2

Utilisation de DS0, DS1*, A01, et LWORD* pour sélectionner les emplacements d'octets*

Emplacement d'octets sélectionnés	DS1*	DS0*	A01	LWORD*
Accès octet unique				
OCTET(0)	bas	haut	bas	haut
OCTET(1)	haut	bas	bas	haut
OCTET(2)	bas	haut	haut	haut
OCTET(3)	haut	bas	haut	haut
Accès double octet				
OCTET(0-1)	bas	bas	bas	haut
OCTET(1-2)	bas	bas	haut	bas
OCTET(2-3)	bas	bas	haut	haut
Accès triple octet				
OCTET(0-2)	bas	haut	bas	bas
OCTET(1-3)	haut	bas	bas	bas
Accès quadruple octet				
OCTET(0-3)	bas	bas	bas	bas

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.2 *Lignes de modification d'adresse*

Il y a six lignes de modification d'adresse. Elles permettent au MAITRE de donner des informations binaires supplémentaires à l'ESCLAVE pendant les cycles du DTB. Le tableau 2-3 donne une liste des 64 codes modificateurs d'adresse possibles (AM) et classe chacun d'eux dans l'une des trois catégories:

Défini
Réservé
Défini par l'utilisateur

Les codes modificateurs d'adresse définis peuvent être classés en trois catégories:

a) Les codes AM d'adressage court indiquent que les lignes d'adresse A02-A15 sont utilisées pour sélectionner un groupe d'OCTET(0-3).

b) Les codes AM d'adressage standard indiquent que les lignes d'adresse A02-A23 sont utilisées pour sélectionner un groupe d'OCTET(0-3).

c) Les codes AM d'adressage étendu indiquent que les lignes d'adresse A02-A31 sont utilisées pour sélectionner un groupe d'OCTET(0-3).

OBSERVATION 2.4:
Whenever a MASTER drives LWORD* low and A01 high it drives both data strobes low. (Any other combination is illegal.) IEC 821 BUS board designers can take advantage of this to simplify the logic on SLAVES.

PERMISSION 2.2:
To simplify the required logic, SLAVES which respond to a cycle that accesses byte locations BYTE(1-2) MAY be designed without logic to distinguish between these cycles and the two illegal cycles described in RULE 2.1.

Table 2-2

Use of DS0, DS1*, A01, and LWORD* to select byte locations*

Byte locations selected	DS1*	DS0*	A01	LWORD*
Single-byte access				
BYTE(0)	low	high	low	high
BYTE(1)	high	low	low	high
BYTE(2)	low	high	high	high
BYTE(3)	high	low	high	high
Double-byte access				
BYTE(0-1)	low	low	low	high
BYTE(1-2)	low	low	high	low
BYTE(2-3)	low	low	high	high
Triple-byte access				
BYTE(0-2)	low	high	low	low
BYTE(1-3)	high	low	low	low
Quad-byte access				
BYTE(0-3)	low	low	low	low

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.2 *Address modifier lines*

There are six address modifier lines. They allow the MASTER to pass additional binary information to the SLAVE during DTB cycles. Table 2-3 lists all of the 64 possible address modifier (AM) codes and classifies each into one of three categories:

Defined
Reserved
User defined

The defined address modifier codes can be further classified into three categories:

a) Short addressing AM codes indicate that address lines A02-A15 are being used to select a BYTE(0-3) group.

b) Standard addressing AM codes indicate that address lines A02-A23 are being used to select a BYTE(0-3) group.

c) Extended addressing AM codes indicate that address lines A02-A31 are being used to select a BYTE(0-3) group.

Tableau 2-3

Codes modificateurs d'adresse

HEX CODE	MODIFICATEUR D'ADRESSE 5	4	3	2	1	0	FONCTION
3F	H	H	H	H	H	H	Transfert standard en mode superviseur par bloc
3E	H	H	H	H	H	L	Accès standard en mode superviseur au programme
3D	H	H	H	H	L	H	Accès standard en mode superviseur aux données
3C	H	H	H	H	L	L	Réservé
3B	H	H	H	L	H	H	Transfert standard en mode non privilégié par bloc
3A	H	H	H	L	H	L	Transfert standard en mode non privilégié au programme
39	H	H	H	L	L	H	Accès standard en mode non privilégié aux données
38	H	H	H	L	L	L	Réservé
37	H	H	L	H	H	H	Réservé
36	H	H	L	H	H	L	Réservé
35	H	H	L	H	L	H	Réservé
34	H	H	L	H	L	L	Réservé
33	H	H	L	L	H	H	Réservé
32	H	H	L	L	H	L	Réservé
31	H	H	L	L	L	H	Réservé
30	H	H	L	L	L	L	Réservé
2F	H	L	H	H	H	H	Réservé
2E	H	L	H	H	H	L	Réservé
2D	H	L	H	H	L	H	Accès court en mode superviseur
2C	H	L	H	H	L	L	Réservé
2B	H	L	H	L	H	H	Réservé
2A	H	L	H	L	H	L	Réservé
29	H	L	H	L	L	H	Accès court en mode non privilégié
28	H	L	H	L	L	L	Réservé
27	H	L	L	H	H	H	Réservé
26	H	L	L	H	H	L	Réservé
25	H	L	L	H	L	H	Réservé
24	H	L	L	H	L	L	Réservé
23	H	L	L	L	H	H	Réservé
22	H	L	L	L	H	L	Réservé
21	H	L	L	L	L	H	Réservé
20	H	L	L	L	L	L	Réservé
1F	L	H	H	H	H	H	Défini par l'utilisateur
1E	L	H	H	H	H	L	Défini par l'utilisateur
1D	L	H	H	H	L	H	Défini par l'utilisateur
1C	L	H	H	H	L	L	Défini par l'utilisateur
1B	L	H	H	L	H	H	Défini par l'utilisateur
1A	L	H	H	L	H	L	Défini par l'utilisateur
19	L	H	H	L	L	H	Défini par l'utilisateur
18	L	H	H	L	L	L	Défini par l'utilisateur
17	L	H	L	H	H	H	Défini par l'utilisateur
16	L	H	L	H	H	L	Défini par l'utilisateur
15	L	H	L	H	L	H	Défini par l'utilisateur
14	L	H	L	H	L	L	Défini par l'utilisateur
13	L	H	L	L	H	H	Défini par l'utilisateur
12	L	H	L	L	H	L	Défini par l'utilisateur
11	L	H	L	L	L	H	Défini par l'utilisateur
10	L	H	L	L	L	L	Défini par l'utilisateur
0F	L	L	H	H	H	H	Transfert étendu en mode superviseur par bloc
0E	L	L	H	H	H	L	Accès étendu en mode superviseur au programme
0D	L	L	H	H	L	H	Accès étendu en mode superviseur aux données
0C	L	L	H	H	L	L	Réservé
0B	L	L	H	L	H	H	Transfert étendu en mode non privilégié par bloc
0A	L	L	H	L	H	L	Accès étendu en mode non privilégié au programme
09	L	L	H	L	L	H	Accès étendu en mode non privilégié aux données
08	L	L	H	L	L	L	Réservé
07	L	L	L	H	H	H	Réservé
06	L	L	L	H	H	L	Réservé
05	L	L	L	H	L	H	Réservé
04	L	L	L	H	L	L	Réservé
03	L	L	L	L	H	H	Réservé
02	L	L	L	L	H	L	Réservé
01	L	L	L	L	L	H	Réservé
00	L	L	L	L	L	L	Réservé

L = niveau bas du signal.
H = niveau haut du signal.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-3
Address modifier codes

HEX CODE	ADDRESS MODIFIER 5	4	3	2	1	0	FUNCTION
3F	H	H	H	H	H	H	Standard supervisory block transfer
3E	H	H	H	H	H	L	Standard supervisory program access
3D	H	H	H	H	L	H	Standard supervisory data access
3C	H	H	H	H	L	L	Reserved
3B	H	H	H	L	H	H	Standard non-privileged block transfer
3A	H	H	H	L	H	L	Standard non-privileged program access
39	H	H	H	L	L	H	Standard non-privileged data access
38	H	H	H	L	L	L	Reserved
37	H	H	L	H	H	H	Reserved
36	H	H	L	H	H	L	Reserved
35	H	H	L	H	L	H	Reserved
34	H	H	L	H	L	L	Reserved
33	H	H	L	L	H	H	Reserved
32	H	H	L	L	H	L	Reserved
31	H	H	L	L	L	H	Reserved
30	H	H	L	L	L	L	Reserved
2F	H	L	H	H	H	H	Reserved
2E	H	L	H	H	H	L	Reserved
2D	H	L	H	H	L	H	Short supervisory access
2C	H	L	H	H	L	L	Reserved
2B	H	L	H	L	H	H	Reserved
2A	H	L	H	L	H	L	Reserved
29	H	L	H	L	L	H	Short non-privileged access
28	H	L	H	L	L	L	Reserved
27	H	L	L	H	H	H	Reserved
26	H	L	L	H	H	L	Reserved
25	H	L	L	H	L	H	Reserved
24	H	L	L	H	L	L	Reserved
23	H	L	L	L	H	H	Reserved
22	H	L	L	L	H	L	Reserved
21	H	L	L	L	L	H	Reserved
20	H	L	L	L	L	L	Reserved
1F	L	H	H	H	H	H	User defined
1E	L	H	H	H	H	L	User defined
1D	L	H	H	H	L	H	User defined
1C	L	H	H	H	L	L	User defined
1B	L	H	H	L	H	H	User defined
1A	L	H	H	L	H	L	User defined
19	L	H	H	L	L	H	User defined
18	L	H	H	L	L	L	User defined
17	L	H	L	H	H	H	User defined
16	L	H	L	H	H	L	User defined
15	L	H	L	H	L	H	User defined
14	L	H	L	H	L	L	User defined
13	L	H	L	L	H	H	User defined
12	L	H	L	L	H	L	User defined
11	L	H	L	L	L	H	User defined
10	L	H	L	L	L	L	User defined
0F	L	L	H	H	H	H	Extended supervisory block transfer
0E	L	L	H	H	H	L	Extended supervisory program access
0D	L	L	H	H	L	H	Extended supervisory data access
0C	L	L	H	H	L	L	Reserved
0B	L	L	H	L	H	H	Extended non-privileged block transfer
0A	L	L	H	L	H	L	Extended non-privileged program access
09	L	L	H	L	L	H	Extended non-privileged data access
08	L	L	H	L	L	L	Reserved
07	L	L	L	H	H	H	Reserved
06	L	L	L	H	H	L	Reserved
05	L	L	L	H	L	H	Reserved
04	L	L	L	H	L	L	Reserved
03	L	L	L	L	H	H	Reserved
02	L	L	L	L	H	L	Reserved
01	L	L	L	L	L	H	Reserved
00	L	L	L	L	L	L	Reserved

L = Low signal level.
H = High signal level.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REGLE 2.2:
Excepté les codes "définis par l'utilisateur", les codes définis dans le tableau 2-3 NE DOIVENT PAS être utilisés pour d'autres buts que ceux spécifiés.

REGLE 2.3:
Les ESCLAVES ne DOIVENT PAS répondre aux codes réservés modificateurs d'adresse.

OBSERVATION 2.5:
Les codes modificateurs d'adresse "réservés" le sont pour des améliorations futures. Si des cartes ESCLAVES répondent à ces codes, il peut en résulter des incompatibilités futures lorsque l'usage de ces codes sera défini.

AUTORISATION 2.3:
Les codes "définis par l'utilisateur" PEUVENT être utilisés dans n'importe quel but par les fournisseurs ou les utilisateurs de cartes (changement de page, protection de la mémoire, identification du MAITRE ou de la tâche, accès privilégié aux ressources, etc.).

RECOMMANDATION 2.1:
Permettre aux utilisateurs de prévoir l'utilisation des codes modificateurs d'adresse "définis par l'utilisateur" selon leurs propres besoins, les décoder d'une manière flexible sur les cartes ESCLAVES. Les utilisateurs peuvent ensuite configurer la carte pour n'importe quel décodage exigé par le système.

OBSERVATION 2.6:
Les dispositifs programmables sur support fournissent une flexibilité pour le décodage des codes modificateurs d'adresse.

SUGGESTION 2.1:
Quand les ESCLAVES ont un dispositif programmé (par exemple une PROM ou un FPLA) installé sur un support, programmer le dispositif pour que l'ESCLAVE réponde aux codes AM suivants:

ESCLAVES A16 avec possibilité
D08(O), D08(EO), D16 ou D32: 29, 2D
ESCLAVES A24 avec possibilité
D08(O), D08(EO), D16 ou D32: 39, 3A, 3D et 3E
ESCLAVES A32 avec possibilité
D08(O), D08(EO), D16 ou D32: 09, 0A, 0D et 0E
ESCLAVES A24 avec possibilité BLT: 3B, 3F
ESCLAVES A32 avec possibilité BLT: 0B, 0F

Les mnémoniques A16, A24 et A32 sont définis dans le tableau 2-9.

Les mnémoniques D08(O), D08(EO), D16, D32 et BLT sont définis dans les tableaux 2-10 et 2-11.

2.2.3 *Lignes de données*

Les systèmes peuvent être construits avec une configuration de fond de panier de 16 lignes de données (D00-D15) ou 32 lignes de données (D00-D31). Les configurations de fond de panier ayant 16 lignes de données permettent à un MAITRE d'accéder seulement à deux octets simultanément, alors que celles ayant 32 lignes de données permettent un accès jusqu'à quatre octets simultanément. Lorsque le MAITRE a

IECNORM.COM : Click to view the full PDF of IEC 821:1991

RULE 2.2:
Except for the user defined codes, the codes defined in Table 2-3 MUST NOT be used for purposes other than those specified.

RULE 2.3:
SLAVES MUST NOT respond to reserved address modifier codes.

OBSERVATION 2.5:
Reserved address modifier codes are for future enhancements. If SLAVE boards respond to these codes, incompatibilities might result at some future date, when usage of these codes is defined.

PERMISSION 2.3:
User defined codes MAY be used for any purpose which board suppliers or board users deem appropriate (page switching, memory protection, MASTER or task identification, privileged access to resources, etc).

RECOMMENDATION 2.1:
To allow users to tailor the use of the user defined address modifier codes to their own needs, decode them in a flexible way on SLAVE boards. Users can then configure the board to give any decoding required by their system.

OBSERVATION 2.6:
Socketed programmable devices provide a flexible way for decoding the address modifier codes.

SUGGESTION 2.1:
Where SLAVES are manufactured with a programmed device (e.g. a PROM or FPLA) installed in the socket, program the device so that the SLAVE responds to the following AM codes:

A16 SLAVES with D08(O),	D08(EO), D16, or D32 capability:	29, 2D
A24 SLAVES with D08(O),	D08(EO), D16, or D32 capability:	39, 3A, 3D, and 3E
A32 SLAVES with D08(O),	D08(EO), D16, or D32 capability:	09, 0A, 0D, and 0E
A24 SLAVES with BLT capability:		3B, 3F
A32 SLAVES with BLT capability:		0B, 0F

The mnemonics A16, A24 and A32 are defined in Table 2-9.

The mnemonics D08(O), D08(EO), D16, D32, and BLT are defined in Tables 2-10 and 2-11.

2.2.3 *Data lines*

Systems can be built with a backplane configuration that provides either 16 data lines (D00-D15), or 32 data lines (D00-D31). Backplane configurations that provide 16 data lines allow a MASTER to access only two byte locations simultaneously, while those with 32 data lines allow it to access up to four byte locations simultaneously. When the

IECNORM.COM : Click to view the full PDF of IEC 821:1991

adressé des emplacements de 1, 2, 3 ou 4 octets en utilisant la méthode décrite au paragraphe 2.2.1, il peut transférer des données binaires sur le bus de données entre lui-même et ces adresses. Le tableau 2-4 montre comment les lignes de données sont utilisées pour accéder aux locations d'octets.

Tableau 2-4

Utilisation des lignes de données pour accéder aux locations d'octets

Locations d'octets accédés	D24-D31	D16-D23	D08-D15	D00-D07
OCTET(0) OCTET(1) OCTET(2) OCTET(3)			OCTET(0) OCTET(2)	 OCTET(1) OCTET(3)
OCTET(0-1) OCTET(1-2) OCTET(2-3)		OCTET(1)	OCTET(0) OCTET(2) OCTET(2)	OCTET(1) OCTET(3)
OCTET(0-2) OCTET(1-3)	OCTET(0)	OCTET(1) OCTET(1)	OCTET(2) OCTET(2)	 OCTET(3)
OCTET(0-3)	OCTET(0)	OCTET(1)	OCTET(2)	OCTET(3)

2.2.4 *Lignes de commande du bus de transfert de données*

Les lignes de signaux suivantes sont utilisées pour contrôler le déplacement des données sur les lignes de transfert de données:

AS* Validation d'adresse
DS0* Validation de donnée Zéro
DS1* Validation de donnée Un
BERR* Erreur du bus
DTACK* Accusé de réception du transfert de données
WRITE* Lecture/Ecriture

2.2.4.1 AS*

Un front descendant sur AS* avertit tous les modules ESCLAVES que l'adresse est stable et peut être mémorisée.

2.2.4.2 DS0* *et* DS1*

En plus de leur fonction de sélection des emplacements d'octets pour le transfert de données comme décrit au paragraphe 2.2.1, les signaux de validation de donnée ont aussi des fonctions additionnelles. Pendant les cycles d'écriture, le premier front descendant du signal de validation de donnée indique que le MAITRE a placé une donnée valide sur le bus de données. Pendant les cycles de lecture, le premier front montant avertit l'ESCLAVE qu'il peut retirer la donnée valide du bus de données.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

MASTER has selected 1, 2, 3, or 4 byte locations, using the method described in Paragraph 2.2.1, it can transfer binary data between itself and those locations over the data bus. Table 2-4 shows how the data lines are used to access byte locations.

Table 2-4

Use of the data lines to access byte locations

Byte locations accessed	D24-D31	D16-D23	D08-D15	D00-D07
BYTE(0) BYTE(1) BYTE(2) BYTE(3)			BYTE(0) BYTE(2)	 BYTE(1) BYTE(3)
BYTE(0-1) BYTE(1-2) BYTE(2-3)		BYTE(1)	BYTE(0) BYTE(2) BYTE(2)	BYTE(1) BYTE(3)
BYTE(0-2) BYTE(1-3)	BYTE(0)	BYTE(1) BYTE(1)	BYTE(2) BYTE(2)	 BYTE(3)
BYTE(0-3)	BYTE(0)	BYTE(1)	BYTE(2)	BYTE(3)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.4 *Data Transfer Bus control lines*

The following signal lines are used to control the movement of data over the data transfer lines:

AS* Address Strobe
DS0* Data Strobe Zero
DS1* Data Strobe One
BERR* Bus Error
DTACK* Data Transfer Acknowledge
WRITE* Read/Write

2.2.4.1 AS*

A falling edge on AS* informs all SLAVE modules that the address is stable and can be captured.

2.2.4.2 DS0* *and* DS1*

In addition to their function in selecting byte locations for data transfer, as described in Paragraph 2.2.1, the data strobes also serve additional functions. On write cycles, the first data strobe falling edge indicates when the MASTER has placed valid data on the data bus. On read cycles, the first rising edge tells the SLAVE when it can remove valid data from the data bus.

OBSERVATION 2.7:
Comme spécifié dans la section 2.6, il n'est pas permis aux MAITRES du BUS CEI 821 de commander l'un des signaux de validation de donnée au niveau bas avant d'avoir commandé AS* au niveau bas. Cependant, du fait que AS* peut être plus chargé que les signaux de validation de donnée sur le fond de panier, les ESCLAVES et les DETECTEURS D'ACCES peuvent détecter un front descendant d'un signal de validation de donnée avant de détecter le front descendant de AS*.

AUTORISATION 2.5:
Les ESCLAVES qui n'ont pas la possibilité de transfert par bloc, comme spécifié au paragraphe 2.3.1, et les DETECTEURS D'ACCES du BUS CEI 821 PEUVENT être conçus pour mémoriser l'adresse quand ils détectent un front descendant d'un signal de validation de donnée au lieu du front descendant de AS*.

OBSERVATION 2.8:
Les ESCLAVES et les DETECTEURS D'ACCES du BUS CEI 821 qui mémorisent l'adresse sur le front descendant des signaux de validation de donnée n'ont pas besoin de surveiller AS*.

OBSERVATION 2.9:
Afin de bénéficier des avantages de l'anticipation des adresses comme décrit dans le paragraphe 2.4.2 ou d'exécuter des cycles de lecture ou d'écriture par bloc, il est nécessaire qu'un ESCLAVE mémorise l'adresse sur le front descendant de AS*.

2.2.4.3 DTACK*

DTACK* est commandé au niveau bas par l'ESCLAVE pour indiquer que les données ont été reçues avec succès sur un cycle écriture. Sur un cycle lecture, l'ESCLAVE commande DTACK* au niveau bas pour indiquer qu'il a placé les données sur le bus de données.

2.2.4.4 BERR*

BERR* est commandé au niveau bas par l'ESCLAVE ou le LIMITEUR DE TEMPS D'OCCUPATION DU BUS pour indiquer au MAITRE que le transfert de données n'a pas été réussi. Par exemple, si un MAITRE essaie d'écrire dans une zone de mémoire qui contient une mémoire morte, l'ESCLAVE qui répond doit activer BERR*. Si un MAITRE essaie d'accéder à une zone de la partition mémoire qui n'est pas occupée par un ESCLAVE, le LIMITEUR DE TEMPS D'OCCUPATION DU BUS devra activer BERR* au niveau bas après avoir attendu le temps spécifié.

SUGGESTION 2.2:
Concevoir des ESCLAVES répondant avec un front descendant sur BERR* quand ils détectent une erreur non récupérable dans les données qu'ils extraient de leur mémoire interne pendant un cycle de lecture.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 2.7:
As specified in Section 2.6, IEC 821 BUS MASTERS are not permitted to drive either of the data strobes low before driving AS* low. However, due to the fact that AS* might be more heavily loaded on the backplane than the data strobes, SLAVES and LOCATION MONITORS might detect a falling edge on a data strobe, before they detect the falling edge on AS*.

PERMISSION 2.5:
IEC 821 BUS SLAVES that do not have block transfer capabilities, as specified in Paragraph 2.3.1, and LOCATION MONITORS MAY be designed to capture the address when they detect a falling edge on a data strobe instead of on the falling edge of AS*.

OBSERVATION 2.8:
IEC 821 BUS SLAVES and LOCATION MONITORS that capture the address on the falling edge of the data strobe(s) need not monitor AS*.

OBSERVATION 2.9:
In order to take full advantage of address pipelining as described in Paragraph 2.4.2, or to perform block read and write cycles, a SLAVE should capture the address on the falling edge of AS*.

2.2.4.3 DTACK*

The SLAVE drives DTACK* low to indicate that it has successfully received the data on a write cycle. On a read cycle, the SLAVE drives DTACK* low to indicate that it has placed data on the data bus.

2.2.4.4 BERR*

BERR* is driven low by the SLAVE or by the BUS TIMER to indicate to the MASTER that the data transfer was unsuccessful. For example, if a MASTER tries to write to a location which contains Read-Only Memory, the responding SLAVE might drive BERR* low. If the MASTER tries to access a location that is not provided by any SLAVE, the BUS TIMER would drive BERR* low after waiting a specified period.

SUGGESTION 2.2:
Design SLAVES to respond with a falling edge on BERR* when they detect an uncorrectable error in the data they retrieve from their internal storage during a read cycle.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.4.5 WRITE*

La ligne WRITE* est une ligne à niveau significatif échantillonné par le front descendant du premier signal de validation de donnée. Elle est utilisée par le MAITRE pour indiquer le sens des opérations de transfert de données. Lorsque WRITE* est commandé au niveau bas, le sens du transfert de données est du MAITRE vers l'ESCLAVE. Quand WRITE* est commandé au niveau haut, le sens du transfert de données est de l'ESCLAVE vers le MAITRE.

2.3 *Modules DTB - Description générale*

Le protocole DTB définit 33 types de cycles différents en plus du CYCLE UNIQUEMENT D'ADRESSAGE qui sont utilisés pour transférer des données. Chacun de ces 34 types de cycles peuvent être utilisés dans n'importe lequel des trois modes d'adressage: court (16 bits), standard (24 bits) et étendu (32 bits). Les possibilités des MAITRES, ESCLAVES et DETECTEURS D'ACCES sont décrites par une liste de mnémoniques montrant les types de cycles qu'ils peuvent respectivement générer, accepter ou contrôler. Ces mnémoniques sont décrits aux paragraphes 2.3.5 à 2.3.10.

Les paragraphes 2.3.1 à 2.3.4 fournissent les schémas-blocs des quatre types de modules fonctionnels du DTB: MAITRE, ESCLAVE, DETECTEUR D'ACCES et LIMITEUR DE TEMPS D'OCCUPATION DU BUS.

REGLE 2.7:
Les lignes de signaux de sortie indiquées en lignes continues dans les figures 2-2 à 2-5, pages 66 à 80, DOIVENT être contrôlées par le module, sinon il les commandera toujours au niveau haut.

OBSERVATION 2.11:
SI une ligne de signal de sortie n'est pas contrôlée,
ALORS des adaptateurs sur le fond de panier assurent qu'elle est au niveau haut.

REGLE 2.8:
Les lignes de signaux d'entrées indiquées en lignes continues dans les figures 2-2 à 2-5 DOIVENT être surveillées et recevoir des réponses de façon appropriée.

OBSERVATION 2.12:
Des REGLES et des AUTORISATIONS pour commander et surveiller les lignes de signaux indiquées en pointillé dans les figures 2-2, 2-3 et 2-5 sont données dans les tableaux 2-5, 2-6 et 2-8.

2.3.1 MAITRE

Le schéma-bloc du MAITRE est indiqué dans la figure 2-2. Les lignes pointillées montrent les signaux dont l'utilisation varie selon les différents types de MAITRES. Le tableau 2-5 définit les règles à utiliser par les différents types de MAITRES pour commander et surveiller ces lignes. D'autres règles sur la manière avec laquelle les MAITRES commandent les lignes d'adresse sont indiquées au tableau 2-19, les lignes de données au tableau 2-20 et les lignes LWORD*, DS0* et DS1* sont indiquées dans le tableau 2-21.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.2.4.5 WRITE*

WRITE* is a level significant signal line that is strobed by the falling edge of the first data strobe. It is used by the MASTER to indicate the direction of the data transfer operations. When WRITE* is driven low the data transfer direction is from the MASTER to the SLAVE. When WRITE* is driven high the data transfer direction is from the SLAVE to the MASTER.

2.3 *DTB modules - Basic description*

In addition to the ADDRESS-ONLY CYCLE, the DTB protocol defines 33 different cycle types that are used to transfer data. Each of these 34 cycle types can be used in any of three addressing modes: short (16 bits), standard (24 bits), and extended (32 bits). The capabilities of MASTERS, SLAVES and LOCATION MONITORS are described by a list of mnemonics that show what cycle types they can generate, accept, or monitor respectively. These mnemonics are described in Paragraphs 2.3.5 through 2.3.10.

Paragraphs 2.3.1 through 2.3.4 provide block diagrams for the four types of DTB functional modules: MASTER, SLAVE, LOCATION MONITOR, and BUS TIMER.

RULE 2.7:
Output signal lines shown with solid lines in Figures 2-2 through 2-5, pages 69 to 81, MUST be driven by the module, unless it would always drive them high.

OBSERVATION 2.11:
IF an output signal line is not driven,
THEN terminators on the backplane ensure that it is high.

RULE 2.8:
Input signal lines shown with solid lines in Figures 2-2 through 2-5 MUST be monitored and responded to in the appropriate fashion.

OBSERVATION 2.12:
RULES and PERMISSIONS for driving and monitoring signal lines shown with dotted lines in Figures 2-2, 2-3 and 2-5 are given in Tables 2-5, 2-6, and 2-8.

2.3.1 MASTER

The block diagram of the MASTER is shown in Figure 2-2. The dotted lines show signals whose use varies among the various types of MASTERS. Table 2-5 specifies the requirements of the various types of MASTERS to drive and monitor these lines. More RULES about how the various types of MASTERS drive the address lines are given in Table 2-19, the data lines in Table 2-20, and the LWORD*, DS0* and DS1* lines are given in Table 2-21.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

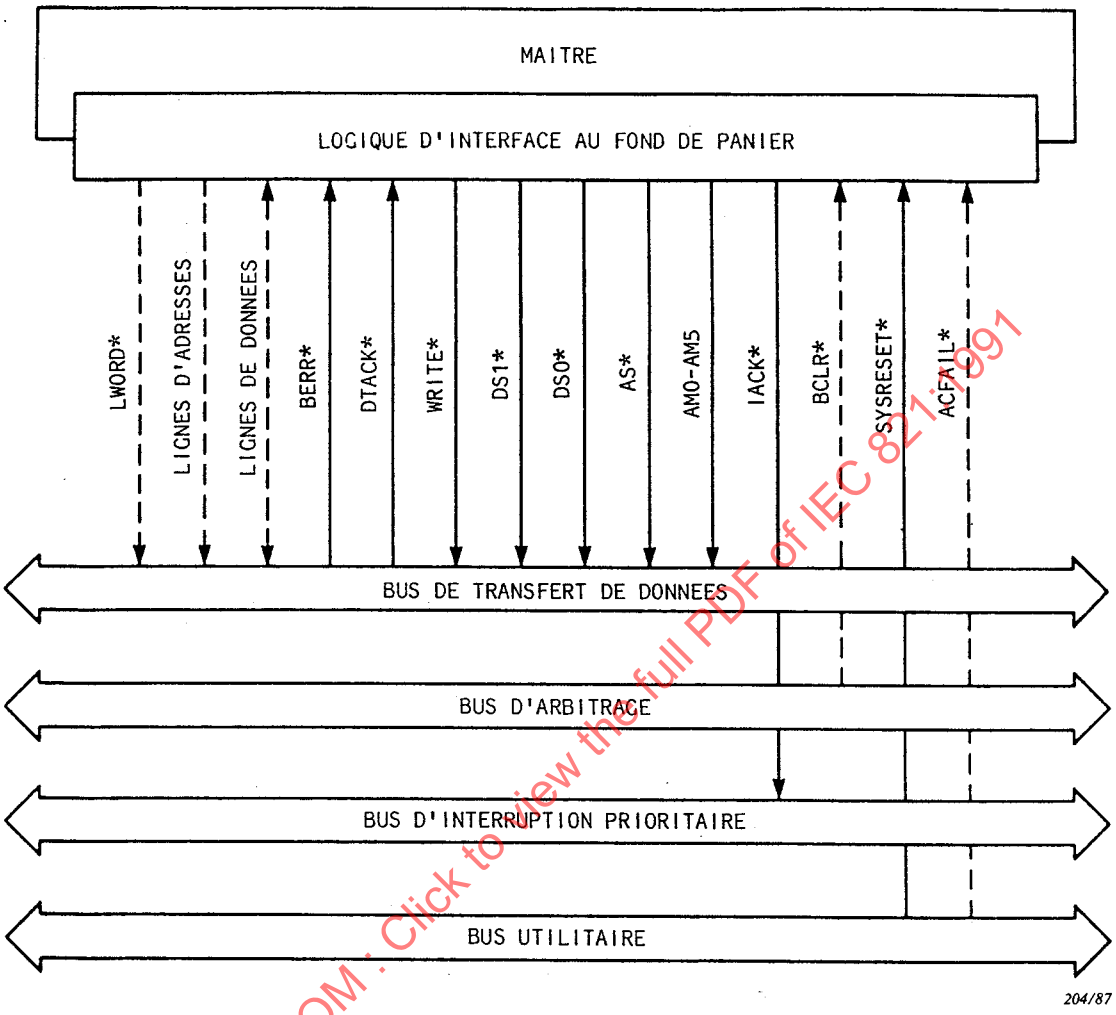


FIG. 2-2. - Schéma-bloc: MAITRE.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

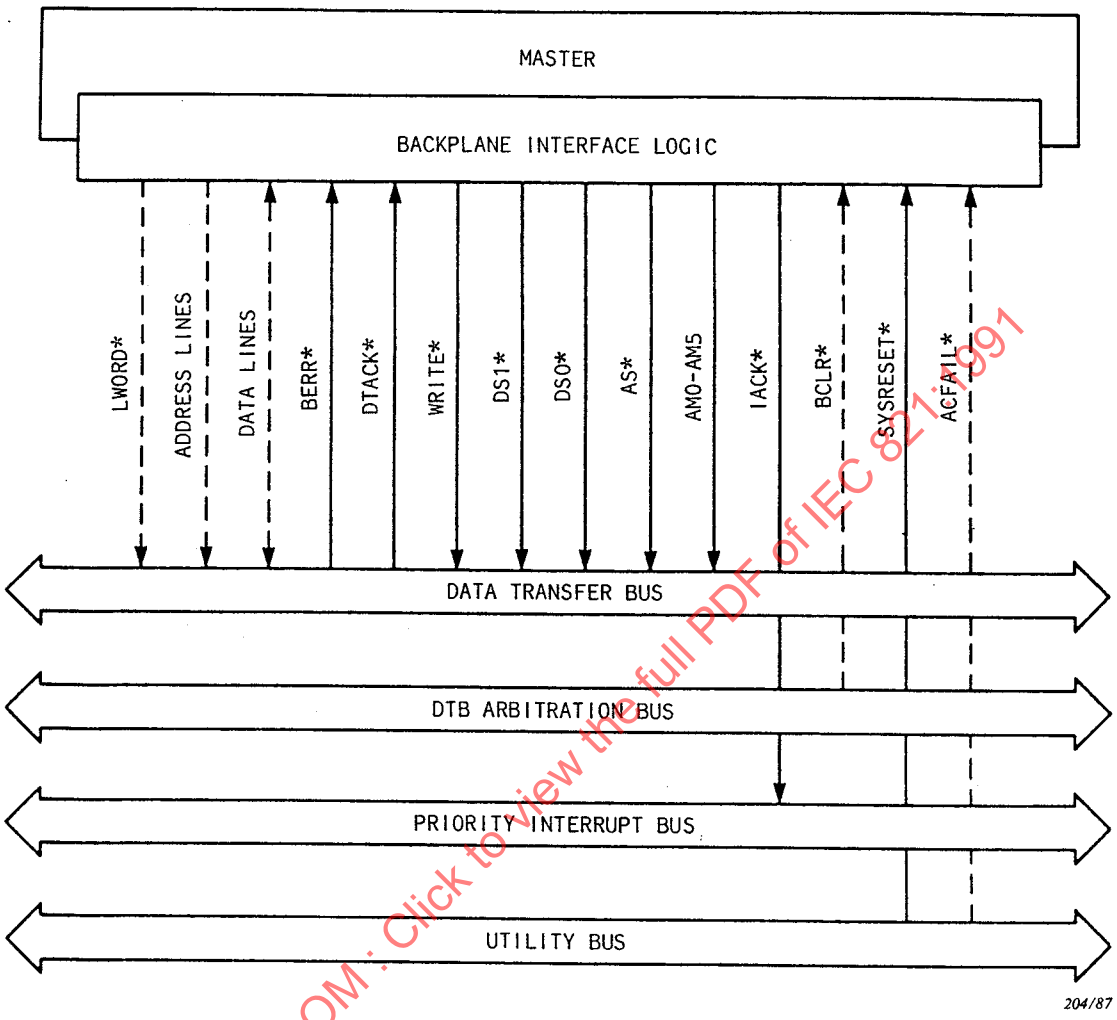


FIG. 2-2. - Block diagram: MASTER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-5

MAITRES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées

Type de MAITRE	REGLES ET AUTORISATIONS
D08(EO) et D16	DOIT surveiller et commander D00-D15. PEUT ou NON commander LWORD*. PEUT ou NON commander ou surveiller D16-D31
D32	DOIT commander LWORD*. DOIT surveiller et commander D00-D31.
A16	DOIT commander A01-A15. PEUT ou NON commander A16-A31
A24	DOIT commander A01-A23. PEUT ou NON commander A24-A31
A32	DOIT commander A01-A31
TOUS	PEUT ou NON surveiller BCLR* ou ACFAIL* (voir chapitres 3 et 5)

Notes:

1.- Les mnémoniques D08(EO), D16 et D32 sont définis dans le tableau 2-10.

2.- Les mnémoniques A16, A24 et A32 sont définis dans le tableau 2-9.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-5

MASTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines

Type of MASTER	RULE and PERMISSIONS
D08(EO) and D16	MUST monitor and drive D00-D15. MAY or MAY NOT drive LWORD*. MAY or MAY NOT drive or monitor D16-D31
D32	MUST drive LWORD*. MUST monitor and drive D00-D31.
A16	MUST drive A01-A15. MAY or MAY NOT drive A16-A31
A24	MUST drive A01-A23. MAY or MAY NOT drive A24-A31
A32	MUST drive A01-A31
ALL	MAY or MAY NOT monitor BCLR*, or ACFAIL* (see Chapters 3 and 5)

Notes:

1.- The mnemonics D08(EO), D16 and D32 are defined in Table 2-10.

2.- The mnemonics A16, A24 and A32 are defined in Table 2-9.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.2 ESCLAVE

Le schéma-bloc de l'ESCLAVE est indiqué dans la figure 2-3. Les lignes pointillées montrent les signaux dont l'utilisation varie selon les différents types d'ESCLAVES. Le tableau 2-6 définit les règles d'utilisation par différents types d'ESCLAVES pour commander et surveiller ces lignes. D'autres informations sur la manière dont les différents types d'ESCLAVES contrôlent les lignes de données sont indiquées dans le tableau 2-21.

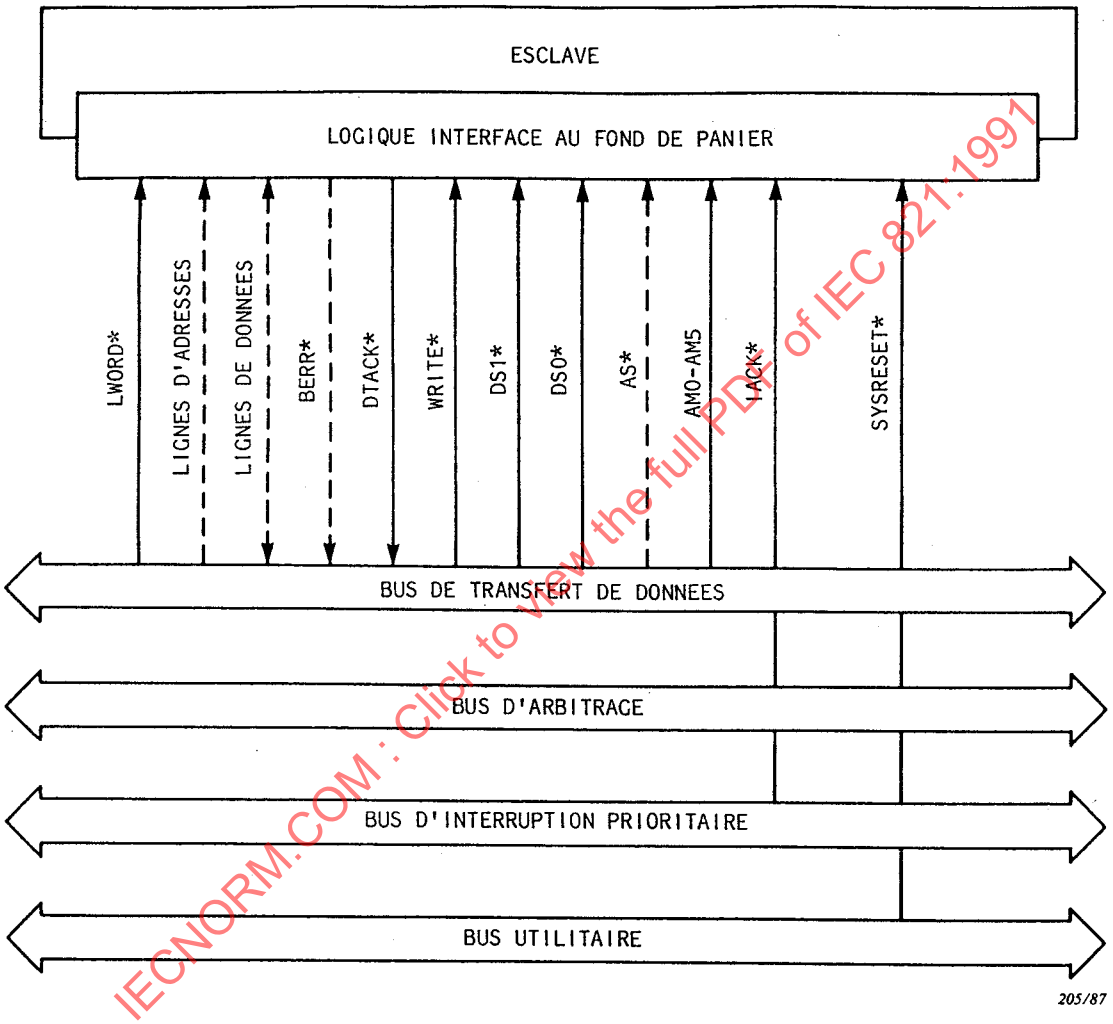
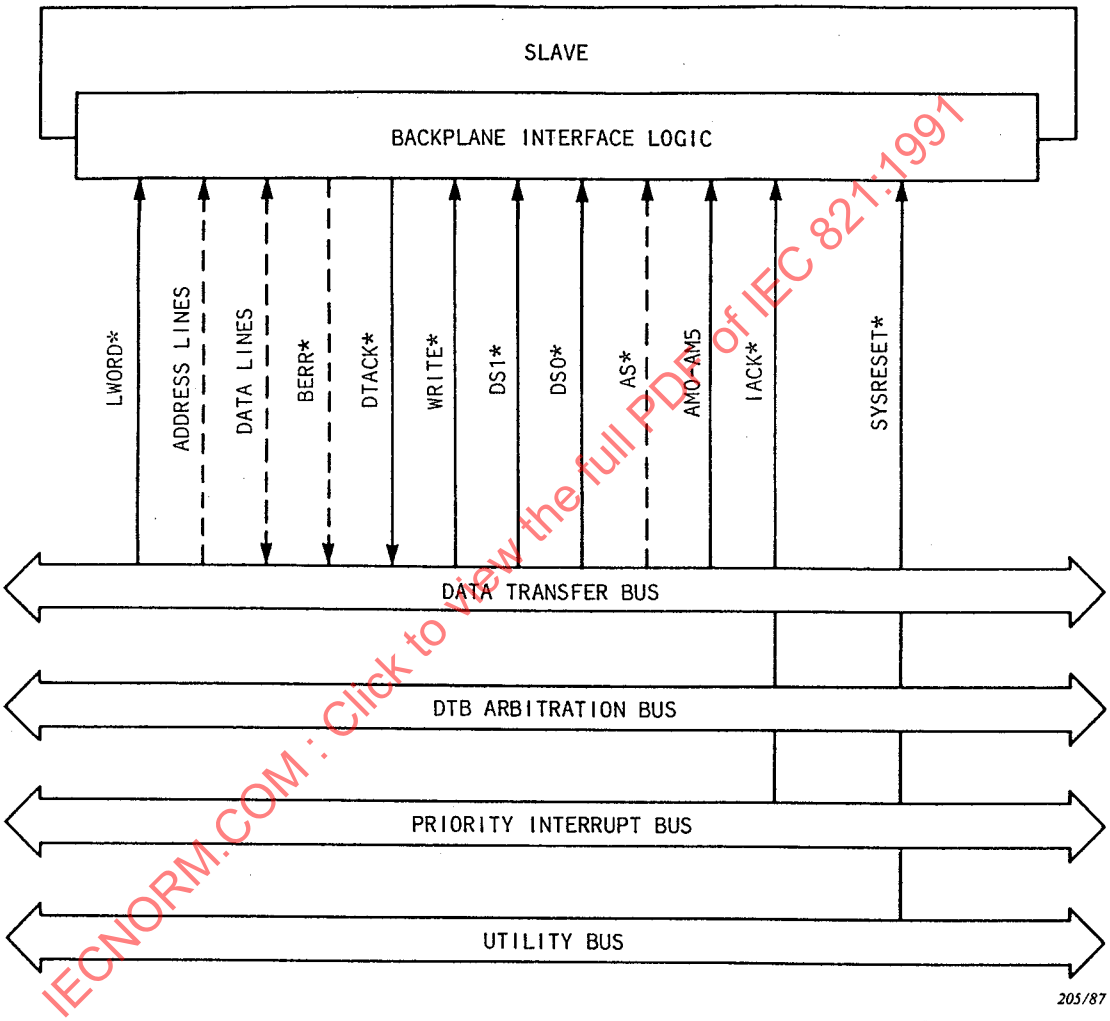


FIG. 2-3. - Schéma-bloc: ESCLAVE.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.2 SLAVE

The block diagram of the SLAVE is shown in Figure 2-3. The dotted lines show signals whose use varies among the various types of SLAVES. Table 2-6 specifies the requirements of the various types of SLAVES to drive and monitor these lines. Further information about how the various types of SLAVES drive the data lines is given in Table 2-21.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-3. - Block diagram: SLAVE.

Tableau 2-6

ESCLAVES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées

Type d'ESCLAVE	REGLES ET AUTORISATIONS
D08(EO)	DOIT surveiller et commander D00-D07. PEUT ou NON surveiller AS*. PEUT ou NON surveiller ou commander D08-D31
D08(EO) et D16	DOIT surveiller et commander D00-D15. PEUT ou NON surveiller AS*. PEUT ou NON surveiller ou commander D16-D31
D32	DOIT surveiller et commander D00-D31. PEUT ou NON surveiller AS*.
BLT	DOIT surveiller AS*
A16	DOIT commander A01-A15. PEUT ou NON surveiller A16-A31
A24	DOIT surveiller A01-A23. PEUT ou NON surveiller A16-A31
A32	DOIT surveiller A01-A31
TOUS	PEUT ou NON commander BERR*

Notes:

1.- Les mnémoniques D08(O), D08(EO), D16 et D32 sont définis dans le tableau 2-10.

2.- Le mnémonique BLT est défini dans le tableau 2-11.

3.- Les mnémoniques A16, A24 et A32 sont définis dans le tableau 2-9.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-6

SLAVES: RULES and PERMISSIONS for driving and monitoring the dotted lines

Type of SLAVE	RULES and PERMISSIONS
D08(EO)	MUST monitor and drive D00-D07. MAY or MAY NOT monitor AS*. MAY or MAY NOT monitor or drive D08-D31
D08(EO) and D16	MUST monitor and drive D00-D15. MAY or MAY NOT monitor AS*. MAY or MAY NOT monitor or drive D16-D31
D32	MUST monitor and drive D00-D31. MAY or MAY NOT monitor AS*
BLT	MUST monitor AS*
A16	MUST monitor A01-A15. MAY or MAY NOT monitor A16-A31
A24	MUST monitor A01-A23. MAY or MAY NOT monitor A16-A31
A32	MUST monitor A01-A31
ALL	MAY or MAY NOT drive BERR*

Notes:

1.- The mnemonics D08(O), D08(EO), D16 and D32 are defined in Table 2-10.

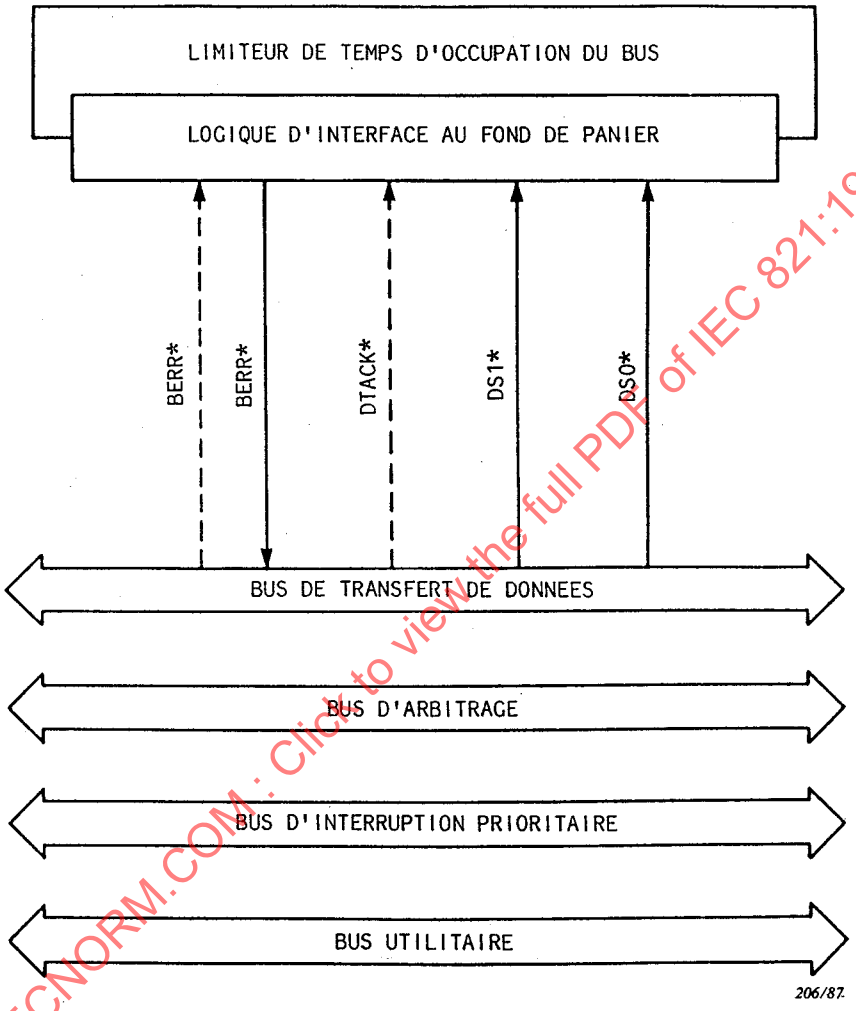
2.- The mnemonic BLT is defined in Table 2-11.

3.- The mnemonics A16, A24 and A32 are defined in Table 2-9.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.3 LIMITEUR DE TEMPS D'OCCUPATION DU BUS

Le schéma-bloc du LIMITEUR DE TEMPS D'OCCUPATION DU BUS est indiqué dans la figure 2-4. Les LIMITEURS DE TEMPS D'OCCUPATION DU BUS peuvent être conçus pour commander BERR* au niveau bas après des périodes de durée déterminée. Le tableau 2-7 montre comment le mnémonique BT0() est utilisé pour décrire les différents types de LIMITEURS DE TEMPS D'OCCUPATION DU BUS.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-4. - Schéma-bloc: LIMITEUR DE TEMPS D'OCCUPATION DU BUS.

2.3.3 BUS TIMER

The block diagram of the BUS TIMER is shown in Figure 2-4. BUS TIMERS can be designed to drive BERR* low after various periods of time. Table 2-7 shows how the BT0() mnemonic is used to describe the various types of BUS TIMERS.

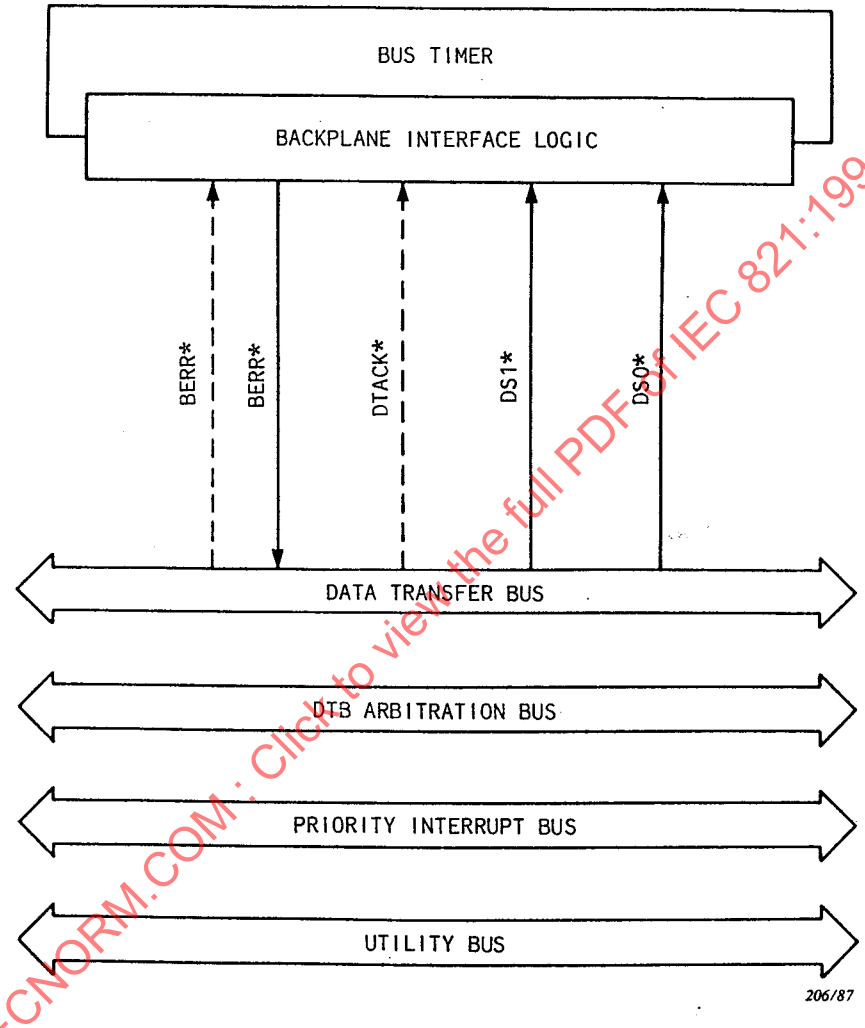


FIG. 2-4. - Block diagram: BUS TIMER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-7

Utilisation du mnémonique BTO( ) pour spécifier la durée de limitation de temps des LIMITEURS DE TEMPS D'OCCUPATION DU BUS

Le mnémonique suivant	Lorsqu'il est appliqué au	Signifie qu'il
BTO(x)	LIMITEUR DE TEMPS D'OCCUPATION DU BUS	Commande BERR* au niveau bas si le premier signal de validation de donnée reste au niveau bas plus de x microsecondes

OBSERVATION 2.13:

Les lignes pointillées DTACK* et BERR* de la figure 2-4, page 76, permettent de réaliser le LIMITEUR DE TEMPS D'OCCUPATION DU BUS de l'une des deux manières suivantes:

a) commander BERR* au niveau bas lorsque le premier signal de validation de donnée reste au niveau bas plus longtemps que la limitation de temps d'occupation du bus, sans tenir compte des niveaux des lignes DTACK* et BERR*;

b) commander BERR* au niveau bas lorsque le premier signal de validation de donnée reste au niveau bas plus longtemps que la limitation de temps d'occupation du bus, seulement si les deux signaux DTACK* et BERR* sont au niveau haut lors du dépassement de la limitation du temps d'occupation du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-7

Use of the BTO( ) mnemonic to specify the time-out period of BUS TIMERS

The following mnemonic	When applied to a	Means that it
BTO(x)	BUS TIMER	Drives BERR* low if the first data strobe stays low for longer than x microseconds

OBSERVATION 2.13:
The dotted DTACK* and BERR* lines shown in Figure 2-4, page 77, allow to implement a BUS TIMER in one of two ways:

a) to drive BERR* low when the first data strobe stays low for longer than the bus time-out period, regardless of the levels on the DTACK* and BERR* lines.

b) to drive BERR* low when the first data strobe stays low for longer than the bus time-out period, but only if both DTACK* and BERR* are high at the point of time-out.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.4 DETECTEUR D'ACCES

Le schéma-bloc du DETECTEUR D'ACCES est indiqué dans la figure 2-5. Les lignes pointillées dans le schéma montrent les signaux dont l'utilisation varie selon les différents types de DETECTEURS D'ACCES. Le tableau 2-8 spécifie les règles de surveillance de ces lignes des différents types de DETECTEURS D'ACCES.

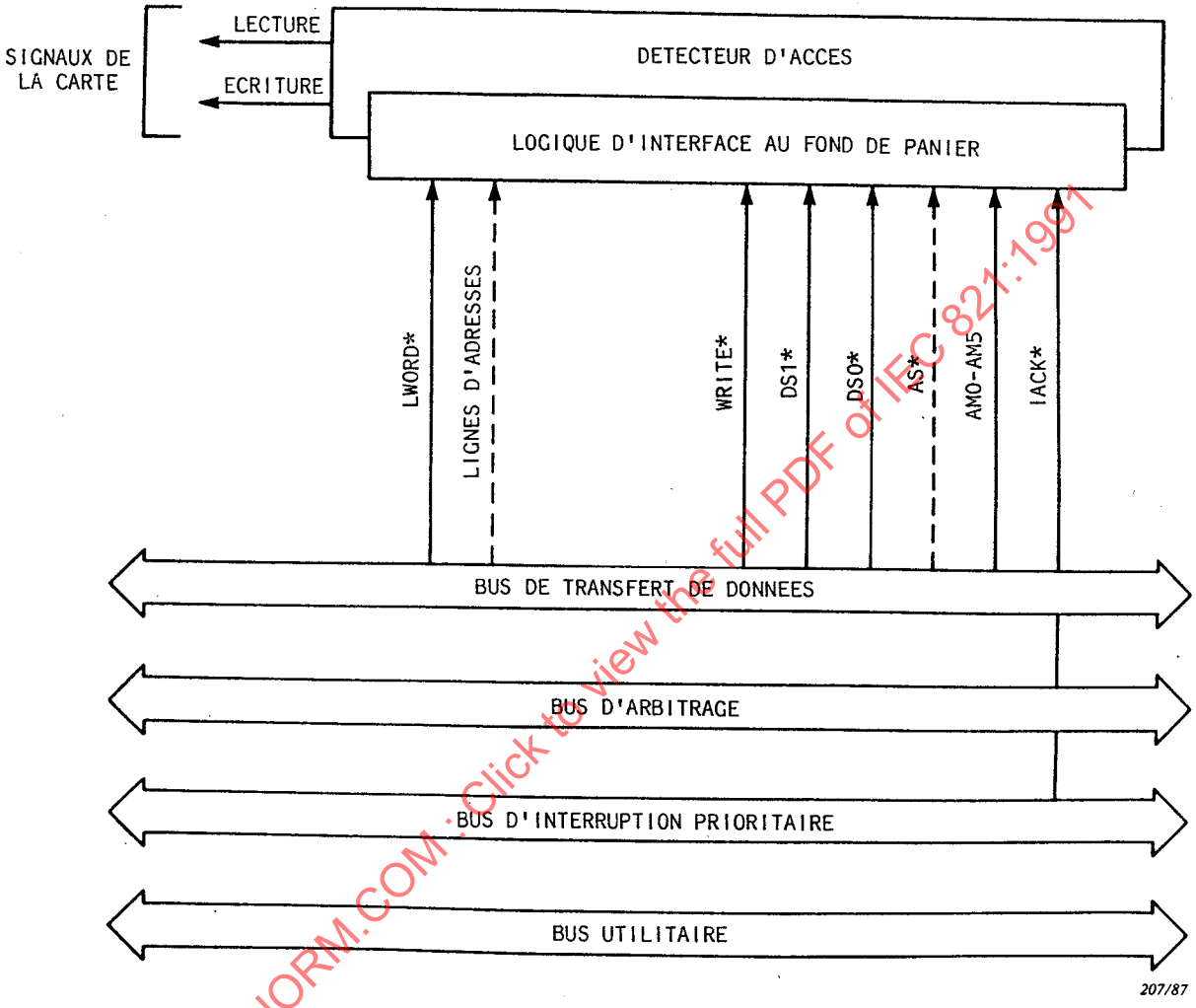


FIG. 2-5. - Schéma-bloc: DETECTEUR D'ACCES.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.4 LOCATION MONITOR

The block diagram of the LOCATION MONITOR is shown in Figure 2-5. The dotted lines in the diagram show signals whose use varies among the various types of LOCATION MONITORS. Table 2-8 specifies the requirements of the various types of LOCATION MONITORS to monitor these lines.

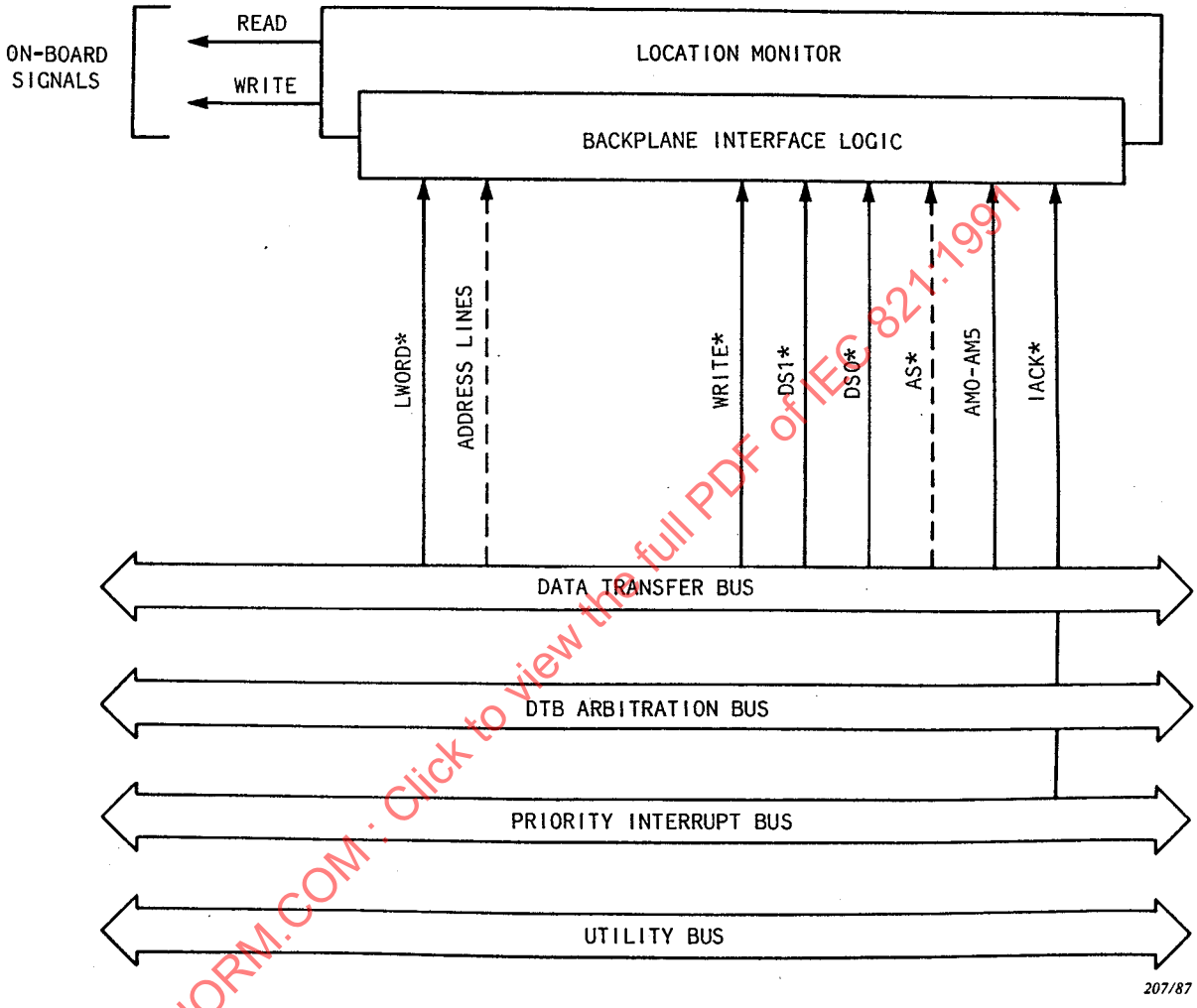


FIG. 2-5. - Block diagram: LOCATION MONITOR.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-8

DETECTEURS D'ACCES: REGLES et AUTORISATIONS pour la SURVEILLANCE des lignes pointillées

Type de DETECTEURS D'ACCES	REGLES ET AUTORISATIONS
A16	DOIT surveiller A01-A15. PEUT ou NON surveiller A16-A31
A24	DOIT surveiller A01-A23. PEUT ou NON surveiller A24-A31
A32	DOIT surveiller A01-A31
TOUS	PEUT ou NON surveiller AS*

Note:
Les mnémoniques A16, A24 et A32 sont définis dans le tableau 2-9.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.5 *Modes d'adressage*

Les MAITRES diffusent une adresse sur le DTB à chaque début de cycle. Cette adresse peut être une adresse de 16, 24 ou 32 bits, cela dépendant des possibilités qu'a le MAITRE pour la diffuser. On définit les adresses 16 bits comme adresses courtes, les adresses 24 bits comme adresses standards et les adresses 32 bits comme adresses étendues.

Le tableau 2-9 montre les différents mnémoniques utilisés pour la description des possibilités d'adressage et de quelle manière on utilise chacun pour la description des MAITRES, ESCLAVES et DETECTEURS D'ACCES.

Table 2-8

LOCATION MONITORS: RULES and PERMISSIONS for monitoring the dotted lines

Type of LOCATION MONITOR	RULES and PERMISSIONS
A16	MUST monitor A01-A15. MAY or MAY NOT monitor A16-A31
A24	MUST monitor A01-A23. MAY or MAY NOT monitor A24-A31
A32	MUST monitor A01-A31
ALL	MAY or MAY NOT monitor AS*

Note:
The mnemonics A16, A24 and A32 are defined in Table 2-9.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.5 *Addressing modes*

MASTERS broadcast an address over the DTB at the beginning of each cycle. This address might be a 16, 24 or 32-bit address, depending upon the capabilities of the MASTER broadcasting it. 16-bit addresses are called short addresses, 24-bit addresses are called standard addresses and 32-bit addresses are called extended addresses.

Table 2-9 shows the various mnemonics used to describe the addressing capabilities, and how each is used to describe MASTERS, SLAVES, and LOCATION MONITORS.

Tableau 2-9

Mnémoniques qui spécifient les possibilités d'adressage

Le mnémonique suivant	Lorsqu'il est appliqué à (au)	Signifie qu'il
A16	MAITRE	Peut générer des cycles avec des adresses courtes (16 bits).
	ESCLAVE	Peut accepter des cycles avec des adresses courtes (16 bits).
	DETECTEUR D'ACCES	Peut surveiller des cycles avec des adresses courtes (16 bits)
A24	MAITRE	Peut générer des cycles avec des adresses standards (24 bits).
	ESCLAVE	Peut accepter des cycles avec des adresses standards (24 bits).
	DETECTEUR D'ACCES	Peut surveiller des cycles avec des adresses standards (24 bits)
A32	MAITRE	Peut générer des cycles avec des adresses étendues (32 bits).
	ESCLAVE	Peut accepter des cycles avec des adresses étendues (32 bits).
	DETECTEUR D'ACCES	Peut surveiller des cycles avec des adresses étendues (32 bits)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Le MAITRE diffuse un code modificateur d'adresse (AM) accompagnant chaque adresse afin de prévenir des ESCLAVES si l'adresse est courte, standard ou étendue.

Les adresses courtes sont générées par les MAITRES A16 et acceptées par les ESCLAVES A16. Les adresses standards sont générées par les MAITRES A24 et acceptées par les ESCLAVES A24. Les adresses étendues sont générées par les MAITRES A32 et acceptées par les ESCLAVES A32.

L'adressage court est d'abord destiné à l'adressage des entrées/sorties (E/S). Il permet aux ESCLAVES A16 d'être conçus avec moins de circuits logiques, puisqu'ils n'ont pas à décoder autant de lignes d'adresse. Bien que les cartes d'E/S puissent être conçues pour décoder des adresses standards et étendues, l'adressage court les rend souvent inutiles.

Les modes d'adressage standards et étendus sont d'abord destinés à l'adressage de la mémoire, bien qu'il n'y ait aucune règle s'opposant à la conception de cartes d'E/S répondant aussi à ces modes d'adressage. Les modes d'adressage standards et étendus permettent des capacités d'adressage plus grandes.

Table 2-9

Mnemonics that specify addressing capabilities

The following mnemonic	When applied to a	Means that it
A16	MASTER	Can generate cycles with short (16-bit) addresses.
	SLAVE	Can accept cycles with short (16-bit) addresses.
	LOCATION MONITOR	Can monitor cycles with short (16-bit) addresses
A24	MASTER	Can generate cycles with standard (24-bit) addresses.
	SLAVE	Can accept cycles with standard (24-bit) addresses.
	LOCATION MONITOR	Can monitor cycles with standard (24-bit) addresses
A32	MASTER	Can generate cycles with extended (32-bit) addresses.
	SLAVE	Can accept cycles with extended (32-bit) addresses.
	LOCATION MONITOR	Can monitor cycles with extended (32-bit) addresses

IECNORM.COM : Click to view the full PDF of IEC 821:1991

The MASTER broadcasts an Address Modifier (AM) code along with each address to tell SLAVES whether the address is short, standard, or extended.

Short addresses are generated by A16 MASTERS, and accepted by A16 SLAVES. Standard addresses are generated by A24 MASTERS, and accepted by A24 SLAVES. Extended addresses are generated by A32 MASTERS, and accepted by A32 SLAVES.

Short addressing is intended primarily for addressing input/output (I/O) devices. It allows A16 SLAVES to be designed with less logic, since they do not have to decode as many address lines. While I/O boards can be designed to decode standard addresses and extended addresses, short addressing usually makes this unnecessary.

Standard and extended addressing modes are intended primarily for addressing memory, although there is no rule against designing I/O boards that also respond to these addressing modes. Standard and extended addressing modes allow much larger addressing ranges.

REGLE 2.9:
Les cartes ESCLAVES DOIVENT décoder toutes les lignes de modification d'adresse.

OBSERVATION 2.14:
La REGLE 2.9 permet à un ESCLAVE de différencier les adresses courtes, standards et étendues.

OBSERVATION 2.15:
En plus des trois modes d'adressage décrits ici, un quatrième mode d'adressage est utilisé dans les cycles d'acquittement d'interruption (voir chapitre 4). Ces cycles d'acquittement d'interruption peuvent être distingués des cycles de transfert de données par le fait que le signal IACK* est au niveau bas au lieu du niveau haut.

REGLE 2.10:
Chaque fois qu'un MAITRE diffuse une adresse sur le bus d'adresse, il DOIT s'assurer que IACK* est au niveau haut.

AUTORISATION 2.7:
Un MAITRE PEUT commander IACK* au niveau haut au cours d'une diffusion d'adresse ou il PEUT NE PAS commander IACK*. (Les adaptateurs de bus le maintiendront au niveau haut.)

REGLE 2.11:
Les ESCLAVES NE DOIVENT PAS répondre aux cycles du DTB quand IACK* est au niveau bas.

REGLE 2.61:
Les MAITRES A32 DOIVENT inclure les possibilités A24 et A16.

REGLE 2.62:
Les MAITRES A24 DOIVENT inclure la possibilité A16.

SUGGESTION 2.6:
Ne pas supposer que les REGLES citées ci-dessus sont connues aux lecteurs de spécifications de produits. Plutôt spécifier les produits MAITRE A32 comme "A32 et A24 et A16". De la même façon, spécifier un produit MAITRE A24 comme "A24 et A16".

2.3.6 *Possibilités de base de transferts de données*

Il y a quatre possibilités de base de transferts de données associées au DTB: D08(EO) (octet pair et impair), D08(O) (octet impair seulement), D16 et D32. Ces possibilités autorisent une flexibilité pour l'interfaçage de différents types de processeurs et périphériques sur le bus.

Les processeurs 8 bits peuvent avoir une interface au bus en tant que MAITRES D08(EO). Les processeurs 16 bits peuvent avoir une interface au bus en tant que MAITRES D16. Le module ESCLAVE D16 est utile pour l'interface au DTB des dispositifs à mémoire 16 bits ou les ESCLAVES d'E/S 16 bits.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

RULE 2.9:
SLAVE boards MUST decode all of the address modifier lines.

OBSERVATION 2.14:
RULE 2.9 allows a SLAVE to differentiate short addresses, standard addresses, and extended addresses.

OBSERVATION 2.15:
In addition to the three modes of addressing described here, there is a fourth mode which is used on interrupt acknowledge cycles (see Chapter 4). These interrupt acknowledge cycles can be distinguished from data transfer cycles by the fact that the IACK* signal line is low instead of high.

RULE 2.10:
Whenever a MASTER broadcasts an address over the address bus, it MUST ensure that IACK* is high.

PERMISSION 2.7:
A MASTER MAY either drive IACK* high during the address broadcast or it MAY leave IACK* undriven. (The bus terminators will then hold it high.)

RULE 2.11:
SLAVES MUST NOT respond to DTB cycles when IACK* is low.

RULE 2.61:
A32 MASTERS MUST include the A24 and A16 capabilities.

RULE 2.62:
A24 MASTERS MUST include the A16 capability.

SUGGESTION 2.6:
Do not assume that the above RULES are known to the readers of product specifications. Rather specify A32 MASTER products as "A32 and A24 and A16". Similarly, specify an A24 MASTER product as "A24 and A16".

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.6 *Basic data transfer capabilities*

There are four basic data transfer capabilities associated with the DTB: D08(EO) (Even and Odd byte), D08(O) (Odd byte only), D16, and D32. These capabilities allow flexibility when interfacing different types of processors and peripherals to the bus.

Eight-bit processors can be interfaced to the bus as D08(EO) MASTERS. Sixteen-bit processors can be interfaced to the bus as D16 MASTERS. The D16 SLAVE module is useful for interfacing 16-bit memory devices or 16-bit I/O SLAVES to the DTB.

Beaucoup de circuits intégrés contrôleurs de périphériques ont seulement des registres 8 bits. Bien que ces circuits aient souvent plusieurs registres, ils ne peuvent pas fournir simultanément le contenu de deux registres quand un MAITRE D16 essaye d'accéder à deux emplacements contigus de mémoire par un cycle de lecture double octet. Ces circuits intégrés périphériques 8 bits peuvent avoir une interface au DTB par un ESCLAVE D08(O). Les ESCLAVES D08(O) n'occupent que les emplacements d'OCTET(1) ou d'OCTET(3) et ne répondent qu'aux accès octet unique. Comme les accès octet impair unique à des emplacements d'octets impairs sont toujours situés sur D00-D07, cela simplifie la logique d'interface des ESCLAVES D08(O).

REGLE 2.63:
Les MAITRES D32, les ESCLAVES D32 et les DETECTEURS D'ACCES D32 DOIVENT inclure les possibilités D08(EO) et D16.

REGLE 2.64:
Les MAITRES D16, les ESCLAVES D16 et les DETECTEURS D'ACCES D16 DOIVENT inclure la possiblité D08(EO).

RECOMMANDATION 2.7:
Ne pas supposer que les REGLES citées ci-dessus sont connues aux lecteurs de spécifications de produits. Plutôt spécifier les produits ayant la possibilité D32 comme "D32 et D16 et D08(EO)". De la même façon, spécifier les produits D16 comme "D16 et D08(EO)".

REGLE 2.4:
Les ESCLAVES D16 NE DOIVENT PAS répondre en commandant DTACK* au niveau bas pendant les cycles demandant l'accès aux locations d'octet OCTET(1-2), OCTET(0-2), OCTET(1-3) ou OCTET(0-3).

REGLE 2.5:
Les ESCLAVES D08(EO) NE DOIVENT PAS répondre en commandant DTACK* au niveau bas pendant les cycles demandant l'accès aux locations d'octet OCTET(0-1), OCTET(1-2), OCTET(2-3), OCTET(0-2), OCTET(1-3) ou OCTET(0-3).

REGLE 2.65:
Les ESCLAVES D08(EO) NE DOIVENT PAS répondre en positionnant un front descendant sur DTACK* pendant les cycles demandant l'accès aux locations d'octet OCTET(0), OCTET(2), OCTET(0-1), OCTET(1-2), OCTET(2-3), OCTET(0-2), OCTET(1-3) ou OCTET(0-3).

SUGGESTION 2.8:
Concevoir les ESCLAVES pour qu'ils répondent avec un front descendant sur BERR* dans les situations suivantes:

1) Quand on demande à un ESCLAVE D08(O), D08(EO) ou D16 de faire un cycle quadruple-octet.

2) Quand on demande à un ESCLAVE D08(O) ou D08(EO) de faire un cycle double-octet.

3) Quand on demande à un ESCLAVE D08(O), D08(EO) ou D16 de faire un cycle non aligné (par exemple un transfert triple-octet ou un transfert double-octet OCTET(1-2).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Many existing peripheral ICs have registers that are only 8 bits wide. While these ICs often have several of these registers, they cannot provide the contents of two registers simultaneously when a D16 MASTER attempts to access two adjacent locations with a double byte read cycle. These 8-bit peripheral ICs can be interfaced to the DTB as a D08(O) SLAVE. D08(O) SLAVES provide only BYTE(1) or BYTE(3) locations and respond only to single byte accesses. Since single odd byte accesses always take place over D00-D07, this simplifies the D08(O) SLAVE'S interface logic.

RULE 2.63:
D32 MASTERS, D32 SLAVES and D32 LOCATION MONITORS MUST include the D08(EO) and the D16 capabilities.

RULE 2.64:
D16 MASTERS, D16 SLAVES and D16 LOCATION MONITORS MUST include the D08(EO) capability.

SUGGESTION 2.7:
Do not assume that the above RULES are known to the readers of product specifications. Rather specify products that have the D32 capability as "D32 and D16 and D08(EO)". Similarly, specify D16 products as "D16 and D08(EO)".

RULE 2.4:
D16 SLAVES MUST NOT respond by driving DTACK* low during cycles that request access to byte locations BYTE(1-2), BYTE(0-2), BYTE(1-3), or BYTE(0-3).

RULE 2.5:
D08(EO) SLAVES MUST NOT respond by driving DTACK* low during cycles that request access to byte locations BYTE(0-1), BYTE(1-2), BYTE(2-3), BYTE(0-2), BYTE(1-3), or BYTE(0-3).

RULE 2.65:
D08(EO) SLAVES MUST NOT respond with a falling edge on DTACK* during cycles that request access to byte locations BYTE(0), BYTE(2), BYTE(0-1), BYTE(1-2), BYTE(2-3), BYTE(0-2), BYTE(1-3), or BYTE(0-3).

SUGGESTION 2.8:
Design SLAVES to respond with a falling edge on BERR* in the following situations:

1) When a D08(O), D08(EO), or D16 SLAVE is requested to do a quad-byte cycle.

2) When a D08(O) or D08(EO) SLAVE is requested to do a double-byte cycle.

3) When a D08(O), D08(EO), or D16 SLAVE is requested to do an unaligned transfer (i.e. a triple-byte transfer or a double-byte BYTE(1-2) transfer.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Le tableau 2-10 montre les différents mnémoniques utilisés pour décrire les possibilités de base de transferts de données et comment chacune est utilisée pour décrire des MAITRES, ESCLAVES et DETECTEURS D'ACCES.

OBSERVATION 2.16:
Il paraît logique de définir des ESCLAVES "d'octet pair seulement" qui correspondent aux emplacements mémoire d'octet pair adjacents aux ESCLAVES D08(O). Mais cela ne peut pas être réalisé car il n'y a qu'une seule ligne DTACK*. Si un MAITRE allait sélectionner à la fois des emplacements mémoire d'octet pair et d'octet impair en effectuant un transfert double octet, les deux ESCLAVES iraient commander à la fois DTACK* et le MAITRE ne saurait pas si les deux cartes ont acquitté l'accès.

OBSERVATION 2.17:
Les ESCLAVES D08(O) répondent seulement aux adresses d'octets impaires, il ne peuvent pas accéder à une mémoire contiguë. Les ESCLAVES D08(O) sont utiles uniquement pour les E/S, les registres d'état ou de contrôle, alors que les ESCLAVES D08(EO), D16 et D32 le sont aussi pour la mémoire.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-10 shows the various mnemonics used to describe the basic data transfer capabilities, and how each is used to describe MASTERS, SLAVES, and LOCATION MONITORS.

OBSERVATION 2.16:
It might seem logical to define "Even byte only" SLAVES which respond to the even byte memory locations adjacent to the D08(O) SLAVES. But, this cannot be done because there is only one DTACK* line. If a MASTER were to select both an even byte and an odd byte location simultaneously, by doing a double byte transfer, both SLAVES would drive DTACK* at the same time and the MASTER would not know whether both boards had acknowledged the access.

OBSERVATION 2.17:
Since D08(O) SLAVES respond only to odd byte addresses, they cannot provide contiguous memory. D08(O) SLAVES are useful only for I/O, status, or control registers, while D08(EO), D16 and D32 SLAVES are also useful for memory.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-10

Mnémoniques qui spécifient les possibilités de base de transferts de données

Le mnémonique suivant	Lorsqu'il est appliqué au	Signifie qu'il
D08(EO)	MAITRE ESCLAVE DETECTEUR D'ACCES	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles de lecture pour octet unique: LECTURE OCTET(0) LECTURE OCTET(1) LECTURE OCTET(2) LECTURE OCTET(3) Cycles d'écriture pour octet unique: ECRITURE OCTET(0) ECRITURE OCTET(1) ECRITURE OCTET(2) ECRITURE OCTET(3)
D08(O)	ESCLAVE	Peut accepter les cycles suivants: Cycles de lecture pour octet unique: LECTURE OCTET(1) LECTURE OCTET(3) Cycles d'écriture pour octet unique: ECRITURE OCTET(1) ECRITURE OCTET(3)
D16	MAITRE ESCLAVE DETECTEUR D'ACCES	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles de lecture pour double octet: LECTURE OCTET(0-1) LECTURE OCTET(2-3) Cycles d'écriture pour double octet: ECRITURE OCTET(0-1) ECRITURE OCTET(2-3)
D32	MAITRE ESCLAVE DETECTEUR D'ACCES	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycle de lecture pour quadruple octet: LECTURE OCTET(0-3) Cycle d'écriture pour quadruple octet: ECRITURE OCTET(0-3)

Note:
(EO) signifie pair (Even) ou impair (Odd), et (O) signifie seulement impair (Odd).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.7 *Possibilités de transferts par bloc*

Les MAITRES accèdent souvent à plusieurs emplacements de mémoire dans un ordre ascendant. Dans ce cas, les cycles de transfert par bloc sont très utiles. Ils permettent au MAITRE de fournir une adresse

Table 2-10

Mnemonics that specify basic data transfer capabilities

The following mnemonic	When applied to a	Means that it
D08(EO)	MASTER SLAVE LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Single byte read cycles: BYTE(0) READ BYTE(1) READ BYTE(2) READ BYTE(3) READ Single byte write cycles: BYTE(0) WRITE BYTE(1) WRITE BYTE(2) WRITE BYTE(3) WRITE
D08(O)	SLAVE	Can accept the following cycles: Single byte read cycles: BYTE(1) READ BYTE(3) READ Single byte write cycles: BYTE(1) WRITE BYTE(3) WRITE
D16	MASTER SLAVE LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Double byte read cycles: BYTE(0-1) READ BYTE(2-3) READ Double byte write cycles: BYTE(0-1) WRITE BYTE(2-3) WRITE
D32	MASTER SLAVE LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Quad byte read cycles: BYTE(0-3) READ Quad byte write cycles: BYTE(0-3) WRITE

Note:
(EO) is Even Odd and (O) is Odd only.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.7 *Block transfer capabilities*

MASTERS often access several memory locations in ascending order. When this is the case, block transfer cycles are very useful. They allow the MASTER to provide a single address, and then access data in

unique, et d'accéder à la donnée de cet emplacement et à celles des adresses supérieures, sans fournir d'adresses additionnelles.

Lorsqu'un MAITRE déclenche un cycle de transfert par bloc, l'ESCLAVE qui répond mémorise l'adresse dans un compteur d'adresses sur la carte. Le MAITRE, à la fin du premier transfert de données (c'est-à-dire qu'il commande les signaux de validation de donnée au niveau haut) ne permet pas au signal de validation d'adresse de monter au niveau haut. Par contre, il commande de façon répétitive le ou les signaux de validation de donnée au niveau bas en réponse aux signaux de reconnaissances de données de l'ESCLAVE et transfère les données vers ou à partir des emplacements séquentiels de mémoire en ordre ascendant.

Pour accéder à l'adresse suivante ou aux adresses suivantes, l'ESCLAVE incrémente le compteur d'adresses sur la carte pour chaque cycle d'un ou des signaux de validation de donnée.

OBSERVATION 2.18:
Les cycles de transfert par bloc de longueur non définie compliquent la conception des cartes mémoire. En particulier, tous les ESCLAVES à transfert par bloc (celui qui répond et ceux qui ne répondent pas) devraient mémoriser l'adresse initiale et augmenter le compteur d'adresse sur chaque cycle du bus. La sortie du compteur incrémentée devrait être décodée par tous les ESCLAVES pour vérifier si elle est dans les frontières des adresses de la carte. Bien que cela soit certainement possible, décoder l'adresse limite généralement les temps d'accès de l'ESCLAVE. Pour simplifier la conception de ces ESCLAVES et pour permettre des temps d'accès plus courts, la REGLE 2.12 a été formulée:

REGLE 2.12:
Les cycles lecture par bloc et écriture par bloc NE DOIVENT PAS dépasser une frontière de 256 octets.

OBSERVATION 2.19:
La REGLE 2.12 limite la longueur maximale des transferts par bloc à 256 octets. Pourtant, sachant que seulement A01 à A07 changeront pendant la durée du cycle de transfert par bloc, elle simplifie la conception des ESCLAVES. Les lignes d'adresse supérieures doivent être décodées une seule fois au début du cycle de transfert par bloc, permettant des temps d'accès plus courts sur tous les transferts de données suivants.

OBSERVATION 2.20:
Dans certains cas, il peut être nécessaire de transférer un bloc important de données qui chevauche une ou plusieurs frontières de 256 octets. Dans ce cas, si les circuits sur les cartes effectuant le transfert par bloc sont conçus pour détecter l'arrivée à une frontière de 256 octets, ils peuvent commander momentanément AS* au niveau haut, puis lancer un autre transfert par bloc sans intervention du logiciel système.

Le cycle de lecture par bloc est similaire à une chaîne de cycles lecture. Le cycle écriture par bloc est aussi similaire à une chaîne de cycles d'écriture. La différence est que l'adresse initiale seulement est diffusée par le MAITRE et le signal de validation d'adresse est maintenu au niveau bas pendant tous les transferts de données.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

that location and those at higher addresses, without providing additional addresses.

When a MASTER initiates a block transfer cycle, the responding SLAVE latches the address into an on-board address counter. The MASTER, upon completing the first data transfer (i.e. driving the data strobes high) does not allow the address strobe to go high. Instead, it repeatedly drives the data strobe(s) low in response to data transfer acknowledgements from the SLAVE, and transfers data to or from sequential memory locations in ascending order.

To access the next location(s), the SLAVE increments an on-board counter that generates the address for each transition of the data strobe(s).

OBSERVATION 2.18:
Block transfer cycles of indefinite length complicate the design of memory boards. Specifically, all block transfer SLAVES (the one that responds, as well as those that do not) would need to latch the initial address and then increment the address counter on each bus transfer. All SLAVES would then have to decode the incremented address to see if the block transfer has crossed a board boundary into their address range. While this is certainly possible, such address decoding typically limits access times of the SLAVE. To simplify the design of these SLAVES, and to permit faster access times, RULE 2.12 has been formulated.

RULE 2.12:
Block transfer cycles MUST NOT cross any 256-byte boundary.

OBSERVATION 2.19:
RULE 2.12 limits the maximum length of block transfers to 256 bytes. However, knowing that only A01 through A07 will change during the course of the block transfer simplifies the design of block transfer SLAVES. The upper address lines only have to be decoded once, at the beginning of the block transfer cycle, allowing much faster access times on all subsequent data transfers.

OBSERVATION 2.20:
In some cases it might be necessary to transfer a large block of data which crosses one or more 256-byte boundaries. In such a case if the hardware on the board which does the block transfers is designed to recognize the arrival at a 256-byte boundary, it can momentarily drive AS* high and then initiate another block transfer without the intervention of system software.

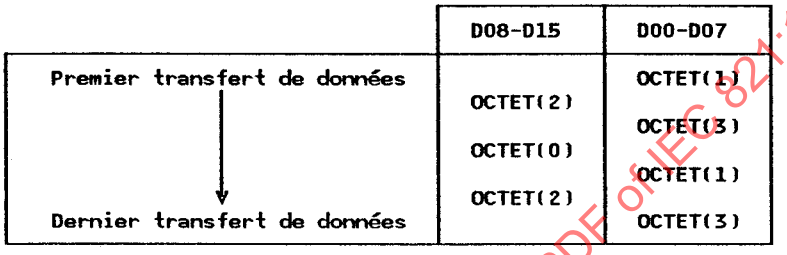
The block read cycle is very similar to a string of read cycles. Likewise, the block write cycle is very similar to a string of write cycles. The difference is that only the initial address is broadcast by the MASTER and the address strobe is held low during all of the data transfers.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

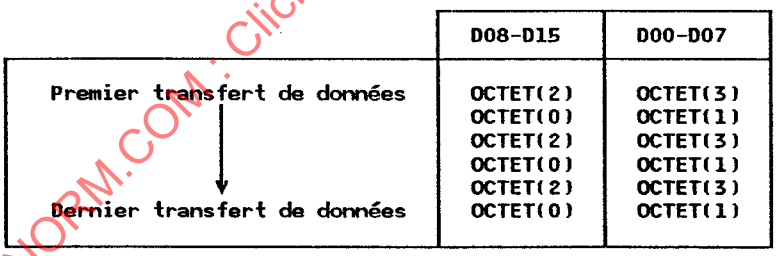
OBSERVATION 2.21:
Le contrôle du DTB ne peut être transféré pendant le transfert par bloc parce que AS* est maintenu au niveau bas pendant tous les transferts de données, et le contrôle du DTB ne peut être transféré que lorsque AS* est au niveau haut.

REGLE 2.66:
Les ESCLAVES qui incluent la possibilité de transfert par bloc DOIVENT surveiller AS*, et DOIVENT capturer l'information d'adressage quand ils détectent un front descendant sur AS*.

OBSERVATION 2.86:
Pendant le transfert par bloc à simple-octet, les données sont transférées par 8 bits à la fois sur D00-D07 ou D08-D15. Un exemple est donné ci-dessous:



OBSERVATION 2.87:
Pendant le transfert par bloc à double-octet, les données sont transférées par 16 bits à la fois sur D00-D15. Un exemple est donné ci-dessous:



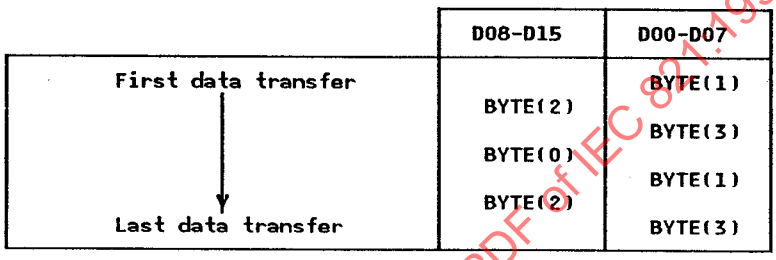
Le tableau 2-11 définit le mnémonique pour décrire les possibilités de transferts par bloc et son utilisation pour décrire les MAITRES, ESCLAVES et DETECTEURS D'ACCES.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

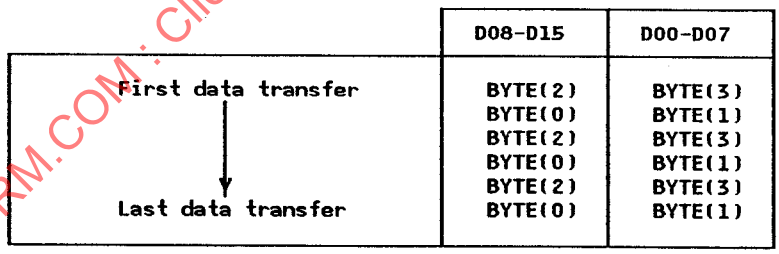
OBSERVATION 2.21:
Control of the DTB cannot be transferred during block transfers because AS* is held low through all of the data transfers, and control of the DTB can only be transferred while AS* is high.

RULE 2.66:
SLAVES that include block transfer capability MUST monitor AS*, and MUST capture the addressing information when they detect a falling edge on AS*.

OBSERVATION 2.86:
During single-byte block transfers, data is transferred 8 bits at a time over D00-D07 or D08-D15. One example is given below:



OBSERVATION 2.87:
During double-byte block transfers, data is transferred 16 bits at a time over D08-D15. One example is given below:



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-11 specifies the mnemonic used to describe block transfer capabilities and how it is used to describe MASTERS, SLAVES and LOCATION MONITORS.

Tableau 2-11

Mnémonique qui spécifie les possibilités de transferts par bloc

Le mnémonique suivant	Lorsqu'il est appliqué à (au)	Signifie qu'il
BLT	MAITRE D08(EO) ESCLAVE D08(EO) DETECTEUR D'ACCES D08(EO)	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles lecture par bloc: LECTURE DE BLOCS PAR OCTET Cycles écriture par bloc: ECRITURE DE BLOCS PAR OCTET
	MAITRE D16 ESCLAVE D16 DETECTEUR D'ACCES D16	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles lecture par bloc: LECTURE DE BLOCS PAR DOUBLE OCTET Cycles écriture par bloc: ECRITURE DE BLOCS PAR DOUBLE OCTET
	MAITRE D32 ESCLAVE D32 DETECTEUR D'ACCES D32	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles lecture par bloc: LECTURE DE BLOCS PAR QUADRUPLE OCTET Cycles écriture par bloc: ECRITURE DE BLOCS PAR QUADRUPLE OCTET

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.8 *Possibilités de lecture-modification-écriture*

Dans les systèmes multiprocesseurs qui partagent des ressources comme la mémoire et les E/S, une méthode est nécessaire pour allouer ces ressources. Une tâche très importante de cet algorithme d'allocation est d'assurer qu'une ressource utilisée par une tâche ne peut pas être utilisée simultanément par une autre. Le problème est décrit par un exemple:

Deux processeurs dans un système multiprocesseur partagent une ressource commune (par exemple une imprimante). Un seul processeur peut utiliser la ressource à la fois. La ressource est allouée par un bit en mémoire, c'est-à-dire si le bit est positionné, la ressource est occupée; s'il est libre, la ressource est disponible. Pour obtenir une ressource, le processeur A lit le bit et le teste pour déterminer s'il a été mis à zéro. Si le bit est à zéro, le processeur A positionne le bit pour empêcher l'accès par le processeur B. Cette opération comprend deux transferts de données: une lecture pour effectuer le test du bit, et une écriture pour positionner le bit. Cependant, une difficulté peut survenir si le bus est donné au processeur B entre les deux cycles de transfert du bus. Le processeur B peut aussi trouver le bit à zéro et supposer que la ressource est disponible. Les deux processeurs positionneraient alors le bit dans le prochain cycle disponible pour tenter d'utiliser la ressource.

Table 2-11

Mnemonic that specifies block transfer capabilities

The following mnemonic	When applied to a	Means that it
BLT	D08(EO) MASTER D08(EO) SLAVE D08(EO) LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Block read cycles: SINGLE BYTE BLOCK READ Block write cycles: SINGLE BYTE BLOCK WRITE
	D16 MASTER D16 SLAVE D16 LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Block read cycles: DOUBLE BYTE BLOCK READ Block write cycles: DOUBLE BYTE BLOCK WRITE
	D32 MASTER D32 SLAVE D32 LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Block read cycles: QUAD BYTE BLOCK READ Block write cycles: QUAD BYTE BLOCK WRITE

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.8 *Read-modify-write capabilities*

In multiprocessor systems which share resources such as memory and I/O, a method is needed to allocate these resources. One very important goal of this allocation algorithm is to ensure that a resource being used by one task cannot be used by another at the same time. The problem is best described by an example:

Two processors in a multiprocessing system share a common resource (e.g. a printer). Only one processor can use the resource at a time. The resource is allocated by a bit in memory i.e., if the bit is set, the resource is busy: if it is cleared, the resource is available. To gain use of the resource, processor A reads the bit and tests it to determine whether it is cleared. If the bit is cleared, processor A sets the bit to lock out processor B. This operation takes two data transfers: a read to test the bit, and a write to set the bit. However, a difficulty might arise if the bus is given to processor B between these two transfers. Processor B might then also find the bit cleared and assume the resource is available. Both processors will then set the bit in the next available cycle and attempt to use the resource.

Ce conflit est évité en définissant un cycle lecture-modification-écriture qui empêche l'arbitrage d'avoir lieu entre la lecture et l'écriture. Ce cycle est très semblable au cycle lecture suivi immédiatement par un cycle d'écriture. La différence est que le signal de validation d'adresse est commandé continuellement au niveau bas pendant les deux cycles de transfert. Cela assure que à la différence du cycle lecture suivi d'un cycle d'écriture, le contrôle du DTB ne peut pas être transféré pendant un cycle lecture-modification-écriture, comme c'est possible lorsque le signal de validation d'adresse est au niveau haut.

Le tableau 2-12 liste le mnémonique utilisé pour décrire les possibilités de lecture-modification-écriture et comment il est utilisé pour décrire les MAITRES, ESCLAVES et DETECTEURS D'ACCES.

Tableau 2-12

Mnémonique qui spécifie les possibilités de lecture-modification-écriture

Le mnémonique suivant	Lorsqu'il est appliqué à (au)	Signifie qu'il
RMW	MAITRE D08(EO) ESCLAVE D08(EO) DETECTEUR D'ACCES D08(EO)	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles lecture-modification-écriture pour octet unique: LECTURE-MODIFICATION-ECRITURE OCTET(0) LECTURE-MODIFICATION-ECRITURE OCTET(1) LECTURE-MODIFICATION-ECRITURE OCTET(2) LECTURE-MODIFICATION-ECRITURE OCTET(3)
	ESCLAVE D08(O)	Peut accepter les cycles suivants: Cycles lecture-modification-écriture pour octet unique: LECTURE-MODIFICATION-ECRITURE OCTET(1) LECTURE-MODIFICATION-ECRITURE OCTET(3)
	MAITRE D16 ESCLAVE D16 DETECTEUR D'ACCES D16	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles lecture-modification-écriture pour double octet: LECTURE-MODIFICATION-ECRITURE OCTET(0-1) LECTURE-MODIFICATION-ECRITURE OCTET(2-3)
	MAITRE D32 ESCLAVE D32 DETECTEUR D'ACCES D32	Peut générer les cycles suivants: Peut accepter les cycles suivants: Peut surveiller les cycles suivants: Cycles lecture-modification-écriture pour quadruple octet: LECTURE-MODIFICATION-ECRITURE OCTET(0-3)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

This conflict is avoided by defining a read-modify-write cycle which prevents transferring control of the DTB between the read portion and the write portion of the cycle. This cycle is very similar to a read cycle immediately followed by a write cycle. The difference is that the address strobe is held low during both transfers. This ensures that, unlike a read cycle followed by a write cycle, control of the DTB cannot be transferred during a read-modify-write cycle, as this is only possible while the address strobe is high.

Table 2-12 specifies the mnemonic used to describe read-modify-write capabilities and how it is used to describe MASTERS, SLAVES and LOCATION MONITORS.

Table 2-12

Mnemonic that specifies read-modify-write capabilities

The following mnemonic	When applied to a	Means that it
RMW	D08(EO) MASTER D08(EO) SLAVE D08(EO) LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Single byte read-modify-write cycles: BYTE(0) READ-MODIFY-WRITE BYTE(1) READ-MODIFY-WRITE BYTE(2) READ-MODIFY-WRITE BYTE(3) READ-MODIFY-WRITE
	D08(O) SLAVE	Can accept the following cycles: Single byte read-modify-write cycles: BYTE(1) READ-MODIFY-WRITE BYTE(3) READ-MODIFY-WRITE
	D16 MASTER D16 SLAVE D16 LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Double byte read-modify-write cycles: BYTE(0-1) READ-MODIFY-WRITE BYTE(2-3) READ-MODIFY-WRITE
	D32 MASTER D32 SLAVE D32 LOCATION MONITOR	Can generate the following cycles: Can accept the following cycles: Can monitor the following cycles: Quad byte read-modify-write cycles: BYTE(0-3) READ-MODIFY-WRITE

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.9 *Possibilités de transferts non alignés*

Plusieurs microprocesseurs 32 bits mémorisent et extraient des données d'une manière non alignée. Par exemple, une valeur 32 bits peut être mémorisée de quatre façons différentes comme indiqué sur la figure 2-6:

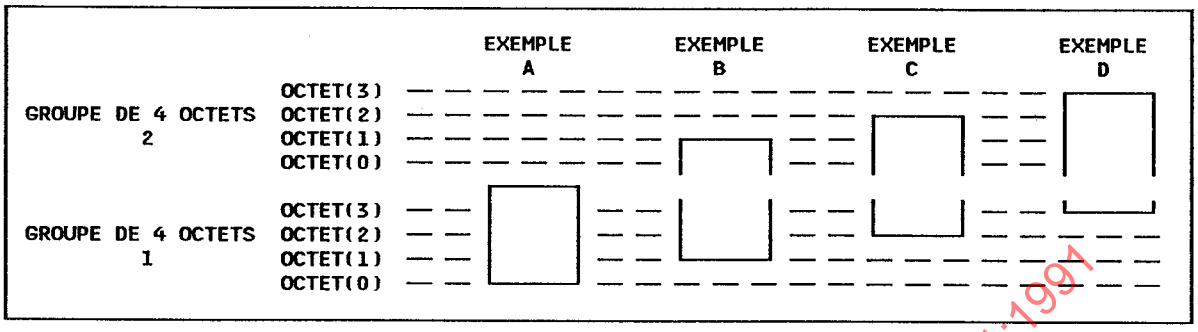


FIG. 2-6. - Quatre moyens de mémoriser des données de 32 bits en mémoire.

Le MAITRE peut transférer les 32 bits de données en utilisant plusieurs séquences différentes de cycles DTB. Par exemple, il peut transférer les données un octet à la fois, en utilisant quatre transferts de données octet unique. Cependant, un MAITRE peut effectuer le transfert beaucoup plus vite en utilisant une des séquences de cycles indiquées dans le tableau 2-13.

OBSERVATION 2.22:
Les séquences indiquées dans le tableau 2-13 seraient caractéristiques d'un MAITRE qui accède aux emplacements d'octets en ordre séquentiel ascendant. Le protocole du BUS CEI 821 ne le nécessite pas.

Comme indiqué dans le tableau 2-13, chacun de ces transferts 32 bits peut être accompli avec une combinaison de transferts octet unique ou double octet. Cependant, les exemples B et D nécessitent trois cycles de bus quand ils sont effectués de cette manière. C'est pourquoi le protocole du DTB inclut aussi deux cycles de transfert trois octets. Quand ils sont utilisés en combinaison avec un cycle octet unique, ces cycles triple octet permettent de mémoriser des données en utilisant seulement deux cycles bus comme indiqué dans les exemples B et D.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.9 *Unaligned transfer capabilities*

Some 32-bit microprocessors store and retrieve data in an unaligned fashion. For example, a 32-bit value might be stored in four different ways, as shown in Figure 2-6.

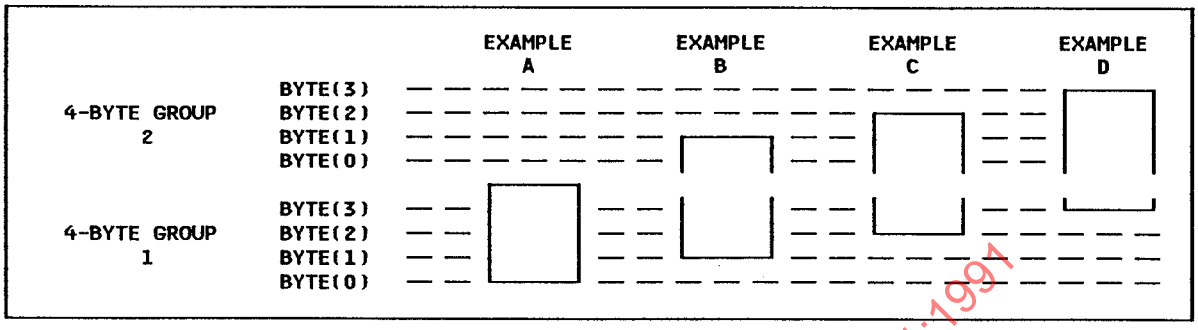


FIG. 2-6. - Four ways that 32 bits of data might be stored in memory.

The MASTER can transfer the 32 bits of data using several different sequences of DTB cycles. For example, it can transfer the data one byte at a time, using four single byte data transfers. However, a MASTER can accomplish the transfer much quicker by using one of the cycle sequences shown in Table 2-13.

OBSERVATION 2.22:
The sequences shown in Table 2-13 would be typical of a MASTER that accesses the byte locations in ascending order. The IEC 821 BUS protocol does not require this.

As shown in Table 2-13, each of these 32-bit transfers can be accomplished with a combination of single byte and double byte transfers. However, examples B and D require three bus cycles when done this way. Because of this, the DTB protocol also includes two triple byte transfer cycles. When used in combination with a single byte cycle, these triple byte cycles allow data to be stored as shown in examples B and D using only two bus cycles.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-13

Transferts de 32 bits de données utilisant des cycles de transfert de multiples octets

Exemple	Séquences de cycles utilisées pour effectuer le transfert	Lignes du bus de données utilisées	Emplacements d'octets accédés (voir figure 2-6)
A	Transfert quadruple octet	D00-D31	Groupe 1, OCTET(0-3)
B	Transfert octet unique Transfert double octet Transfert octet unique ou Transfert triple octet Transfert octet unique	D00-D07 D00-D15 D08-D15 D00-D23 D08-D15	Groupe 1, OCTET(1) Groupe 1, OCTET(2-3) Groupe 1, OCTET(0) Groupe 1, OCTET(1-3) Groupe 1, OCTET(0)
C	Transfert double octet Transfert double octet	D00-D15 D00-D15	Groupe 1, OCTET(2-3) Groupe 2, OCTET(0-1)
D	Transfert octet unique Transfert double octet Transfert octet unique ou Transfert octet unique Transfert triple octet	D00-D07 D00-D15 D08-D15 D00-D07 D00-D23	Groupe 1, OCTET(3) Groupe 2, OCTET(0-1) Groupe 2, OCTET(2) Groupe 1, OCTET(3) Groupe 2, OCTET(0-2)

Certains microprocesseurs 32 bits mémorisent et extraient aussi des données 16 bits à la fois, d'une façon non alignée, comme indiqué sur la figure 2-7.

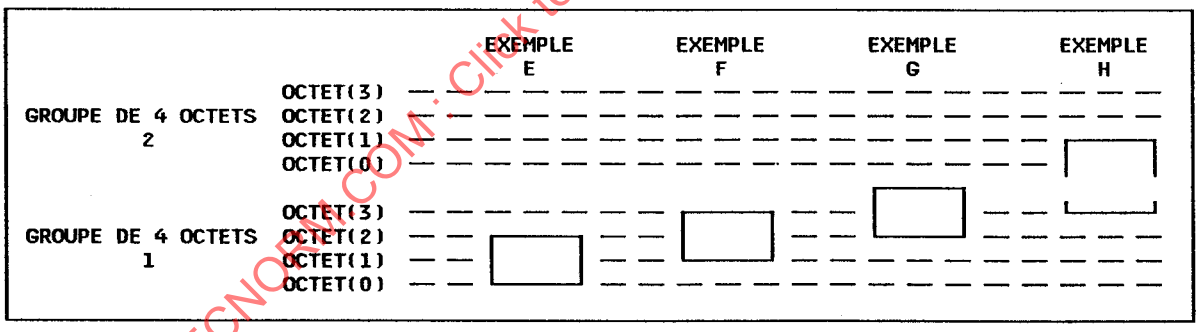


FIG. 2-7. - Quatre moyens de mémoriser des données de 16 bits en mémoire.

Le MAITRE peut transférer les 16 bits de données en utilisant plusieurs séquences différentes de cycles DTB listées dans le tableau 2-14.

OBSERVATION 2.23:
Les séquences listées dans le tableau 2-14 seraient caractéristiques d'un MAITRE qui accède aux emplacements d'octets en ordre croissant. Le protocole du BUS CEI 821 ne l'impose pas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-13

Transferring 32 bits of data using multiple byte transfer cycles

Example	Cycle sequences used to accomplish the transfer	Data bus lines used	Byte locations accessed (see Figure 2-6)
A	Quad byte transfer	D00-D31	Group 1, BYTE(0-3)
B	Single byte transfer Double byte transfer Single byte transfer or Triple byte transfer Single byte transfer	D00-D07 D00-D15 D08-D15 D00-D23 D08-D15	Group 1, BYTE(1) Group 1, BYTE(2-3) Group 1, BYTE(0) Group 1, BYTE(1-3) Group 1, BYTE(0)
C	Double byte transfer Double byte transfer	D00-D15 D00-D15	Group 1, BYTE(2-3) Group 2, BYTE(0-1)
D	Single byte transfer Double byte transfer Single byte transfer or Single byte transfer Triple byte transfer	D00-D07 D00-D15 D08-D15 D00-D07 D00-D23	Group 1, BYTE(3) Group 2, BYTE(0-1) Group 2, BYTE(2) Group 1, BYTE(3) Group 2, BYTE(0-2)

Some 32-bit microprocessors also store and retrieve data 16 bits at a time, in an unaligned fashion, as shown in Figure 2-7.

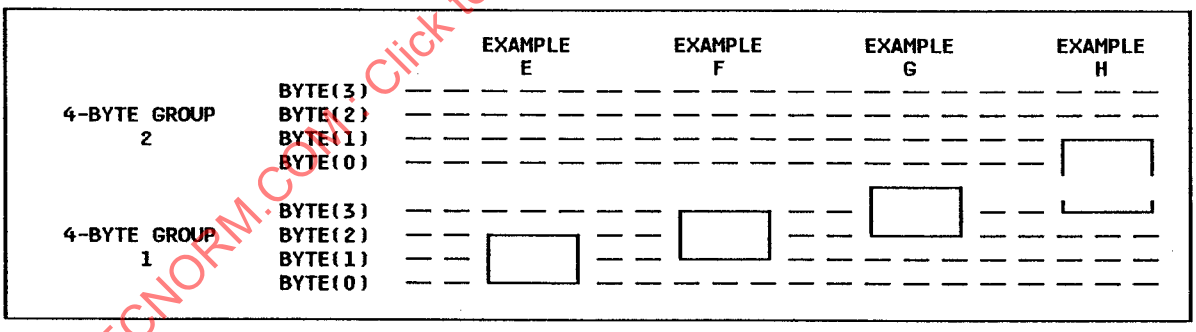


FIG. 2-7. - Four ways that 16 bits of data might be stored in memory.

The MASTER can transfer the 16 bits of data using several different sequences of DTB cycles as listed in Table 2-14.

OBSERVATION 2.23:
The sequences listed in Table 2-14 would be typical of a MASTER that accesses the byte locations in ascending order. The IEC 821 BUS protocol does not require this.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Comme indiqué dans le tableau 2-14, le transfert de 16 bits de l'exemple F peut être effectué avec deux transferts d'octet unique. Cependant, cela demande deux cycles de bus. C'est pourquoi le protocole DTB inclut aussi un cycle de transfert double octet qui permet la mémorisation des données utilisant un seul cycle de bus comme indiqué dans l'exemple F.

Tableau 2-14

Transferts de 16 bits de données utilisant des cycles de transfert de multiple octet

Exemple	Séquences de cycles utilisées pour effectuer le transfert	Lignes de données du bus utilisées	Emplacements d'octets accédés (voir figure 2-7)
E	Transfert double octet	D00-D15	Groupe 1, OCTET(0-1)
F	Transfert octet unique Transfert octet unique ou Transfert double octet	D08-D15 D16-D23 D08-D23	Groupe 1, OCTET(1) Groupe 1, OCTET(2) Groupe 1, OCTET(1-2)
G	Transfert double octet	D00-D15	Groupe 1, OCTET(2-3)
H	Transfert octet unique Transfert octet unique	D00-D07 D08-D15	Groupe 1, OCTET(3) Groupe 2, OCTET(0)

OBSERVATION 2.24:
Puisque les transferts non alignés utilisent toutes les 32 lignes de données, seuls les MAITRES D32 et les ESCLAVES D32 peuvent effectuer des transferts non alignés.

REGLE 2.67:
Les ESCLAVES D32 et le DETECTEURS D'ACCES DOIVENT inclure la possibilité UAT.

REGLE 2.6:
Les ESCLAVES D08(0), D08(EO) et D16 NE DOIVENT PAS répondre en commandant DTACK* au niveau bas pendant un cycle qui accède aux locations d'octet OCTET(1-2), OCTET(0-2) ou OCTET(1-3).

Le tableau 2-15 liste comment le mnémonique (UAT) de transfert non aligné est utilisé pour décrire les MAITRES.

Tableau 2-15

Mnémonique qui spécifie la possibilité de transfert non aligné

Le mnémonique suivant	Lorsqu'il est appliqué à (au)	Signifie qu'il
UAT	MAITRE D32	Peut générer les cycles suivants: Cycles de lecture pour triple octet: LECTURE OCTET(0-2) LECTURE OCTET(1-3) Cycles d'écriture pour triple octet: ECRITURE OCTET(0-2) ECRITURE OCTET(1-3) Cycles de lecture pour double octet: LECTURE OCTET(1-2) Cycles d'écriture pour double octet: ECRITURE OCTET(1-2)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

As shown in Table 2-14, the 16-bit transfer in example F can be accomplished with two single byte transfers. However, this requires two bus cycles. Because of this, the DTB protocol also includes a double byte transfer cycle which allows data to be stored as shown in example F using only one bus cycle.

Table 2-14

Transferring 16 bits of data using multiple byte transfer cycles

Example	Cycle sequences used to accomplish the transfer	Data bus lines used	Byte locations accessed (see Figure 2-7)
E	Double byte transfer	D00-D15	Group 1, BYTE(0-1)
F	Single byte transfer Single byte transfer or Double byte transfer	D08-D15 D16-D23 D08-D23	Group 1, BYTE(1) Group 1, BYTE(2) Group 1, BYTE(1-2)
G	Double byte transfer	D00-D15	Group 1, BYTE(2-3)
H	Single byte transfer Single byte transfer	D00-D07 D08-D15	Group 1, BYTE(3) Group 2, BYTE(0)

OBSERVATION 2.24:
Since unaligned transfers make use of all 32 data lines, only D32 MASTERS and D32 SLAVES can do unaligned transfers.

RULE 2.67:
D32 SLAVES and LOCATION MONITORS MUST include UAT capability.

RULE 2.6:
D08(0), D08(EO) and D16 SLAVES MUST NOT respond by driving DTACK* low during a cycle that accesses byte locations BYTE(1-2), BYTE(0-2) or BYTE(1-3).

Table 2-15 lists how the unaligned transfer (UAT) mnemonic is used to describe MASTERS.

Table 2-15

Mnemonic that specifies unaligned transfer capability

The following mnemonic	When applied to a	Means that it
UAT	D32 MASTER	Can generate the following cycles: Triple byte read cycles: BYTE(0-2) READ BYTE(1-3) READ Triple byte write cycles: BYTE(0-2) WRITE BYTE(1-3) WRITE Double byte read cycles: BYTE(1-2) READ Double byte write cycles: BYTE(1-2) WRITE

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.10 *Possibilité* UNIQUEMENT D'ADRESSAGE

Le cycle UNIQUEMENT D'ADRESSAGE est le seul cycle du DTB qui ne soit pas utilisé pour transférer des données. Il commence comme un cycle typique du DTB avec l'adresse, le code de modification d'adresse, les lignes IACK* et LWORD* devenant valides et AS* passant au niveau bas après un temps d'établissement. Pourtant, les signaux de validation de donnée ne sont jamais commandés au niveau bas. Après avoir maintenu stables les lignes qui doivent être validées par AS* pendant une durée minimale prescrite, le MAITRE termine le cycle sans attendre le passage au niveau bas de DTACK* ou BERR*. (Le cycle UNIQUEMENT D'ADRESSAGE est aussi le seul type de cycle du DTB qui ne nécessite pas de réponse pour se terminer.)

Le tableau 2-16 liste comment le mnémonique (ADO) UNIQUEMENT D'ADRESSAGE est utilisé pour décrire les MAITRES.

Tableau 2-16

Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE

Le mnémonique suivant	Lorsqu'il est appliqué à (au)	Signifie qu'il
ADO	MAITRE	Peut générer des cycles UNIQUEMENT D'ADRESSAGE

OBSERVATION 2.25:
Les cycles UNIQUEMENT D'ADRESSAGE peuvent être utilisés pour améliorer la performance des cartes en permettant à une carte CPU de diffuser une adresse sur le BUS CEI 821 avant d'avoir déterminé si cette adresse sélectionne ou non un ESCLAVE sur le BUS CEI 821. Ce mode de diffusion d'adresse permet aux ESCLAVES du BUS CEI 821 de décoder l'adresse en même temps que la carte CPU.

REGLE 2.68:
Tous les ESCLAVES DOIVENT inclure la possibilité de cycle ADO sans perte de données ou mauvais fonctionnement.

2.3.11 *Interaction entre les modules fonctionnels du DTB*

Des transferts de données ont lieu entre des MAITRES et des ESCLAVES. Le MAITRE est le module qui contrôle le transfert. L'ESCLAVE qui reconnaît l'adresse comme la sienne est l'ESCLAVE qui répond et tous les autres ESCLAVES sont des ESCLAVES qui ne répondent pas.

Après avoir lancé le cycle de transfert de données, le MAITRE attend une réponse de l'ESCLAVE sélectionné. Quand le MAITRE détecte la réponse de l'ESCLAVE, il commande les signaux de validation de donnée et d'adresse au niveau haut, terminant le cycle. L'ESCLAVE répond en libérant sa ligne de réponse.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.3.10 ADDRESS-ONLY *capability*

The ADDRESS-ONLY cycle is the only cycle on the DTB that is not used to transfer data. It begins as a typical DTB cycle, with the address, address modifier code, IACK* and LWORD* lines becoming valid and AS* falling after a set-up time. However, the data strobes are never driven low. After holding the various lines strobed by the AS* stable for a prescribed minimum period, the MASTER finishes the cycle without waiting for DTACK* or BERR* to go low. (The ADDRESS-ONLY cycle is also the only type of DTB cycle that does not require a response in order to complete.)

Table 2-16 lists how the ADDRESS-ONLY mnemonic (ADO) is used to describe MASTERS.

Table 2-16

Mnemonic that specifies ADDRESS-ONLY *capability*

The following mnemonic	When applied to a	Means that it
ADO	MASTER	Can generate ADDRESS-ONLY cycles

OBSERVATION 2.25:
ADDRESS-ONLY cycles can be used to enhance on the IEC 821 BUS board performance by allowing a CPU board to broadcast an address before it determined whether or not that address selects a SLAVE on the IEC 821 BUS. Broadcasting the address in this fashion allows IEC 821 BUS SLAVES to decode the address concurrently with the CPU board.

RULE 2.68:
All SLAVES MUST be designed to accommodate ADO cycles without loss of data or erroneous operation.

2.3.11 *Interaction between DTB functional modules*

Data transfers take place between MASTERS and SLAVES. The MASTER is the module controlling the transfer. The SLAVE which recognizes the address as its own is the responding SLAVE, and all other SLAVES are non-responding SLAVES.

After initiating a data transfer cycle, the MASTER waits for a response from the responding SLAVE. When the MASTER detects the response from the SLAVE it drives its data strobes and address strobe high, terminating the cycle. The SLAVE responds by releasing its response line.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 2.26:
Bien que les chronogrammes d'adresses et de données soient largement indépendants, il y a deux exceptions. Premièrement, le MAITRE attend d'avoir commandé AS* au niveau bas avant de commander DS0* ou DS1* au niveau bas. Deuxièmement, l'ESCLAVE acquitte à la fois AS* et DS0* et DS1* avec soit DTACK* ou BERR*.

REGLE 2.13:
SI un ESCLAVE répond à un cycle de transfert de données,
ALORS il DOIT soit commander DTACK* au niveau bas, soit il DOIT commander BERR* au niveau bas mais pas les deux.

OBSERVATION 2.27:
A cause de la possibilité de déphasage des signaux sur le bus dû à la charge différente de AS* et DS0* et DS1*, le front descendant de DS0* et DS1* pourrait être détecté par l'ESCLAVE un peu avant le front descendant de AS*.

OBSERVATION 2.28:
La ligne WRITE* est au niveau haut/bas pour identifier un cycle lecture/écriture avant que le premier signal de validation de donnée soit commandé au niveau bas et reste stable jusqu'à ce que les deux signaux de validation de données soient au niveau haut.

REGLE 2.14:
Avant de commander le bus de données, le MAITRE DOIT s'assurer que le précédent ESCLAVE qui répond a arrêté de commander le bus de données. Il le fait en vérifiant que DTACK* et BERR* sont tous les deux au niveau haut avant de commander le ou les signaux de validation de données au niveau bas sur n'importe quel cycle et avant de commander n'importe laquelle des lignes de données pendant un cycle d'écriture.

REGLE 2.15:
A la fin d'un CYCLE LECTURE, l'ESCLAVE qui répond DOIT relâcher le bus de données avant d'autoriser DTACK* à passer au niveau haut.

REGLE 2.16:
Pendant les cycles de lecture, l'ESCLAVE DOIT maintenir des données valides sur le bus de données jusqu'à ce que le MAITRE libère le premier signal de validation de donnée au niveau haut.

OBSERVATION 2.29:
L'information d'adresse sur le BUS CEI 821 peut changer immédiatement après qu'un module eut commandé DTACK* ou BERR* au niveau bas, et avant que le MAITRE ne commande DS0* et DS1* au niveau haut.

SUGGESTION 2.3:
Afin d'obtenir une performance optimale, concevoir des MAITRES de manière qu'ils commandent dès que possible DS0* et DS1* au niveau haut après que DTACK* ou BERR* eut passé au niveau bas. Concevoir aussi des ESCLAVES de manière qu'ils libèrent dès que possible le bus de données et DTACK* après avoir détecté DS0* et DS1* au niveau haut. Cela permet d'avoir une vitesse de transfert de données maximale sur le bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 2.26:
Although the address and data timing are largely independent, there are two exceptions. First, the MASTER waits until it has driven AS* low before driving either DS0* or DS1* low. Second, the SLAVE acknowledges both AS* and DS0* and DS1* with either DTACK* or BERR*.

RULE 2.13:
IF a SLAVE responds to a data transfer cycle,
THEN it MUST either drive DTACK* low or it MUST drive BERR* low, but it MUST NOT drive both low.

OBSERVATION 2.27:
Because of possible bus skew, due to different loading of AS* and DS0* and DS1*, the falling edge of DS0* and DS1* might be detected by the SLAVE slightly before the falling edge on AS*.

OBSERVATION 2.28:
The WRITE* line is high/low to identify a read/write cycle before the first data strobe is driven low, and remains stable until both data strobes are high.

RULE 2.14:
Before driving the data bus, the MASTER MUST ensure that the previous responding SLAVE has stopped driving the data bus. It does so by verifying that DTACK* and BERR* are both high before it drives the data strobe(s) to low on any cycle, and before it drives any of the data lines during a write cycle.

RULE 2.15:
At the end of a read cycle the responding SLAVE MUST release the data bus before allowing DTACK* to go high.

RULE 2.16:
During read cycles, the SLAVE MUST maintain valid data on the data bus until the MASTER returns the first data strobe to high.

OBSERVATION 2.29:
Addressing information on the IEC 821 BUS might change soon after a module drives DTACK* or BERR* low, and before the MASTER drives DS0* and DS1* high.

SUGGESTION 2.3:
For optimum performance, design MASTERS so that they drive DS0* and DS1* high as soon as possible after DTACK* or BERR* goes low. Also design SLAVES so that they release the data bus and DTACK* as soon as possible after detecting DS0* and DS1* high. This allows the maximum data transfer rate on the bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Un troisième type de module appelé DETECTEUR D'ACCES contrôle le transfert des données et active un ou deux des deux signaux sur sa carte dès qu'un accès est effectué à un emplacement d'octet qu'il contrôle. Si l'accès est un cycle écriture, le signal d'ECRITURE sur sa carte est alors activé. Si l'accès est un cycle lecture, le signal de LECTURE sur sa carte est alors activé. Si un cycle lecture-modification-écriture est effectué, les deux signaux sur sa carte sont alors activés.

Si le cycle dure trop longtemps, un quatrième module, appelé DETECTEUR DE TEMPS D'OCCUPATION DU BUS intervient en commandant BERR* au niveau bas terminant le dialogue du transfert de données et permettant la reprise de l'opération sur le bus.

REGLE 2.17:
Il y a un interverrouillage strict entre les fronts montant et descendant des signaux de validation de donnée et DTACK*/BERR*. Avant de commander soit DS0* ou DS1* au niveau bas, le MAITRE DOIT s'assurer que DTACK* et BERR* sont au niveau haut. Dès qu'un MAITRE a commandé soit DS0* ou DS1*, il NE DOIT PAS les commander au niveau haut et finir un transfert tant qu'il n'a pas détecté soit DTACK* ou BERR* au niveau bas.

OBSERVATION 2.30:
Une carte contenant un processeur qui doit diriger des transferts de données entre elle-même et d'autres cartes de BUS CEI 821 contient un module MAITRE. Si la même carte contient aussi une mémoire accessible depuis le BUS CEI 821, elle contiendra aussi un module ESCLAVE. Un processeur de virgule flottante ou un contrôleur intelligent de périphériques peut recevoir des commandes à travers l'interface d'un ESCLAVE à partir d'une carte processeur d'usage général. Il peut ensuite agir comme un MAITRE pour accéder à la mémoire globale du BUS CEI 821 et exécuter la commande qui lui a été donnée.

2.4 *Fonctionnement typique*

Les MAITRES déclenchent les transferts de données sur le DTB. L'ESCLAVE qui est adressé acquitte alors le transfert. Après avoir reçu l'acquittement du transfert de données, le MAITRE termine le cycle de transfert de données. La caractéristique asynchrone du DTB permet à l'ESCLAVE de contrôler le temps pris pour le transfert.

Avant d'effectuer n'importe quel transfert de données, un MAITRE doit se voir allouer le contrôle exclusif du DTB. Cela assure que plusieurs MAITRES n'essaieront pas d'utiliser le DTB au même moment. Le MAITRE prend le contrôle du DTB en utilisant les modules et les lignes de signaux du bus d'arbitrage. (La section 2.5 explique cela plus loin.) La discussion suivante suppose que le MAITRE s'est déjà vu allouer le contrôle du DTB.

2.4.1 *Cycles typiques de transfert de données*

La figure 2-8, page 116, montre un cycle typique de lecture d'octet unique. Pour commencer le transfert, le MAITRE commande les lignes d'adresse avec l'adresse souhaitée et le code modificateur d'adresse. Puisque cet exemple est un CYCLE LECTURE OCTET(1), le MAITRE commande LWORD* au niveau haut et A01 au niveau bas. Puisque ce

IECNORM.COM : Click to view the full PDF of IEC 821:1991

A third type of module, called the LOCATION MONITOR, monitors the data transfer and generates either or both of two on-board signals whenever a byte location that it monitors is accessed. If the access is a write cycle, then the on-board WRITE signal is generated. If the access is a read cycle, then the on-board READ signal is generated. If a read-modify-write cycle is performed, then both on-board signals are generated.

If the cycle takes too long, a fourth module, called a BUS TIMER intervenes by driving BERR* low, completing the data transfer handshake and allowing the bus to resume operation.

RULE 2.17:
There is a strict interlock between the rising and falling edges of the data strobes and DTACK*/BERR*. Before driving either DS0* or DS1* low, the MASTER MUST ensure that both DTACK* and BERR* are high. Once a MASTER has driven either DS0* or DS1* low, it MUST NOT drive them high and finish a transfer without first detecting either DTACK* or BERR* low.

OBSERVATION 2.30:
A board containing a processor, which needs to direct data transfers between itself and other IEC 821 BUS boards, would contain a MASTER module. If the same board also contained memory accessible from the IEC 821 BUS, it would also contain a SLAVE module. A floating point processor or intelligent peripheral controller might receive commands through a SLAVE interface from a general purpose processor board. It then might act as a MASTER to access global IEC 821 BUS memory to execute the command it has been given.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.4 *Typical operation*

MASTERS initiate data transfers over the DTB. The addressed SLAVE then acknowledges the transfer. After receiving the data transfer acknowledge, the MASTER terminates the data transfer cycle. The asynchronous nature of the DTB allows the SLAVE to control the time taken for the transfer.

Before doing any data transfers, a MASTER has to be granted exclusive control of the DTB. This ensures that multiple MASTERS will not try to use the DTB at the same time. The MASTER gains control of the DTB using the modules and signal lines of the Arbitration Bus. (Section 2.5 explains this further.) The following discussion presumes that the MASTER has already been granted and assumed control of the DTB.

2.4.1 *Typical data transfer cycles*

Figure 2-8, page 117, shows a typical single byte read cycle. To start the transfer, the MASTER drives the addressing lines with the desired address and address modifier code. Since this example is a BYTE(1) READ CYCLE, the MASTER drives LWORD* high and A01

n'est pas un cycle de reconnaissance d'interruption, il ne commande pas IACK* au niveau bas. Le MAITRE attend le temps d'établissement spécifié avant de commander AS* au niveau bas pour permettre aux lignes d'adresse et de modificateur d'adresse de se stabiliser avant que les ESCLAVES les échantillonnent.

Chaque ESCLAVE détermine s'il doit répondre en examinant les niveaux sur les lignes d'adresse, sur les lignes de modificateur d'adresse et sur IACK*. Entre-temps, le MAITRE commande WRITE* au niveau haut pour indiquer une opération de lecture. Le MAITRE vérifie par la suite que DTACK* et BERR* sont au niveau haut pour s'assurer que l'ESCLAVE du cycle précédent ne commande plus le bus de données. Après cette vérification, le MAITRE commande DS0* au niveau bas et maintient DS1* au niveau haut.

L'ESCLAVE qui répond détermine alors quel groupe de 4 octets et quel octet de ce groupe doivent être lus et commencent le transfert. Après avoir extrait la donnée de sa mémoire interne et l'avoir placée sur les lignes de données du bus D00-D07, l'ESCLAVE le signale au MAITRE en commandant DTACK* au niveau bas. L'ESCLAVE maintient alors DTACK* au niveau bas ainsi que les données valides aussi longtemps que le MAITRE maintient DS0* au niveau bas.

Lorsque le MAITRE reçoit DTACK* commandé au niveau bas, il capte la donnée sur D00-D07, libère les lignes d'adresse et commande DS0* et AS* au niveau haut. L'ESCLAVE répond en libérant D00-D07 et en libérant DTACK* au niveau haut.

OBSERVATION 2.31:
Le MAITRE dans la figure 2-8, page 116, libère toutes les lignes du DTB à la fin du transfert de données. Cela n'est pas demandé sauf si le DEMANDEUR DU MAITRE libère BBSY* pendant le transfert de données comme décrit dans la section 2.5.

Le déroulement du cycle pour des transferts de données de double octet et quadruple octet est similaire au cycle d'octet unique. Les organigrammes de ces cycles sont présentés dans les figures 2-9 et 2-10, pages 118 et 120.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

low. Since it is not doing an interrupt acknowledge cycle, it does not drive IACK* low. The MASTER then waits for a specified set-up time before driving AS* low, to allow the address lines and the address modifier lines to stabilize before the SLAVES sample them.

Each SLAVE determines whether it should respond by examining the levels on the address lines, the address modifier lines, and IACK*. While this is happening, the MASTER drives WRITE* high to indicate a read operation. The MASTER then verifies that DTACK* and BERR* are high to ensure that the SLAVE from the previous cycle is no longer driving the data bus. If this is the case, the MASTER then drives DS0* low, while keeping DS1* high.

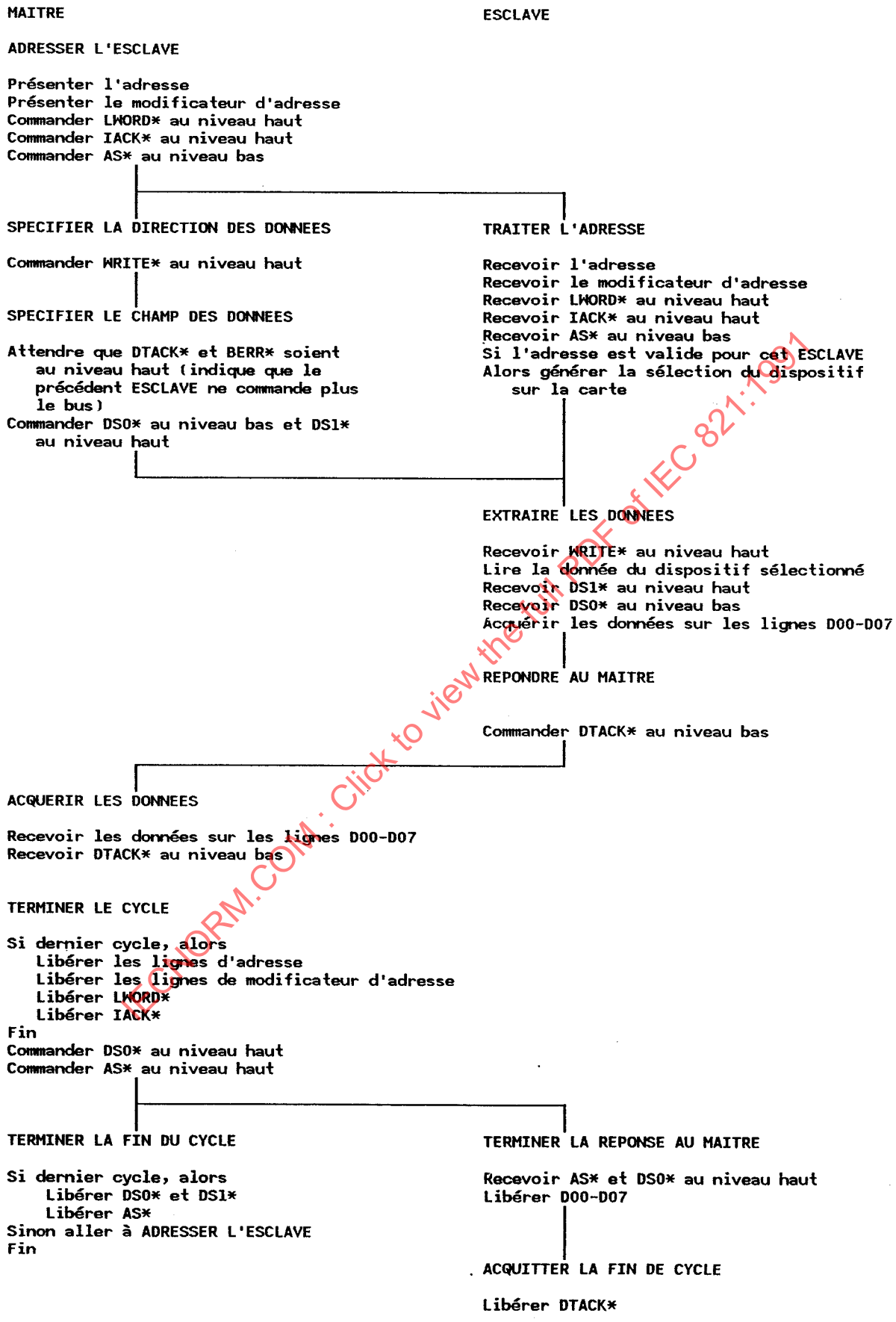
The responding SLAVE then determines which 4-byte group and which byte of that group is to be accessed, and starts the transfer. After it has retrieved the data from its internal storage and placed it on data bus lines D00-D07, the SLAVE signals the MASTER by driving DTACK* low. The SLAVE then holds DTACK* low and maintains the data valid for as long as the MASTER holds DS0* low.

When the MASTER receives DTACK* driven to low, it captures the data on D00-D07, releases the address lines, and drives DS0* and AS* to high. The SLAVE responds by releasing D00-D07 and releasing DTACK* to high.

OBSERVATION 2.31:
The MASTER in Figure 2-8, page 117, releases all of the DTB lines at the end of the data transfer. This is not required unless the MASTER'S REQUESTER released BBSY* during the data transfer as described in Section 2.5.

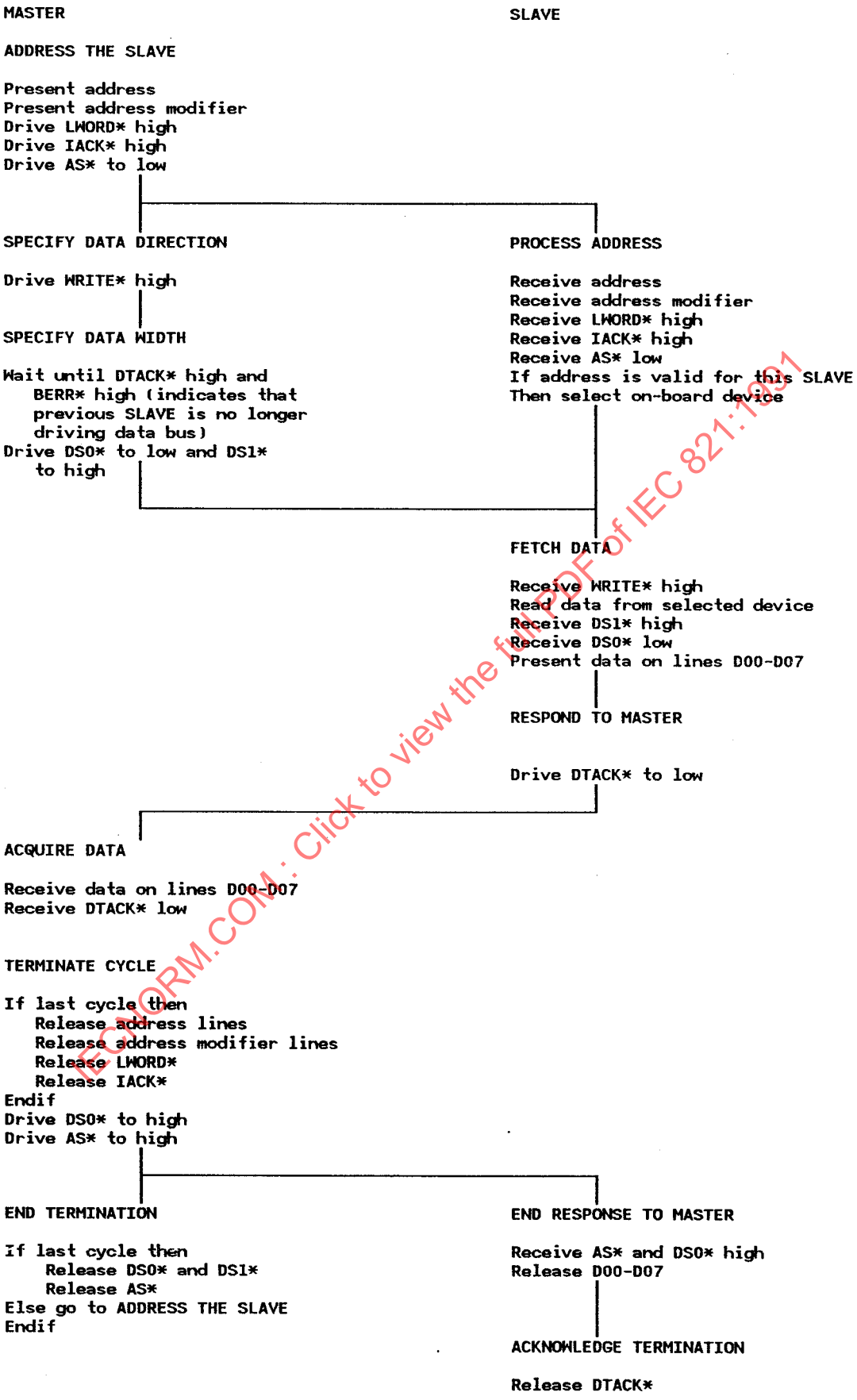
The cycle flows for double byte and quad byte data transfer cycles are very similar to the single byte cycle. Flow diagrams for these cycles are shown in Figures 2-9 and 2-10, pages 119 and 121.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



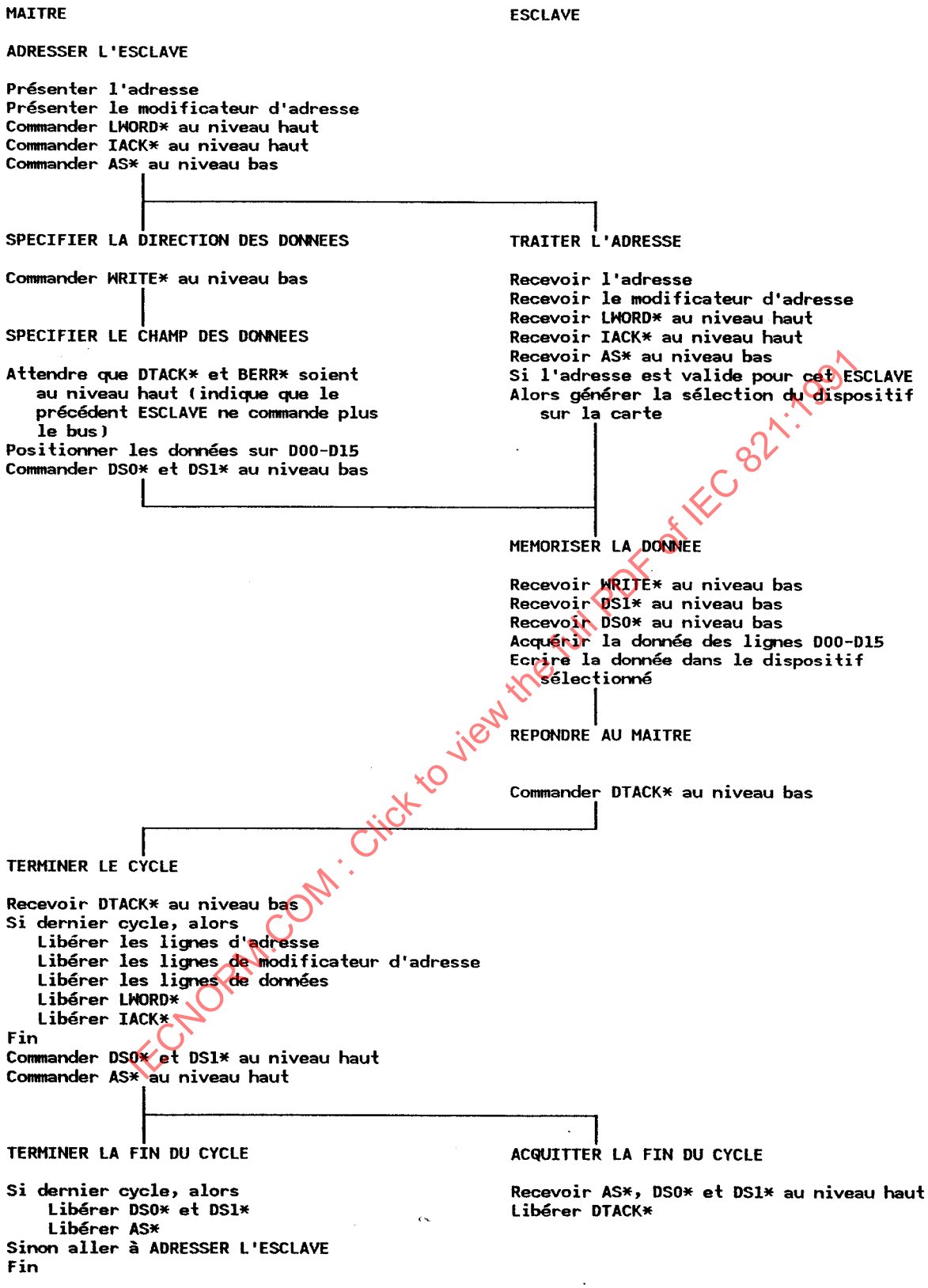
IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-8. - Un exemple de cycle de lecture d'un octet unique.



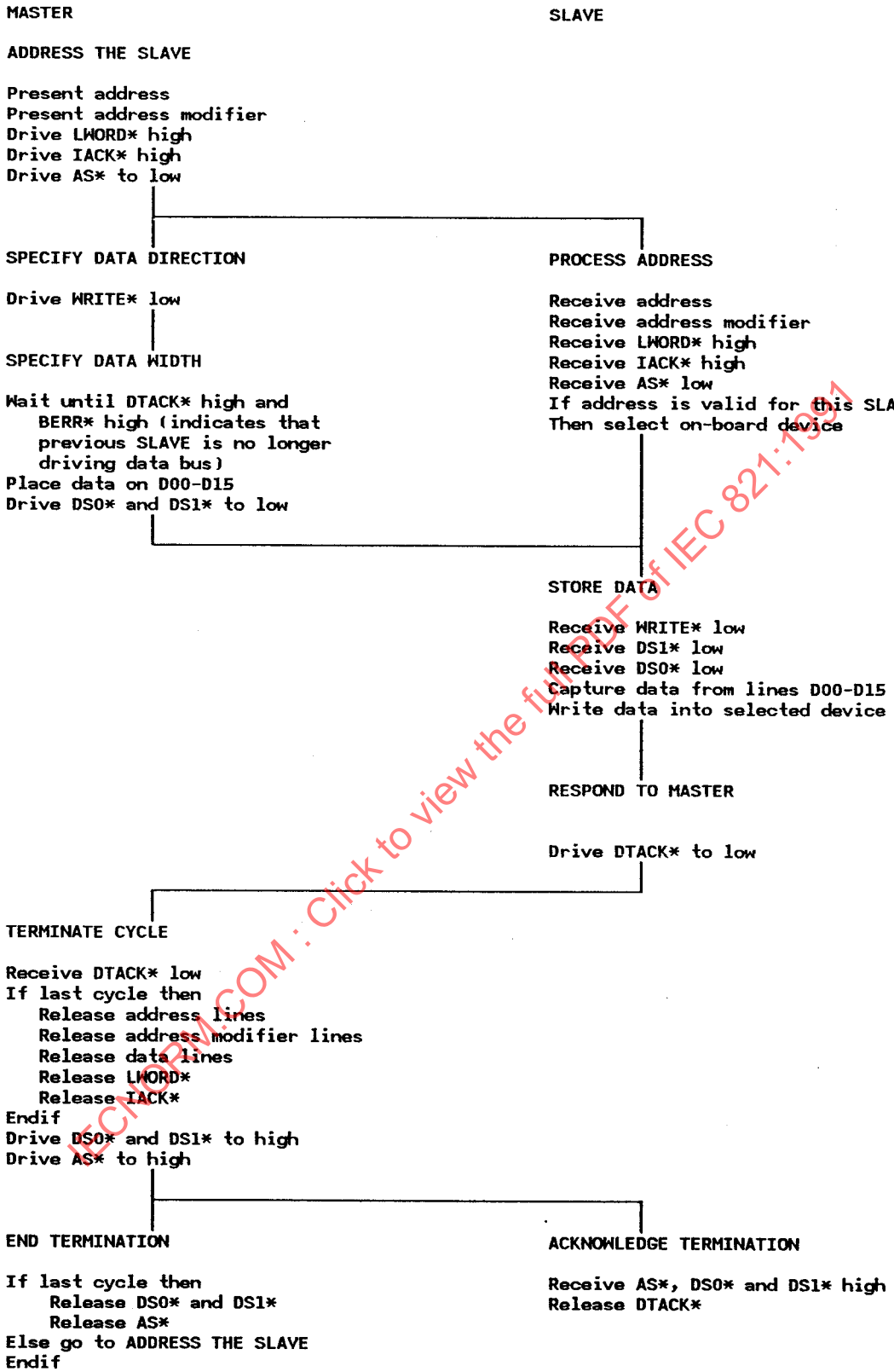
IECNORM.COM : Click to view the full PDF of IEC 821:1981

FIG. 2-8. - An example of a single byte read cycle.



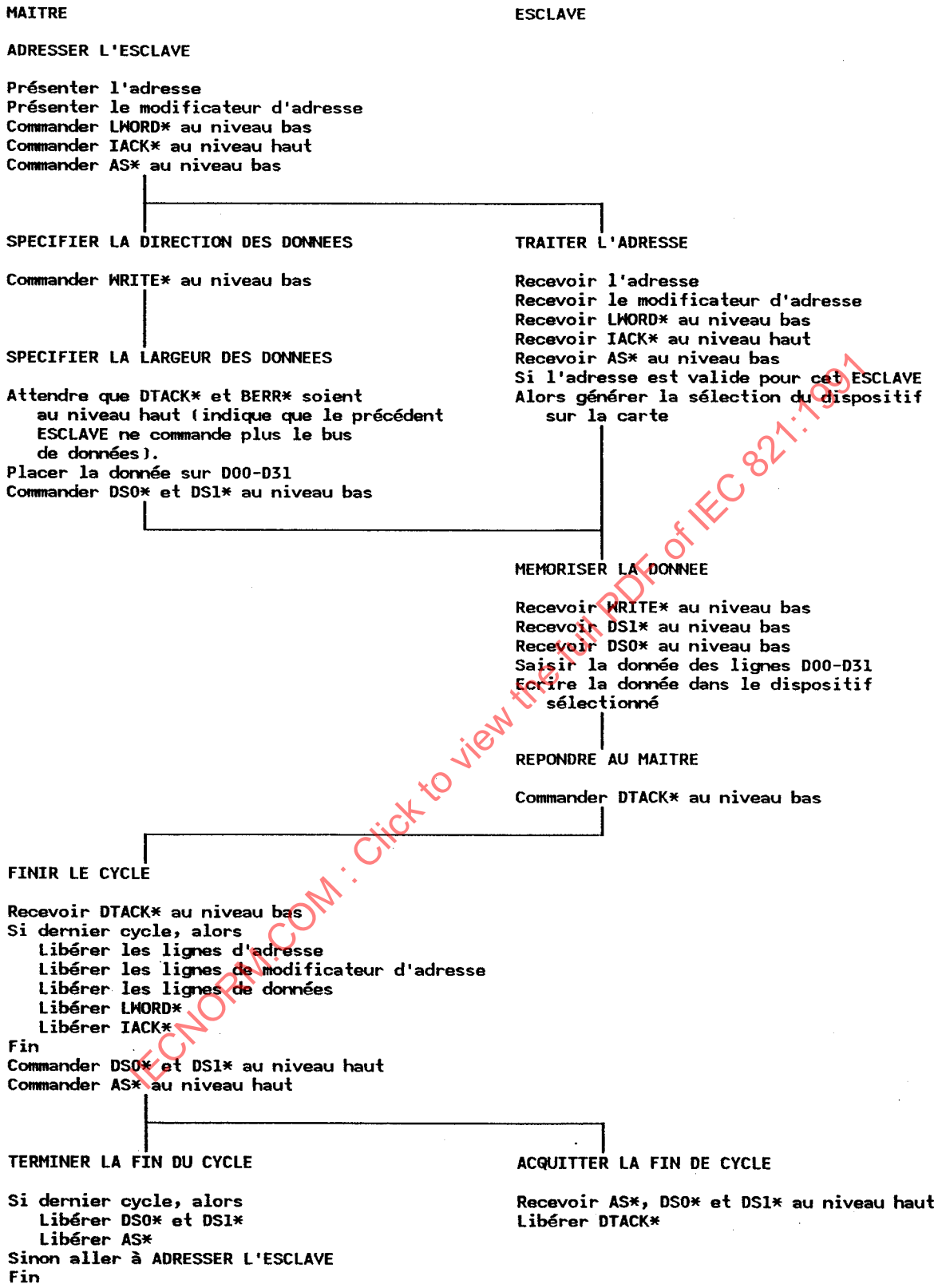
IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-9. - Un exemple de cycle d'écriture d'un double octet.



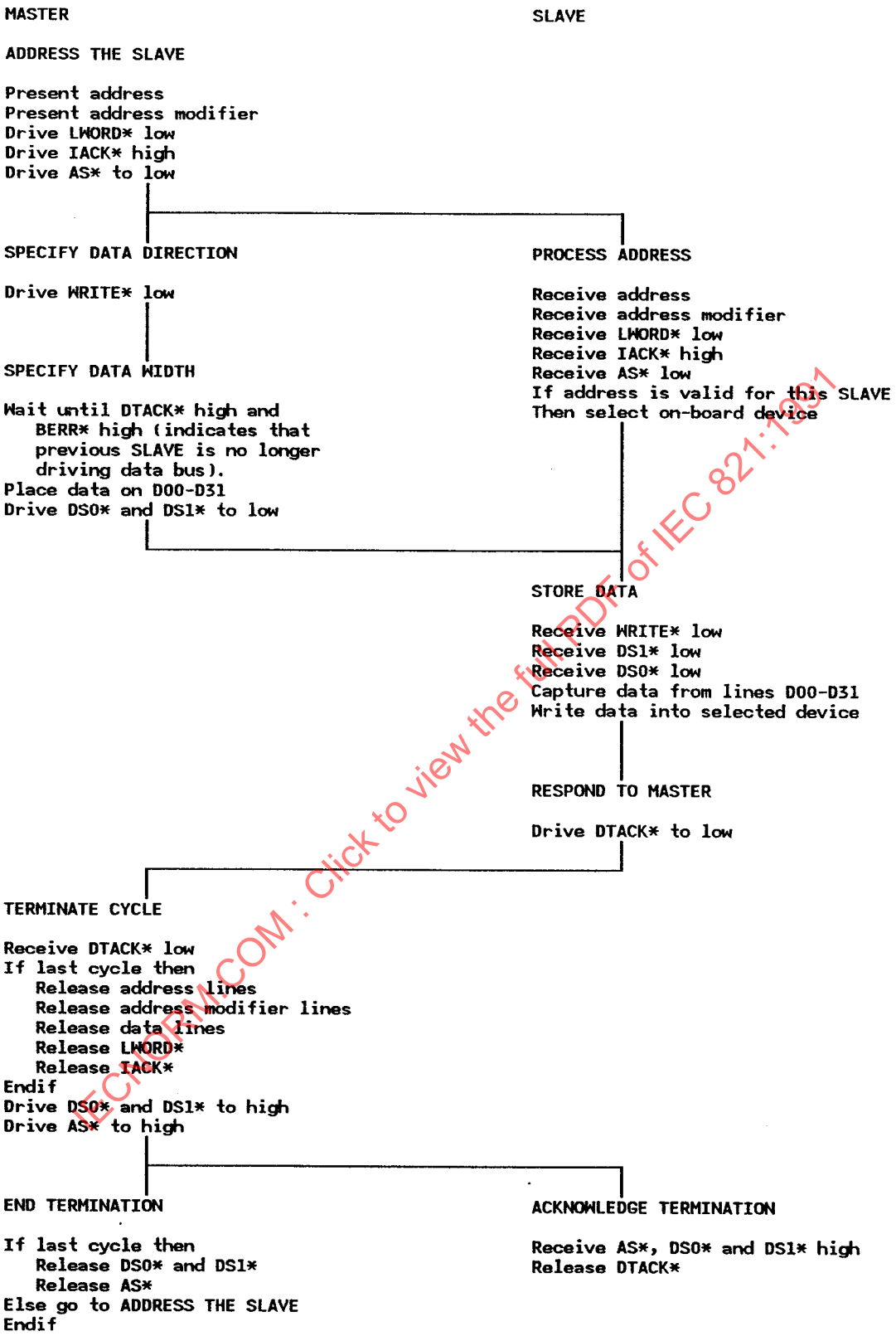
IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-9. - An example of a double byte write cycle.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-10. - Un exemple de cycle d'écriture d'un quadruple octet.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-10. - An example of a quad byte write cycle.

2.4.2 *Anticipation d'adresse*

Le fait que le BUS CEI 821 ait des signaux de validation d'adresse et de donnée permet au MAITRE de diffuser l'adresse pour le cycle suivant avant que le transfert de données du cycle précédent soit terminé. Cela s'appelle "l'anticipation d'adresse".

AUTORISATION 2.8:
Dès qu'un MAITRE détecte que l'ESCLAVE a commandé DTACK* ou BERR* au niveau bas, le MAITRE PEUT changer l'adresse et, après avoir autorisé AS* à passer au niveau haut pendant un temps minimal, commander de nouveau AS* au niveau bas.

Par exemple, lorsqu'un ESCLAVE commande DTACK* ou BERR* au niveau bas dans un cycle de lecture, le MAITRE est autorisé à positionner une nouvelle adresse sur le bus pendant qu'il lit les données du bus. Cela provoque un empiètement d'un cycle sur le suivant, et permet des vitesses de transfert plus élevées sur le BUS CEI 821.

REGLE 2.18:
Tous les ESCLAVES DOIVENT inclure la possibilité d'anticipation d'adresse sans perte de données ou mauvais fonctionnement.

Les deux observations suivantes proposent deux conceptions conformes aux exigences de l'anticipation d'adresse.

OBSERVATION 2.32:
L'ESCLAVE qui répond peut reconnaître son adresse et répondre très rapidement sur les lignes DTACK* ou BERR*. Puisque le MAITRE a le droit d'enlever l'adresse immédiatement après que l'ESCLAVE qui répond eut commandé DTACK* ou BERR* au niveau bas, tous les ESCLAVES qui ne répondent pas pourraient être incapables de décoder l'information d'adresse avant que le MAITRE ne l'enlève du bus.

OBSERVATION 2.33:
Du fait qu'un MAITRE peut diffuser une nouvelle adresse pendant que le cycle précédent se termine, le concepteur doit s'assurer que l'activation du deuxième signal de validation de données ne rend pas invalide la première adresse, si celle-ci est encore nécessaire pour la logique de la carte afin de maintenir les données sur le bus.

SUGGESTION 2.4:
Concevoir des ESCLAVES qui mémorisent l'information d'adresse sur le front descendant de AS*.

OBSERVATION 2.34:
Un MAITRE pourrait commander AS* au niveau bas pour un nouveau cycle avant de commander DS0* ou DS1* du cycle précédent au niveau haut. A cause de cela, il pourrait y avoir une période où AS* du nouveau cycle et au moins un des signaux DS0* ou DS1* du cycle précédent soient au niveau bas pendant l'anticipation du cycle.

SUGGESTION 2.5:
Concevoir des ESCLAVES qui déclenchent les transferts de données vers et à partir du bus lorsque au moins l'un des signaux DS0* et DS1* est au niveau bas et que DTACK* et BERR* sont au niveau haut au lieu d'un niveau bas simultané sur AS* et au moins l'un des signaux DS0* et DS1*.

IECNORM.COM: Click to view the full PDF of IEC 821:1994

2.4.2 *Address pipelining*

The IEC 821 BUS strobes the address and data with separate strobe signals. This allows a MASTER to broadcast the address for the next cycle while the data transfer for the previous cycle is still in progress. This is called "address pipelining".

PERMISSION 2.8:
As soon as the MASTER detects that the SLAVE has driven DTACK* or BERR* low, the MASTER MAY change the address, and, after driving AS* high for a minimum time, drive AS* low again.

For example, when a SLAVE drives DTACK* or BERR* low on a read cycle, the MASTER is allowed to place a new address on the address bus while it is reading the data from the bus. This amounts to an overlapping of one cycle with the next one, and permits greater speeds on the IEC 821 BUS.

RULE 2.18:
All SLAVES MUST be designed to accommodate address pipelining without loss of data or erroneous operation.

The following offers two designs that comply with the requirement to accommodate address pipelining:

OBSERVATION 2.32:
The responding SLAVE might recognize its address and respond very quickly on the DTACK* or BERR* lines. Since the MASTER is permitted to remove the address after the responding SLAVE drives DTACK* or BERR* low, non-responding SLAVES might not be able to decode the addressing information before the MASTER removes it from the bus.

OBSERVATION 2.33:
Because a MASTER might broadcast a new address while a previous cycle is finishing, the designer needs to ensure that the assertion of the second address strobe does not invalidate the first address if it is still needed by on-board logic to maintain the data on the bus.

SUGGESTION 2.4:
Design SLAVES to capture the addressing information on the falling edge of AS*.

OBSERVATION 2.34:
A MASTER might drive AS* low for a new cycle before it drives either DS0* or DS1* high from the previous cycle. Because of this, there might be a period when the AS* for the new cycle, as well as at least one of DS0* or DS1* from the previous cycle coincide during the cycle overlap.

SUGGESTION 2.5:
Design SLAVES to initiate data transfers to and from the bus when one or both of DS0* or DS1* are low, and DTACK* and BERR* are both high, instead of a simultaneous low level on AS* and one or both of DS0* and DS1*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

AUTORISATION 2.9:
Des MAITRES PEUVENT être conçus sans anticipation d'adresse (c'est-à-dire qu'ils PEUVENT attendre que l'ESCLAVE qui répond relâche DTACK* et BERR* avant de commander AS* au niveau bas pour le cycle suivant).

2.5 *Acquisition du bus de transfert de données*

REGLE 2.19:
Avant de transférer des données sur le DTB, un MAITRE DOIT obtenir l'autorisation de l'utiliser.

Plusieurs MAITRES peuvent vouloir utiliser le DTB en même temps. Le procédé qui détermine quel MAITRE peut utiliser le DTB s'appelle arbitrage et est discuté dans le chapitre 3. Parce que l'arbitrage est très lié à l'opération du DTB, il est présenté brièvement ici.

La figure 2-11, page 126, présente deux séquences possibles où un MAITRE, appelé MAITRE A, termine l'utilisation du DTB et permet à l'arbitrage d'avoir lieu.

Dans l'exemple 1, le MAITRE A, dans son dernier transfert, indique qu'il n'a plus besoin du DTB. Il procède en faisant libérer BBSY* par son DEMANDEUR. Puisque le MAITRE A annonce par anticipation que le DTB sera bientôt disponible, l'arbitrage se fait pendant le dernier transfert de données. L'arbitrage est terminé et le MAITRE B reçoit l'autorisation d'utiliser le DTB avant que le MAITRE A ait terminé son cycle mais il attend jusqu'à ce que le MAITRE A libère AS*. Cela assure que le MAITRE B ne commencera pas à commander le DTB avant que le MAITRE A ait terminé son dernier transfert de données.

Dans l'exemple 2, le MAITRE A attend que son dernier transfert soit terminé, c'est-à-dire après que AS* eut été libéré, avant de libérer BBSY*. Dans ce cas, le DTB est au repos pendant que l'arbitrage a lieu. Le bus est alors octroyé au MAITRE B et puisque AS* est déjà au niveau haut, il commence à utiliser le DTB tout de suite.

REGLE 2.20:
Lorsqu'un DEMANDEUR d'un MAITRE libère BBSY* au niveau haut, le MAITRE NE DOIT PAS commander AS* du niveau haut au niveau bas, c'est-à-dire il NE DOIT commencer un nouveau cycle, jusqu'à ce que son DEMANDEUR ait reçu une nouvelle allocation du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

PERMISSION 2.9:
MASTERS MAY be designed without the ability for address pipelining (e.g. they MAY wait until the responding SLAVE releases DTACK* and BERR* before driving AS* low for the next cycle).

2.5 *Data Transfer Bus acquisition*

RULE 2.19:
Before transferring any data on the DTB, a MASTER MUST get permission to use it.

Several MASTERS might want to use the DTB at the same time. The process which determines which MASTER can use the DTB is called arbitration and is discussed in Chapter 3. Because arbitration is closely tied to the operation of the DTB, it is briefly described here.

Figure 2-11, page 127, provides two examples that show possible sequences when a MASTER, called MASTER A, finishes using the DTB and allows arbitration to take place.

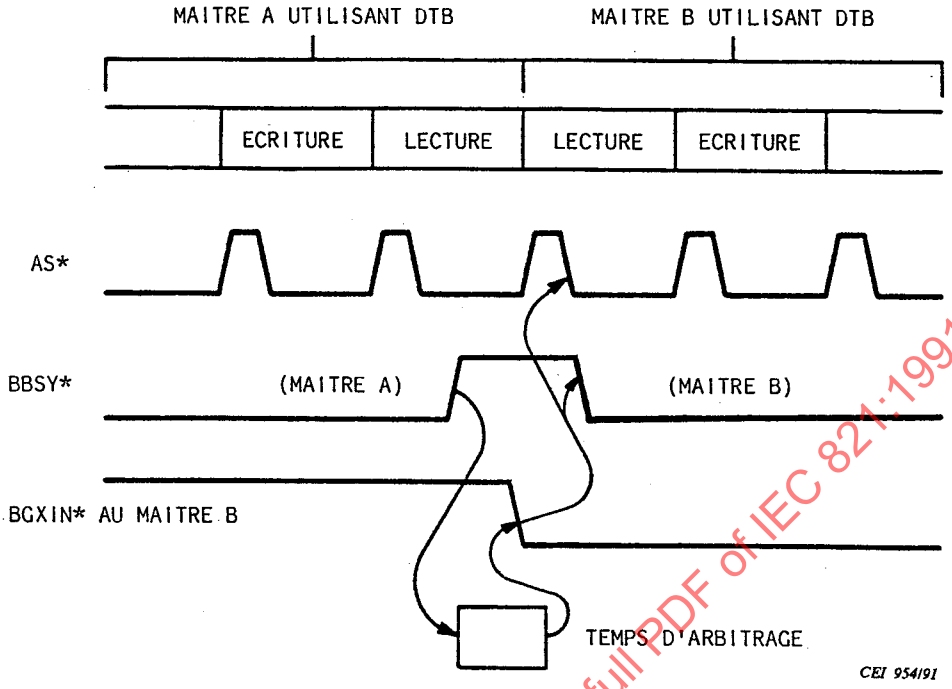
In Example 1, MASTER A, partway into its last transfer, indicates that it no longer needs the DTB. It does this by having its REQUESTER release BBSY*. Since MASTER A gives this early notice that the DTB will soon be available, the arbitration is done during the last data transfer. The arbitration is completed and MASTER B is granted permission to use the DTB before MASTER A has finished its cycle, but it waits until MASTER A releases AS*. This assures that MASTER B will not start driving the DTB before MASTER A has finished with its last data transfer.

In Example 2, MASTER A waits until after its last transfer; i.e., after AS* is released, before releasing BBSY*. In this case the DTB is idle while the arbitration is done. MASTER B is then granted the bus and, since AS* is already high, it begins using the DTB immediately.

RULE 2.20:
Once a MASTER'S REQUESTER releases BBSY* to high, the MASTER MUST NOT drive AS* from high to low; i.e. it MUST NOT begin a new cycle, until its REQUESTER receives a new bus grant.

IECNORM.COM : Click to view the full PDF of IEC 821:1994

Exemple 1: arbitrage PENDANT le dernier transfert de données



Exemple 2: arbitrage APRES le dernier transfert de données

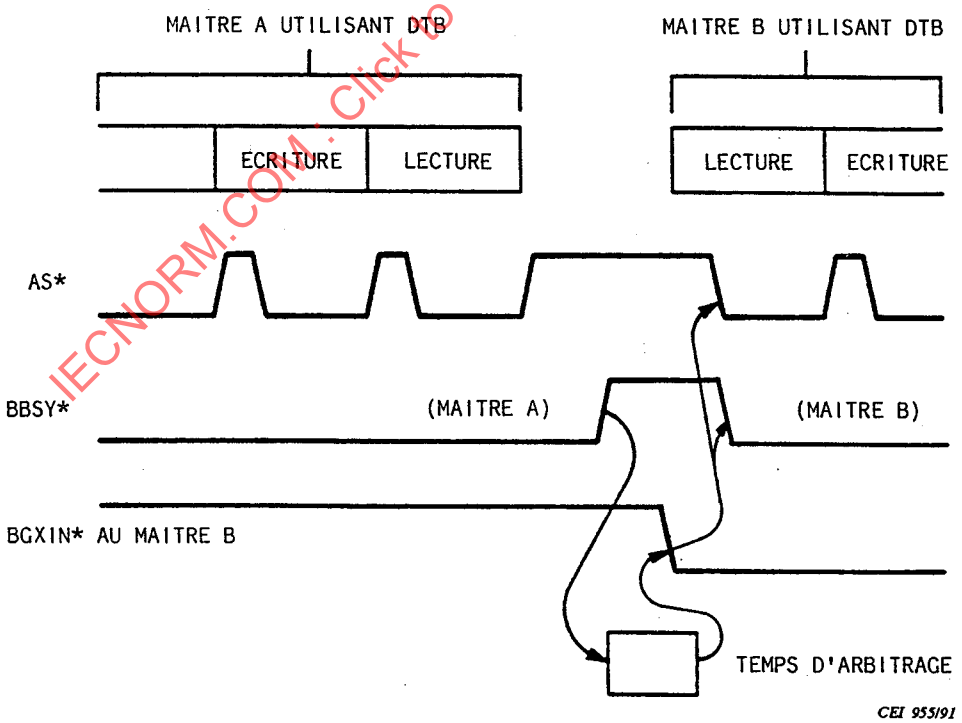
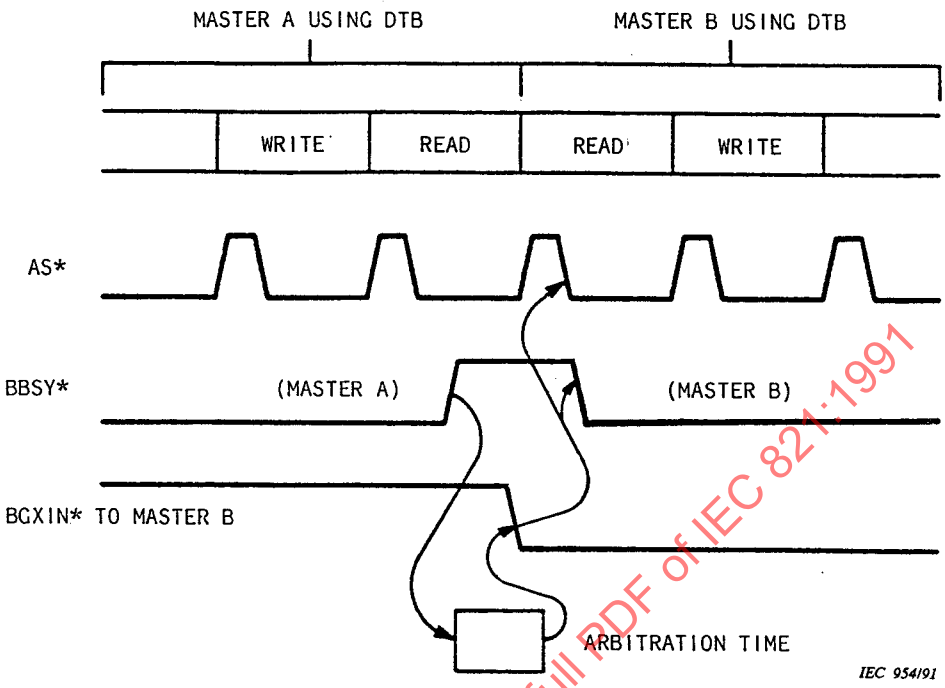


FIG. 2-11. - Séquence d'échange du bus de transfert de données du MAITRE.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Example 1: Arbitration DURING the last data transfer



Example 2: Arbitration AFTER the last data transfer

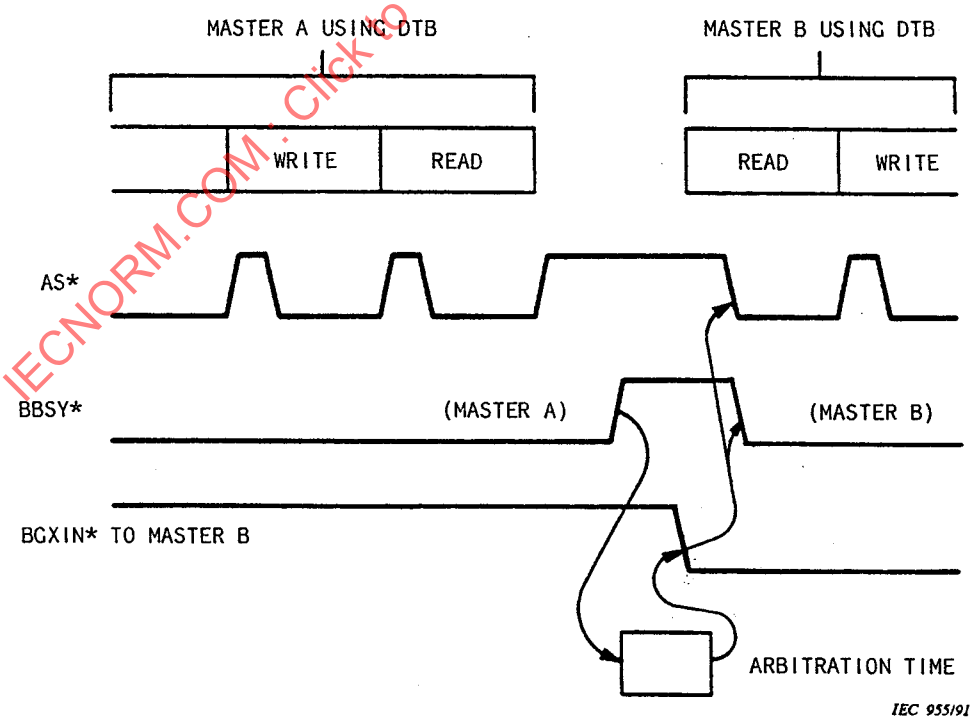


FIG. 2-11. - Data Transfer Bus MASTER exchange sequence.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.6 *Règles et observations de séquencement du DTB*

Cette section décrit les REGLES et OBSERVATIONS de séquencement qui gèrent le comportement des MAITRES et ESCLAVES. Ces informations de chronologie sont données sous la forme de figures et de tableaux:

Le tableau 2-17 fait référence à un tableau et à des chronogrammes qui spécifient le fonctionnement du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES.

Le tableau 2-18 définit les différents mnémoniques utilisés dans cette section.

Les tableaux 2-19 à 2-21 spécifient l'utilisation des signaux du DTB.

Les tableaux 2-22 à 2-27 spécifient les paramètres de temps du DTB. (Les numéros de référence utilisés dans les tableaux 2-24 à 2-27 correspondent aux numéros des paramètres de temps dans les tableaux 2-22 et 2-23.)

Les figures 2-12 à 2-15, pages 164 à 170, spécifient les REGLES et les OBSERVATIONS de chronologie durant la diffusion d'adresse.

Les figures 2-16 à 2-21, pages 172 à 190, spécifient les REGLES et les OBSERVATIONS de chronologie des MAITRES, des ESCLAVES et des DETECTEURS D'ACCES pendant le transfert de données.

Les figures 2-22 à 2-24, pages 192 à 196, spécifient les REGLES et les OBSERVATIONS de chronologie des MAITRES et des ESCLAVES entre les cycles DTB.

La figure 2-25, page 198, présente le chronogramme du MAITRE, de l'ESCLAVE et du LIMITEUR DE TEMPS D'OCCUPATION DU BUS pour un cycle de dépassement de temps d'occupation du bus.

La figure 2-26, page 200, présente la chronologie du transfert du contrôle du DTB.

Afin de satisfaire aux REGLES de chronologie spécifiées, les concepteurs doivent tenir compte des cas les plus défavorables de délais de propagation des émetteurs et récepteurs du bus utilisés sur leurs cartes de BUS CEI 821. Le délai de propagation des émetteurs dépend de leur charge de sortie et les spécifications des fabricants ne donnent pas toujours assez d'informations pour calculer les délais de propagation avec différentes charges. Pour aider le concepteur de la carte de BUS CEI 821, quelques suggestions sont données dans le chapitre 6.

Les OBSERVATIONS spécifient la chronologie des transitions des signaux d'entrée. Cette chronologie peut servir de référence tant que les REGLES de charge du fond de panier spécifiées dans le chapitre 6 ne sont pas violées. Les REGLES pour les adaptateurs de bus du chapitre 6 garantissent que les paramètres de temps des lignes de signal qui sont libérées après avoir été commandées sont respectés.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

2.6 *DTB timing rules and observations*

This section describes the timing RULES and OBSERVATIONS that govern the behavior of MASTERS and SLAVES. This timing information is in the form of figures and tables:

Table 2-17 lists a timing table and timing diagrams that specify MASTER, SLAVE and LOCATION MONITOR operation.

Table 2-18 defines the various mnemonics that are used in this section.

Tables 2-19 through 2-21 specify the use of the DTB signals.

Tables 2-22 through 2-27 specify the timing parameters of the DTB. (The reference numbers used in Tables 2-24 through 2-27 correspond to the timing parameter numbers in Tables 2-22 and 2-23.)

Figures 2-12 through 2-15, pages 165 to 171, specify the timing RULES and OBSERVATIONS during address broadcasting time.

Figures 2-16 through 2-21, pages 173 to 191, specify the timing RULES and OBSERVATIONS for MASTERS, SLAVES, and LOCATION MONITORS during data transfer time.

Figures 2-22 through 2-24, pages 193 to 197, specify the timing RULES and OBSERVATIONS for MASTERS and SLAVES between DTB cycles.

Figure 2-25, page 199, is the timing diagram for the MASTER, SLAVE and the BUS TIMER during a timed-out cycle.

Figure 2-26, page 201, shows the timing during the mastership transfer of the DTB.

In order to meet the specified timing RULES, board designers need to take into account the worst case propagation delays of the bus drivers and receivers used on their IEC 821 BUS boards. The propagation delay of the drivers depends on their output loads and manufacturers' specifications do not always give enough information to calculate the propagation delays under various loads. To help the IEC 821 BUS board designer, some suggestions are offered in Chapter 6.

The OBSERVATIONS specify the timing of incoming lines signal transitions. These times can be relied upon as long as the backplane loading RULES in Chapter 6 are not violated. The RULES for the bus terminators in Chapter 6 guarantee that the timing parameters for signal lines that are released after they have been driven, are met.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Généralement, pour chaque REGLE de chronologie, il y a une OBSERVATION correspondante. Cependant, le temps qui est garanti par l'OBSERVATION pourrait différer du temps spécifié par la REGLE. Par exemple, une analyse attentive des chronogrammes indique que le MAITRE est contraint d'assurer 35 ns de temps d'établissement des adresses et des données, mais l'ESCLAVE n'est garanti que de 10 ns. Cela est dû au fait que les émetteurs d'adresse et de donnée du bus ne peuvent pas toujours commander complètement les lignes de signaux du fond de panier du niveau bas au niveau haut à travers le seuil avant que la transition ne soit réfléchie à l'extrémité du fond de panier. Le front descendant de validation d'adresse et de donnée, cependant, traverse généralement le seuil de 0,8 V sans qu'une réflexion ne le perturbe. Le temps d'établissement qui résulte sur l'ESCLAVE est le temps d'établissement du MAITRE moins deux temps de propagation du bus.

Une notation spéciale a été utilisée pour décrire la chronologie de la validation de donnée. DS0* et DS1* n'auront pas toujours leurs transitions simultanées. Pour ces chronogrammes, DSA* représente la première validation de donnée à avoir une transition, que ce soit DS0* ou DS1*, et DSB* la seconde. La ligne pointillée montre que lorsque les signaux de validation de donnée sont stables, la première validation de donnée à transition descendante n'est pas forcément la première à exécuter la transition montante, c'est-à-dire DSA* peut représenter DS0* sur le front descendant et DS1* sur le front montant.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Typically, for each timing RULE there is a corresponding OBSERVATION. However, the time that is guaranteed in the OBSERVATION might differ from the time specified by the RULE. For example, a careful inspection of the timing diagrams shows that the MASTER is required to provide 35 ns of address and data set-up time, but the SLAVE is only guaranteed 10 ns. This is because the address and data bus drivers are not always able to drive the backplane's signal lines completely through the threshold region from low to high until the transition propagates to the end of the backplane and is reflected back. The falling edge of the address and data strobes, however, typically cross the 0.8 V threshold without being disturbed by reflection. The resulting set-up time at the SLAVE is the MASTER'S set-up time less two bus propagation times.

A special notation has been used to describe the data strobe timing. DS0* and DS1* will not always make their transitions simultaneously. For purposes of these timing diagrams, DSA* represents the first data strobe to make its transition, whether that is DS0* or DS1*. DSB* represents the second data strobe to make a transition, whether that is DS1* or DS0*. The broken line shown while the data strobes are stable is to indicate that the first data strobe to make a falling transition might not be the first to make its rising transition, i.e. DSA* can represent DS0* on its falling edge and DS1* on its rising edge.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-17

Chronogrammes qui définissent le fonctionnement du MAITRE, *de l'*ESCLAVE *et du* DETECTEUR D'ACCES

(Voir tableau 2-22 pour les valeurs de temps)

Mnémonique	Type de cycles	Chronogrammes de diffusion d'adresse	Chronogrammes de transfert de données
AD0	UNIQUEMENT D'ADRESSAGE	Figure 2-12	N/A
D08(EO)	Transferts d'octet unique pair		
	LECTURE OCTET(0)	Figures 2-12, 2-13	Figure 2-16
	LECTURE OCTET(2)	Figures 2-12, 2-13	Figure 2-16
	ECRITURE OCTET(0)	Figures 2-12, 2-13	Figure 2-18
	ECRITURE OCTET(2)	Figures 2-12, 2-13	Figure 2-18
D08(EO) ou D08(O)	Transferts d'octet unique impair		
	LECTURE OCTET(1)	Figures 2-12, 2-13	Figure 2-16
	LECTURE OCTET(3)	Figures 2-12, 2-13	Figure 2-16
	ECRITURE OCTET(1)	Figures 2-12, 2-13	Figure 2-18
	ECRITURE OCTET(3)	Figures 2-12, 2-13	Figure 2-18
D16	Transferts de deux octets		
	LECTURE OCTETS(0-1)	Figures 2-12, 2-13	Figure 2-17
	LECTURE OCTETS(2-3)	Figures 2-12, 2-13	Figure 2-17
	ECRITURE OCTETS(0-1)	Figures 2-12, 2-13	Figure 2-19
	ECRITURE OCTETS(2-3)	Figures 2-12, 2-13	Figure 2-19
D32	Transferts de quatre octets		
	LECTURE OCTETS(0-3)	Figures 2-12, 2-13	Figure 2-17
	ECRITURE OCTETS(0-3)	Figures 2-12, 2-13	Figure 2-19
D08(EO):BLT	Transferts de blocs par octet		
	LECTURE DE BLOCS PAR OCTET	Figures 2-13, 2-14	Figure 2-16
	ECRITURE DE BLOCS PAR OCTET	Figures 2-13, 2-14	Figure 2-18
D16:BLT	Transferts de blocs par double octet		
	LECTURE DE BLOCS PAR DOUBLE OCTET	Figures 2-13, 2-14	Figure 2-17
	ECRITURE DE BLOCS PAR DOUBLE OCTET	Figures 2-13, 2-14	Figure 2-19
D32:BLT	Transferts de blocs par quadruple octet		
	LECTURE DE BLOCS PAR QUADRUPLE OCTET	Figures 2-13, 2-14	Figure 2-17
	ECRITURE DE BLOCS PAR QUADRUPLE OCTET	Figures 2-13, 2-14	Figure 2-19
D08(EO):RMW	Transferts RMW pour octet unique		
	LECTURE-MODIFICATION-ECRITURE OCTET(0)	Figures 2-13, 2-15	Figure 2-20
	LECTURE-MODIFICATION-ECRITURE OCTET(1)	Figures 2-13, 2-15	Figure 2-20
	LECTURE-MODIFICATION-ECRITURE OCTET(2)	Figures 2-13, 2-15	Figure 2-20
	LECTURE-MODIFICATION-ECRITURE OCTET(3)	Figures 2-13, 2-15	Figure 2-20
D16:RMW	Transferts RMW pour double octet		
	LECTURE-MODIFICATION-ECRITURE OCTET(0-1)	Figures 2-13, 2-15	Figure 2-21
	LECTURE-MODIFICATION-ECRITURE OCTET(2-3)	Figures 2-13, 2-15	Figure 2-21
D32:RMW	Transferts RMW pour quadruple octet		
	LECTURE-MODIFICATION-ECRITURE OCTET(0-3)	Figures 2-13, 2-15	Figure 2-21
D32:UAT	Transferts non alignés		
	LECTURE OCTET(0-2)	Figures 2-12, 2-13	Figure 2-16
	LECTURE OCTET(1-3)	Figures 2-12, 2-13	Figure 2-16
	LECTURE OCTET(1-2)	Figures 2-12, 2-13	Figure 2-17
	ECRITURE OCTET(0-2)	Figures 2-12, 2-13	Figure 2-18
	ECRITURE OCTET(1-3)	Figures 2-12, 2-13	Figure 2-18
	ECRITURE OCTET(1-2)	Figures 2-12, 2-13	Figure 2-19

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-17

Timing diagrams that define MASTER, SLAVE *and* LOCATION MONITOR *operation*

(See Table 2-22 for timing values)

Mnemonic	Type of cycles	Address broadcast timing diagrams	Data transfer timing diagrams
ADO	ADDRESS ONLY	Figure 2-12	N/A
D08(EO)	Single even byte transfers		
	BYTE(0) READ	Figures 2-12, 2-13	Figure 2-16
	BYTE(2) READ	Figures 2-12, 2-13	Figure 2-16
	BYTE(0) WRITE	Figures 2-12, 2-13	Figure 2-18
	BYTE(2) WRITE	Figures 2-12, 2-13	Figure 2-18
D08(EO) or D08(O)	Single odd byte transfers		
	BYTE(1) READ	Figures 2-12, 2-13	Figure 2-16
	BYTE(3) READ	Figures 2-12, 2-13	Figure 2-16
	BYTE(1) WRITE	Figures 2-12, 2-13	Figure 2-18
	BYTE(3) WRITE	Figures 2-12, 2-13	Figure 2-18
D16	Double byte transfers		
	BYTE(0-1) READ	Figures 2-12, 2-13	Figure 2-17
	BYTE(2-3) READ	Figures 2-12, 2-13	Figure 2-17
	BYTE(0-1) WRITE	Figures 2-12, 2-13	Figure 2-19
	BYTE(2-3) WRITE	Figures 2-12, 2-13	Figure 2-19
D32	Quad byte transfers		
	BYTE(0-3) READ	Figures 2-12, 2-13	Figure 2-17
	BYTE(0-3) WRITE	Figures 2-12, 2-13	Figure 2-19
D08(EO):BLT	Single byte block transfers		
	SINGLE BYTE BLOCK READ	Figures 2-13, 2-14	Figure 2-16
	SINGLE BYTE BLOCK WRITE	Figures 2-13, 2-14	Figure 2-18
D16:BLT	Double byte block transfers		
	DOUBLE BYTE BLOCK READ	Figures 2-13, 2-14	Figure 2-17
	DOUBLE BYTE BLOCK WRITE	Figures 2-13, 2-14	Figure 2-19
D32:BLT	Quad byte block transfers		
	QUAD BYTE BLOCK READ	Figures 2-13, 2-14	Figure 2-17
	QUAD BYTE BLOCK WRITE	Figures 2-13, 2-14	Figure 2-19
D08(EO):RMW	Single byte RMW transfers		
	BYTE(0) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-20
	BYTE(1) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-20
	BYTE(2) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-20
	BYTE(3) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-20
D16:RMW	Double byte RMW transfers		
	BYTE(0-1) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-21
	BYTE(2-3) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-21
D32:RMW	Quad byte RMW transfers		
	BYTE(0-3) READ-MODIFY-WRITE	Figures 2-13, 2-15	Figure 2-21
D32:UAT	Unaligned transfers		
	BYTE(0-2) READ	Figures 2-12, 2-13	Figure 2-16
	BYTE(1-3) READ	Figures 2-12, 2-13	Figure 2-16
	BYTE(1-2) READ	Figures 2-12, 2-13	Figure 2-17
	BYTE(0-2) WRITE	Figures 2-12, 2-13	Figure 2-18
	BYTE(1-3) WRITE	Figures 2-12, 2-13	Figure 2-18
	BYTE(1-2) WRITE	Figures 2-12, 2-13	Figure 2-19

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Les tableaux 2-19, 2-20 et 2-21 montrent comment les différentes lignes de signal du DTB sont utilisées pour diffuser les adresses et pour transférer les données. Ces tableaux sont référencés par les différents chronogrammes qui les suivent. Pour garder ces tableaux compacts, des mnémoniques sont utilisés pour décrire quand et comment les différentes lignes sont commandées. Ces mnémoniques sont définis dans le tableau 2-18.

Tableau 2-18

Définitions des mnémoniques utilisés dans les tableaux 2-19, 2-20 et 2-21

Mnémonique	Description	Commentaires
DVBM	COMMANDEES VALIDES PAR LE MAITRE	REGLE 2.21: Le MAITRE DOIT commander les lignes DVBM à un niveau valide
DLBM	COMMANDEES AU NIVEAU BAS PAR LE MAITRE	REGLE 2.22: Le MAITRE DOIT commander les lignes DLBM à un niveau bas
DHBM	COMMANDEES AU NIVEAU BAS PAR LE MAITRE	REGLE 2.23: Le MAITRE DOIT commander les lignes DHBM à un niveau haut
dhbm?	COMMANDEES AU NIVEAU HAUT PAR LE MAITRE?	AUTORISATION 2.10: Le MAITRE PEUT commander les lignes dhbm? à un niveau haut. REGLE 2.24: Le MAITRE NE DOIT PAS commander les lignes dhbm? au niveau bas
dxbm?	COMMANDEES PAR LE MAITRE?	AUTORISATION 2.11: Le MAITRE PEUT commander les lignes dxbm? ou il PEUT laisser ces lignes non activées. (Lorsque les lignes dxbm? sont commandées, elles ne transportent pas d'information valide.)
DVBS	COMMANDEES VALIDES PAR L'ESCLAVE	REGLE 2.25: L'ESCLAVE DOIT commander les lignes DVBS à un niveau valide
dxbs?	COMMANDEES PAR L'ESCLAVE?	AUTORISATION 2.12: L'ESCLAVE DOIT commander les lignes dxbs? ou il PEUT laisser ces lignes non activées. (Lorsque les lignes dxbs? sont commandées, elles ne transportent pas d'information valide.)
DVBB	COMMANDEES VALIDES PAR L'ESCLAVE ET PAR LE MAITRE	REGLE 2.26: Pendant la partie "lecture" du cycle lecture-modification-écriture, l'ESCLAVE DOIT commander ces lignes DVBB avec des données valides. Pendant la partie "écriture" du cycle lecture-modification-écriture, le MAITRE DOIT commander ces lignes DVBB avec des données valides
dxbb?	COMMANDEES VALIDES PAR L'ESCLAVE ET PAR LE MAITRE?	AUTORISATION 2.13: Pendant la partie "lecture" du cycle lecture-modification-écriture, l'ESCLAVE PEUT commander ces lignes dxbb? ou il PEUT laisser ces lignes non commandées. Pendant la partie "écriture" du cycle lecture-modification-écriture, le MAITRE PEUT commander les lignes dxbb? ou il PEUT laisser ces lignes non commandées. (Lorsque les lignes dxbb? sont commandées, elles ne transportent pas d'information valide.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tables 2-19, 2-20 and 2-21 show how the various signal lines of the DTB are used to broadcast addresses and to transfer data. These tables are referenced by the various timing diagrams that follow. In order to keep these tables compact, mnemonics are used to describe when and how the various lines are driven. These mnemonics are defined in Table 2-18.

Table 2-18

Definitions of mnemonics used in Tables 2-19, 2-20 and 2-21

Mnemonic	Description	Comments
DVBM	DRIVEN VALID BY MASTER	RULE 2.21: The MASTER MUST drive DVBM lines to a valid level
DLBM	DRIVEN LOW BY MASTER	RULE 2.22: The MASTER MUST drive DLBM lines to a low level
DHBM	DRIVEN HIGH BY MASTER	RULE 2.23: The MASTER MUST drive DHBM lines to a high level
dhbm?	DRIVEN HIGH BY MASTER?	PERMISSION 2.10: The MASTER MAY drive dhbm? lines high. RULE 2.24: The MASTER MUST NOT drive dhbm? lines low
dxbm?	DRIVEN BY MASTER?	PERMISSION 2.11: The MASTER MAY drive dxbm? lines, or it MAY leave these lines undriven. (When dxbm? lines are driven, they carry no valid information.)
DVBS	DRIVEN VALID BY SLAVE	RULE 2.25: The SLAVE MUST drive DVBS lines to a valid level
dxbs?	DRIVEN BY SLAVE	PERMISSION 2.12: The SLAVE MAY drive dxbs? lines, or it MAY leave these lines undriven. (When dxbs? lines are driven, they carry no valid information.)
DVBB	DRIVEN VALID BY BOTH SLAVE AND MASTER	RULE 2.26: During the "read" portion of a read-modify-write cycle, the SLAVE MUST drive DVBB lines with valid data. During the "write" portion of a read-modify-write cycle. the MASTER MUST drive DVBB lines with valid data
dxbb?	DRIVEN BY BOTH SLAVE AND MASTER?	PERMISSION 2.13: During the "read" portion of a read-modify-write cycle, the SLAVE MAY drive dxbb? lines, or it MAY leave them undriven. During the "write" portion of a read-modify-write cycle, the MASTER MAY drive dxbb? lines, or it MAY leave them undriven. (When dxbb? lines are driven, they carry no valid information.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-19

Utilisation des lignes d'adressage pour sélectionner un groupe de 4 octets

Mnémonique	Mode d'adressage	A02-A15 (Voir note ci-dessous)	A16-A23	A24-A31	IACK*
A16	COURT	DVBM	dxbm?	dxbm?	dhbm?
A24	STANDARD	DVBM	DVBM	dxbm?	dhbm?
A32	ETENDU	DVBM	DVBM	DVBM	dhbm?

Note:

A01 est utilisé conjointement avec LWORD* et les deux signaux de validation de donnée pour sélectionner lequel des quatre octets dans le groupe de 4 octets doit être accédé (voir tableau 2-20).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-19

Use of the address lines to select a 4-byte group

Mnemonic	Addressing mode	A02-A15 (See note below)	A16-A23	A24-A31	IACK*
A16	SHORT	DVBM	dxbm?	dxbm?	dhbm?
A24	STANDARD	DVBM	DVBM	dxbm?	dhbm?
A32	EXTENDED	DVBM	DVBM	DVBM	dhbm?

Note:

A01 is used in conjunction with LWORD* and the two data strobes to select which of the four bytes within the 4-byte group is accessed (see Table 2-20).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-20

Utilisation de DS1*, DS0*, A01 *et* LWORD*
pendant les différents cycles

Mnémonique	Type de cycles	DS1*	DS0*	A01	LWORD*
AD0	UNIQUEMENT D'ADRESSAGE	dhbm?	dhbm?	dxbm?	dxbm?
D08(EO)	Transferts d'octet unique pair				
	LECTURE ou ECRITURE OCTET(0)	DLBM	dhbm?	DLBM	dhbm?
	LECTURE ou ECRITURE OCTET(2)	DLBM	dhbm?	DHBM	dhbm?
D08(EO) ou D08(O)	Transferts d'octet unique impair				
	LECTURE ou ECRITURE OCTET(1)	dhbm?	DLBM	DLBM	dhbm?
	LECTURE ou ECRITURE OCTET(3)	dhbm?	DLBM	DHBM	dhbm?
D16	Transferts double octet				
	LECTURE ou ECRITURE OCTET(0-1)	DLBM	DLBM	DLBM	dhbm?
	LECTURE ou ECRITURE OCTET(2-3)	DLBM	DLBM	DHBM	dhbm?
D32	Transferts quadruple octet				
	LECTURE ou ECRITURE OCTET(0-3)	DLBM	DLBM	DLBM	DLBM
D08(EO):BLT	Transferts de blocs par octet				
	LECTURE ou ECRITURE DE BLOCS PAR OCTET	Note 1			dhbm?
D16:BLT	Transferts de blocs par double octet				
	LECTURE ou ECRITURE DE BLOCS PAR DOUBLE OCTET	DLBM	DLBM	Note 2	dhbm?
D32:BLT	Transferts de blocs par quadruple octet				
	LECTURE ou ECRITURE DE BLOCS PAR QUADRUPLE OCTET	DLBM	DLBM	DLBM	DLBM
D08(EO):RMW	Transferts RMW pour octet unique				
	LECTURE-MODIFICATION-ECRITURE OCTET(0)	DLBM	dhbm?	DLBM	dhbm?
	LECTURE-MODIFICATION-ECRITURE OCTET(1)	dhbm?	DLBM	DLBM	dhbm?
	LECTURE-MODIFICATION-ECRITURE OCTET(2)	DLBM	dhbm?	DHBM	dhbm?
	LECTURE-MODIFICATION-ECRITURE OCTET(3)	dhbm?	DLBM	DHBM	dhbm?
D16:RMW	Transferts RMW pour double octet				
	LECTURE-MODIFICATION-ECRITURE OCTET(0-1)	DLBM	DLBM	DLBM	dhbm?
	LECTURE-MODIFICATION-ECRITURE OCTET(2-3)	DLBM	DLBM	DHBM	dhbm?
D32:RMW	Transferts RMW pour quadruple octet				
	LECTURE-MODIFICATION-ECRITURE OCTET(0-3)	DLBM	DLBM	DLBM	DLBM
D32:UAT	Transfert non alignés				
	LECTURE ou ECRITURE OCTET(0-2)	DLBM	dhbm?	DLBM	DLBM
	LECTURE ou ECRITURE OCTET(1-3)	dhbm?	DLBM	DLBM	DLBM
	LECTURE ou ECRITURE OCTET(1-2)	DLBM	DLBM	DHBM	DLBM

Notes:

1.- Pendant les transferts de blocs par octet, les deux signaux de validation de données sont commandés alternativement au niveau bas. N'importe lequel des deux signaux peut être commandé au niveau bas pendant le premier transfert. Si l'emplacement du premier octet accédé est l'OCTET(0) ou l'OCTET(2), alors le MAITRE commande au début DS1* au niveau bas. Si l'emplacement du premier octet accédé est l'OCTET(1) ou l'OCTET(3),

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-20

Use of DS1*, DS0*, A01, *and* LWORD* *during the various cycles*

Mnemonic	Type of cycles	DS1*	DS0*	A01	LWORD*
AD0	ADDRESS ONLY	dhbm?	dhbm?	dxbm?	dxbm?
D08(EO)	Single even byte transfers				
	BYTE(0) READ or WRITE	DLBM	dhbm?	DLBM	dhbm?
	BYTE(2) READ or WRITE	DLBM	dhbm?	DHBM	dhbm?
D08(EO) or D08(O)	Single odd byte transfers				
	BYTE(1) READ or WRITE	dhbm?	DLBM	DLBM	dhbm?
	BYTE(3) READ or WRITE	dhbm?	DLBM	DHBM	dhbm?
D16	Double byte transfers				
	BYTE(0-1) READ or WRITE	DLBM	DLBM	DLBM	dhbm?
	BYTE(2-3) READ or WRITE	DLBM	DLBM	DHBM	dhbm?
D32	Quad byte transfers				
	BYTE(0-3) READ or WRITE	DLBM	DLBM	DLBM	DLBM
D08(EO):BLT	Single byte block transfers				
	SINGLE BYTE BLOCK READ or WRITE	Note 1			dhbm?
D16:BLT	Double byte block transfers				
	DOUBLE BYTE BLOCK READ or WRITE	DLBM	DLBM	Note 2	dhbm?
D32:BLT	Quad byte block transfers				
	QUAD BYTE BLOCK READ or WRITE	DLBM	DLBM	DLBM	DLBM
D08(EO):RMW	Single byte RMW transfers				
	BYTE(0) READ-MODIFY-WRITE	DLBM	dhbm?	DLBM	dhbm?
	BYTE(1) READ-MODIFY-WRITE	dhbm?	DLBM	DLBM	dhbm?
	BYTE(2) READ-MODIFY-WRITE	DLBM	dhbm?	DHBM	dhbm?
	BYTE(3) READ-MODIFY-WRITE	dhbm?	DLBM	DHBM	dhbm?
D16:RMW	Double byte RMW transfers				
	BYTE(0-1) READ-MODIFY-WRITE	DLBM	DLBM	DLBM	dhbm?
	BYTE(2-3) READ-MODIFY-WRITE	DLBM	DLBM	DHBM	dhbm?
D32:RMW	Quad byte RMW transfers				
	BYTE(0-3) READ-MODIFY-WRITE	DLBM	DLBM	DLBM	DLBM
D32:UAT	Unaligned transfers				
	BYTE(0-2) READ or WRITE	DLBM	dhbm?	DLBM	DLBM
	BYTE(1-3) READ or WRITE	dhbm?	DLBM	DLBM	DLBM
	BYTE(1-2) READ or WRITE	DLBM	DLBM	DHBM	DLBM

Notes:

1.- During single byte block transfers, the two data strobes are alternately driven low. Either data strobe might be driven low on the first transfer. If the first accessed byte location is BYTE(0) or BYTE(2), then the MASTER drives DS1* to low first. If the first accessed byte location is BYTE(1) or BYTE(3), then it drives DS0* to low first. A01 is valid only on the first data transfer (i.e. until the SLAVE drives DTACK* or

IECNORM.COM : Click to view the full PDF of IEC 821:1990

Tableau 2-20 (suite)

alors il commande au début DS0* au niveau bas. A01 est valide seulement pendant le premier transfert de données (c'est-à-dire jusqu'à ce que l'ESCLAVE commande DTACK* ou BERR* au niveau bas pour la première fois) et peut être après au niveau bas ou haut dépendant de l'octet avec lequel a commencé le transfert de blocs par octets. Si l'emplacement du premier octet est l'OCTET(0) ou l'OCTET(1), alors le MAITRE commande A01 au niveau bas. Si l'emplacement du premier octet est l'OCTET(2) ou l'OCTET(3), alors le MAITRE commande A01 au niveau haut.

Un exemple d'utilisation de DS0*, DS1*, A01 et LWORD* pendant le cycle de transfert de bloc par octet commençant avec l'OCTET(2) est donné ci-dessous:

	DS1*	DS0*	A01	LWORD*
Premier transfert de données OCTET(2)	DLBM	DHBM	DHBM	dhbm?
OCTET(3)	DHBM	DLBM	dxbm?	dxbm?
OCTET(0)	DLBM	DHBM	dxbm?	dxbm?
OCTET(1)	DHBM	DLBM	dxbm?	dxbm?
Dernier transfert de données OCTET(2)	DLBM	DHBM	dxbm?	dxbm?

2.- Pendant un transfert de blocs par double octet, A01 est valide seulement pendant le premier transfert de données (c'est-à-dire jusqu'à ce que l'ESCLAVE commande DTACK* ou BERR* au niveau bas pour la première fois), ensuite A01 est commandé au niveau haut ou bas selon le groupe de deux octets avec lequel commence le transfert de deux octets par bloc. Si le premier groupe de deux octets est l'OCTET(0-1), alors le MAITRE commande A01 au niveau bas. Si le premier groupe de deux octets est l'OCTET(2-3), alors le MAITRE commande A01 au niveau haut.

Tableau 2-21

Utilisation des lignes de données pour transférer des données

Mnémonique	Type de cycles	D24-D31	D16-D23	D08-D15	D00-D07
AD0	UNIQUEMENT D'ADRESSAGE	dxbm?	dxbm?	dxbm?	dxbm?
D08(EO)	Transferts d'octet unique pair				
	LECTURE OCTET(0)	dxbs?	dxbs?	DVBS	dxbs?
	LECTURE OCTET(2)	dxbs?	dxbs?	DVBS	dxbs?
	ECRITURE OCTET(0)	dxbm?	dxbm?	DVBM	dxbm?
	ECRITURE OCTET(2)	dxbm?	dxbm?	DVBM	dxbm?
D08(EO)	Transferts d'octet unique impair				
ou	LECTURE OCTET(1)	dxbs?	dxbs?	dxbs?	DVBS
D08(O)	LECTURE OCTET(3)	dxbs?	dxbs?	dxbs?	DVBS
	ECRITURE OCTET(1)	dxbm?	dxbm?	dxbm?	DVBM
	ECRITURE OCTET(3)	dxbm?	dxbm?	dxbm?	DVBM
D16	Transferts double octet				
	LECTURE OCTET(0-1)	dxbs?	dxbs?	DVBS	DVBS
	LECTURE OCTET(2-3)	dxbs?	dxbs?	DVBS	DVBS
	ECRITURE OCTET(0-1)	dxbm?	dxbm?	DVBM	DVBM
	ECRITURE OCTET(2-3)	dxbm?	dxbm?	DVBM	DVBM

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-20 (continued)

BERR* low the first time) and might be either high or low depending upon which byte the single byte block transfer begins with. If the first byte location is BYTE(0) or BYTE(1), then the MASTER drives A01 to low. If the first byte location is BYTE(2) or BYTE(3), then the MASTER drives A01 to high.

An example of the use of DS0*, DS1*, A01, and LWORD* during a single byte block transfer cycle which starts with BYTE(2) is given below:

	DS1*	DS0*	A01	LWORD*
First data transfer BYTE(2)	DLBM	DHBM	DHBM	dhbm?
BYTE(3)	DHBM	DLBM	dxbm?	dxbm?
BYTE(0)	DLBM	DHBM	dxbm?	dxbm?
BYTE(1)	DHBM	DLBM	dxbm?	dxbm?
Last data transfer BYTE(2)	DLBM	DHBM	dxbm?	dxbm?

2.- During a double byte block transfer, A01 is valid only on the first data transfer (i.e. until the SLAVE drives DTACK* or BERR* low the first time) and is driven either high or low depending upon what double byte group the double byte block transfer begins with. If the first double byte group is BYTE(0-1), then the MASTER drives A01 to low. If the first double byte group is BYTE(2-3), then the MASTER drives A01 to high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-21

Use of the data lines to transfer data

Mnemonic	Type of cycles	D24-D31	D16-D23	D08-D15	D00-D07
AD0	ADDRESS ONLY	dxbm?	dxbm?	dxbm?	dxbm?
D08(EO)	Single even byte transfers				
	BYTE(0) READ	dxbs?	dxbs?	DVBS	dxbs?
	BYTE(2) READ	dxbs?	dxbs?	DVBS	dxbs?
	BYTE(0) WRITE	dxbm?	dxbm?	DVBM	dxbm?
	BYTE(2) WRITE	dxbm?	dxbm?	DVBM	dxbm?
D08(EO)	Single odd byte transfers				
	BYTE(1) READ	dxbs?	dxbs?	dxbs?	DVBS
or	BYTE(3) READ	dxbs?	dxbs?	dxbs?	DVBS
D08(O)	BYTE(1) WRITE	dxbm?	dxbm?	dxbm?	DVBM
	BYTE(3) WRITE	dxbm?	dxbm?	dxbm?	DVBM
D16	Double byte transfers				
	BYTE(0-1) READ	dxbs?	dxbs?	DVBS	DVBS
	BYTE(2-3) READ	dxbs?	dxbs?	DVBS	DVBS
	BYTE(0-1) WRITE	dxbm?	dxbm?	DVBM	DVBM
	BYTE(2-3) WRITE	dxbm?	dxbm?	DVBM	DVBM

Tableau 2-21 (suite)

Mnémonique	Type de cycles	D24-D31	D16-D23	D08-D15	D00-D07
D32	Transferts quadruple octet				
	LECTURE OCTET(0-3)	DVBS	DVBS	DVBS	DVBS
	ECRITURE OCTET(0-3)	DVBM	DVBM	DVBM	DVBM
D08(EO):BLT	Transferts de blocs par octet				
	LECTURE DE BLOCS PAR OCTET	dxbs?	dxbs?	Note	
	ECRITURE DE BLOCS PAR OCTET	dxbm?	dxbm?	Note	
D16:BLT	Transferts de blocs par double octet				
	LECTURE DE BLOCS PAR DOUBLE OCTET	dxbs?	dxbs?	DVBS	DVBS
	ECRITURE DE BLOCS PAR DOUBLE OCTET	dxbm?	dxbm?	DVBM	DVBM
D32:BLT	Transferts de blocs par quadruple octet				
	LECTURE DE BLOCS PAR QUADRUPLE OCTET	DVBS	DVBS	DVBS	DVBS
	ECRITURE DE BLOCS PAR QUADRUPLE OCTET	DVBM	DVBM	DVBM	DVBM
D08(EO):RMW	Transferts RMW pour octet unique				
	LECTURE-MODIFICATION-ECRITURE OCTET(0)	dxbb?	dxbb?	DVBB	dxbb?
	LECTURE-MODIFICATION-ECRITURE OCTET(1)	dxbb?	dxbb?	dxbb	DVBB
	LECTURE-MODIFICATION-ECRITURE OCTET(2)	dxbb?	dxbb?	DVBB	dxbb?
	LECTURE-MODIFICATION-ECRITURE OCTET(3)	dxbb?	dxbb?	dxbb	DVBB
D16:RMW	Transferts RMW pour double octet				
	LECTURE-MODIFICATION-ECRITURE OCTET(0-1)	dxbb?	dxbb?	DVBB	DVBB
	LECTURE-MODIFICATION-ECRITURE OCTET(2-3)	dxbb?	dxbb?	DVBB	DVBB
D32:RMW	Transferts RMW pour quadruple octet				
	LECTURE-MODIFICATION-ECRITURE OCTET(0-3)	DVBB	DVBB	DVBB	DVBB
D32:UAT	Transferts non alignés				
	LECTURE OCTET(0-2)	DVBS	DVBS	DVBS	dxbs?
	LECTURE OCTET(1-3)	dxbs?	DVBS	DVBS	DVBS
	LECTURE OCTET(1-2)	dxbs?	DVBS	DVBS	dxbs?
	ECRITURE OCTET(0-2)	DVBM	DVBM	DVBM	dxbm?
	ECRITURE OCTET(1-3)	dxbm?	DVBM	DVBM	DVBM
	ECRITURE OCTET(1-2)	dxbm?	DVBM	DVBM	dxbm?

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:

Pendant les transferts de blocs par octet, les données sont transférées 8 bits à la fois sur les lignes D00-D07 ou D08-D15. Un exemple de lecture de blocs par octet est donné ci-dessous.

	D08-D15	D00-D07
Premier transfert de données	DVBS	dxbs?
	dxbs?	DVBS
	DVBS	dxbs?
	dxbs?	DVBS
	DVBS	dxbs?
	dxbs?	DVBS
Dernier transfert de données	DVBS	dxbs?

Table 2-21 (continued)

Mnemonic	Type of cycles	D24-D31	D16-D23	D08-D15	D00-D07
D32	Quad byte transfers				
	BYTE(0-3) READ	DVBS	DVBS	DVBS	DVBS
	BYTE(0-3) WRITE	DVBM	DVBM	DVBM	DVBM
D08(EO):BLT	Single byte block transfers				
	SINGLE BYTE BLOCK READ	dxbs?	dxbs?	Note	
	SINGLE BYTE BLOCK WRITE	dxbm?	dxbm?	Note	
D16:BLT	Double byte block transfers				
	DOUBLE BYTE BLOCK READ	dxbs?	dxbs?	DVBS	DVBS
	DOUBLE BYTE BLOCK WRITE	dxbm?	dxbm?	DVBM	DVBM
D32:BLT	Quad byte block transfers				
	QUAD BYTE BLOCK READ	DVBS	DVBS	DVBS	DVBS
	QUAD BYTE BLOCK WRITE	DVBM	DVBM	DVBM	DVBM
D08(EO):RMW	Single byte RMW transfers				
	BYTE(0) READ-MODIFY-WRITE	dxbb?	dxbb?	DVBB	dxbb?
	BYTE(1) READ-MODIFY-WRITE	dxbb?	dxbb?	dxbb	DVBB
	BYTE(2) READ-MODIFY-WRITE	dxbb?	dxbb?	DVBB	dxbb?
	BYTE(3) READ-MODIFY-WRITE	dxbb?	dxbb?	dxbb	DVBB
D16:RMW	Double byte RMW transfers				
	BYTE(0-1) READ-MODIFY-WRITE	dxbb?	dxbb?	DVBB	DVBB
	BYTE(2-3) READ-MODIFY-WRITE	dxbb?	dxbb?	DVBB	DVBB
D32:RMW	Quad byte RMW transfers				
	BYTE(0-3) READ-MODIFY-WRITE	DVBB	DVBB	DVBB	DVBB
D32:UAT	Unaligned transfers				
	BYTE(0-2) READ	DVBS	DVBS	DVBS	dxbs?
	BYTE(1-3) READ	dxbs?	DVBS	DVBS	DVBS
	BYTE(1-2) READ	dxbs?	DVBS	DVBS	dxbs?
	BYTE(0-2) WRITE	DVBM	DVBM	DVBM	dxbm?
	BYTE(1-3) WRITE	dxbm?	DVBM	DVBM	DVBM
	BYTE(1-2) WRITE	dxbm?	DVBM	DVBM	dxbm?

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:

During single byte block transfers, data is transferred 8 bits at a time over D00-D07 or D08-D15. A single byte block read example is given below.

	D08-D15	D00-D07
First data transfer	DVBS	dxbs?
	dxbs?	DVBS
	DVBS	dxbs?
	dxbs?	DVBS
	DVBS	dxbs?
	dxbs?	DVBS
Last data transfer	DVBS	dxbs?

Tableau 2-22

Paramètres de temps des chronogrammes du MAITRE, *de l'*ESCLAVE *et du* DETECTEUR D'ACCES

NUMERO DU PARAMETRE	MAITRE Voir aussi tableau 2-24		ESCLAVE Voir aussi tableau 2-25		DETECTEUR D'ACCES Voir aussi tableau 2-26	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
1	0	–	–	–	–	–
2	0	–	–	–	–	–
3	60	–	–	–	–	–
4	35	–	10	–	10	–
5	40	–	30	–	30	–
6	0	–	0	–	–	–
7	0	–	0	–	–	–
8	35	–	10	–	–	–
9	0	–	0	–	–	–
10	0	–	-10	–	-10	–
11	40	–	30	–	30	–
12	35	–	10	–	10	–
13	–	10	–	20	–	20
14	0	–	0	–	–	–
15	0	–	0	–	–	–
16	0	–	0	–	–	–
17	40	–	30	–	30	–
18	0	–	0	–	–	–
19	40	–	30	–	30	–
20	0	–	0	–	–	–
21	0	–	0	–	–	–
22	0	–	0	–	–	–
23	10	–	0	–	0	–
24A	0	–	–	–	–	–
24B	0	–	–	–	–	–
25	–	25	–	–	–	–
26	0	–	0	–	–	–
27	-25	–	0	–	–	–
28	30	2T	30	–	–	–
29	0	–	0	–	–	–
30	0	–	0	–	–	–
31	0	–	0	–	–	–
32	–	–	10	–	10	–
33	–	–	30	–	30	–

Notes:

1.- Tous les temps sont en nanosecondes.

2.- T = valeur du temps maximal d'occupation du bus, en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-23

Paramètres de temps du chronogramme du LIMITEUR DE TEMPS D'OCCUPATION DU BUS

(voir aussi tableau 2-27)

NUMERO DU PARAMETRE	MAITRE	
	MIN.	MAX.
28	T	2T
30	0	–

Note:

T = valeur du temps maximal d'occupation du bus, en microsecondes.

Table 2-22

MASTER, SLAVE, *and*
LOCATION MONITOR *timing parameters*

PARAMETER NUMBER	MASTER See also Table 2-24		SLAVE See also Table 2-25		LOCATION MONITOR See also Table 2-26	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
1	0	-	-	-	-	-
2	0	-	-	-	-	-
3	60	-	-	-	-	-
4	35	-	10	-	10	-
5	40	-	30	-	30	-
6	0	-	0	-	-	-
7	0	-	0	-	-	-
8	35	-	10	-	-	-
9	0	-	0	-	-	-
10	0	-	-10	-	-10	-
11	40	-	30	-	30	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
14	0	-	0	-	-	-
15	0	-	0	-	-	-
16	0	-	0	-	-	-
17	40	-	30	-	30	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
24A	0	-	-	-	-	-
24B	0	-	-	-	-	-
25	-	25	-	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
32	-	-	10	-	10	-
33	-	-	30	-	30	-

Notes:

1.- All times are in nanoseconds.

2.- T = time-out value, in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-23

BUS TIMER *timing parameters*

(see also Table 2-27)

PARAMETER NUMBER	MASTER	
	MIN.	MAX.
28	T	2T
30	0	-

Note:

T = time-out value, in microseconds.

Tableau 2-24

MAITRE
REGLES et OBSERVATIONS sur la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 2-22.

1. REGLE 2.27:
En prenant le contrôle du BUS CEI 821, le MAITRE NE DOIT commander aucun des signaux IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0*, DS1* ou AS*, avant ce délai après que le MAITRE précédent eut permis à AS* de passer au-dessus du niveau bas.

   OBSERVATION 2.35:
   Le chapitre 3 décrit comment un DEMANDEUR du MAITRE reçoit le contrôle du BUS CEI 821.

2. REGLE 2.28:
En prenant le contrôle du BUS CEI 821, le MAITRE NE DOIT commander aucun des signaux IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0*, DS1* ou AS* avant ce délai après que son DEMANDEUR eut reçu le contrôle du bus.

   OBSERVATION 2.36:
   Le chapitre 3 décrit comment un DEMANDEUR du MAITRE reçoit le contrôle du BUS CEI 821.

3. REGLE 2.29:
En prenant le contrôle du BUS CEI 821, le MAITRE NE DOIT PAS commander AS* au niveau bas avant ce délai après que le MAITRE précédent eut permis à AS* de passer au-dessus du niveau bas.

   OBSERVATION 2.37:
   La REGLE 2.29 assure que le paramètre de temps 5 est garanti pour les ESCLAVES quand il y a un changement du MAITRE du DTB.

4. REGLE 2.30:
Le MAITRE NE DOIT PAS commander AS* au niveau bas avant que IACK* ait été au niveau haut et que les lignes requises parmi A01-A31, AM0-AM5 et LWORD* aient été valides au minimum pendant ce temps.

   OBSERVATION 2.38:
   Le tableau 2-19 spécifie les lignes parmi A01-A31 que le MAITRE doit commander. Le tableau 2-3 spécifie comment il utilise AM0-AM5 et le tableau 2-20 spécifie comment il utilise LWORD*.

5. REGLE 2.31:
Lorsqu'on utilise le DTB pour deux cycles consécutifs, le MAITRE NE DOIT PAS commander AS* au niveau bas si ce signal n'est pas resté au niveau haut au minimum pendant ce temps.

6. REGLE 2.32:
Après un cycle de lecture, le MAITRE NE DOIT commander aucun des signaux D00-D31 avant que les deux signaux DTACK* et BERR* soient au niveau haut.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-24

MASTER
Timing RULES *and* OBSERVATIONS

Note: The numbers correspond to the timing parameters specified in Table 2-22.

1. RULE 2.27:
When taking control of the IEC 821 BUS, the MASTER MUST NOT drive any of IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0*, DS1*, or AS* until after the previous MASTER allows AS* to rise above the low level.

OBSERVATION 2.35:
Chapter 3 describes how a MASTER'S REQUESTER is granted use of the IEC 821 BUS.

2. RULE 2.28:
When taking control of the IEC 821 BUS, the MASTER MUST NOT drive any of IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0*, DS1*, or AS* until after its REQUESTER is granted the bus.

OBSERVATION 2.36:
Chapter 3 describes how a MASTER'S REQUESTER is granted use of the IEC 821 BUS.

3. RULE 2.29:
When taking control of the IEC 821 BUS, the MASTER MUST NOT drive AS* low until this time after the previous MASTER allows AS* to rise above the low level.

OBSERVATION 2.37:
RULE 2.29 ensures that timing parameter 5 for SLAVES is guaranteed when there is an interchange of DTB mastership.

4. RULE 2.30:
The MASTER MUST NOT drive AS* low until IACK* has been high, and the required lines among A01-A31, AM0-AM5, and LWORD* have been valid for this minimum time.

OBSERVATION 2.38:
Tables 2-19 specifies the lines among A01-A31 that the MASTER is required to drive, Table 2-3 specifies how it uses AM0-AM5 and Table 2-20 specifies how it uses LWORD*.

5. RULE 2.31:
When using the DTB for two consecutive cycles, the MASTER MUST NOT drive AS* low until it has been high for this minimum time.

6. RULE 2.32:
After a read cycle, the MASTER MUST NOT drive any of D00-D31 until both DTACK* and BERR* are high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-24 (suite)

7. REGLE 2.33:
Pendant les cycles de lecture, le MAITRE NE DOIT PAS commander DSA* au niveau bas avant d'avoir libéré toutes les lignes D00-D31.

8. REGLE 2.34:
Pendant les cycles d'écriture, le MAITRE NE DOIT PAS commander DSA* au niveau bas avant que les lignes requises parmi D00-D31 aient été valides au minimum pendant ce temps.

OBSERVATION 2.39:
Le tableau 2-21 spécifie les lignes parmi D00-D31 qu'un MAITRE doit commander.

9. REGLE 2.35:
Le MAITRE NE DOIT PAS commander DSA* au niveau bas avant que les deux signaux DTACK* et BERR* soient au niveau haut.

10. REGLE 2.36:
Le MAITRE NE DOIT PAS commander DSA* au niveau bas avant d'avoir commandé AS* au niveau bas.

11. REGLE 2.37:
Le MAITRE NE DOIT PAS commander DSA* au niveau bas avant que DS0* et DS1* aient été simultanément au niveau haut au minimum pendant ce temps.

12. REGLE 2.38:
Le MAITRE NE DOIT PAS commander DSA* au niveau bas avant que WRITE* soit valide au minimum pendant ce temps.

13. REGLE 2.39:
Dans les cycles où le MAITRE commande les deux signaux de validation de donnée au niveau bas, il DOIT commander DSB* au niveau bas dans ce délai maximal après avoir commandé DSA* au niveau bas.

OBSERVATION 2.40:
Le paramètre de temps 13 n'est pas applicable aux transferts où un seul signal parmi DS0* et DS1* est commandé au niveau bas.

14. REGLE 2.40:
Pendant tous les cycles de transfert de données, à l'exception des cycles de lecture-modification-écriture, le MAITRE DOIT maintenir A01-A03 valide et maintenir le niveau approprié sur LWORD* jusqu'à ce qu'il détecte le premier front descendant sur DTACK* ou BERR*.

OBSERVATION 2.41:
Pendant tous les cycles de transfert de données, à l'exception des cycles de transfert par bloc et de lecture-modification-écriture, il y a un seul front descendant de DTACK* ou BERR*.

15. REGLE 2.41:
Pendant les cycles lecture-modification-écriture, le MAITRE DOIT maintenir A01-A03 valide et maintenir le niveau approprié sur LWORD* jusqu'à ce qu'il détecte le deuxième front descendant de DTACK* ou BERR*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-24 (continued)

7. RULE 2.33:
During read cycles, the MASTER MUST NOT drive DSA* low until it has released all of D00-D31.

8. RULE 2.34:
During write cycles, the MASTER MUST NOT drive DSA* low until the required lines among D00-D31 have been valid for this minimum time.

OBSERVATION 2.39:
Table 2-21 specifies the lines among D00-D31 that a MASTER is required to drive.

9. RULE 2.35:
The MASTER MUST NOT drive DSA* low until both DTACK* and BERR* are high.

10. RULE 2.36:
The MASTER MUST NOT drive DSA* low until it has driven AS* low.

11. RULE 2.37:
The MASTER MUST NOT drive DSA* low until DS0* and DS1* have both been simultaneously high for this minimum time.

12. RULE 2.38:
The MASTER MUST NOT drive DSA* low until WRITE* has been valid for this minimum time.

13. RULE 2.39:
During cycles where the MASTER drives both data strobes low, it MUST drive DSB* low within this maximum time after it drives DSA* low.

OBSERVATION 2.40:
Timing parameter 13 does not apply to transfers where only DS0* or only DS1* is driven low.

14. RULE 2.40:
During all data transfer cycles, except read-modify-write cycles, the MASTER MUST hold A01-A03 valid and maintain the appropriate level on LWORD* until it detects the first falling edge on DTACK* or BERR*.

OBSERVATION 2.41:
During all data transfer cycles, except block transfer and read-modify-write cycles, there will be only one falling edge on DTACK* or BERR*.

15. RULE 2.41:
During read-modify-write cycles, the MASTER MUST hold A01-A03 valid and maintain the appropriate level on LWORD* until it detects the second falling edge on DTACK* or BERR*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-24 (suite)

16. REGLE 2.42:
Pendant tous les cycles de transfert de données, le MAITRE DOIT maintenir un code modificateur d'adresse valide et assurer que IACK* soit maintenu au niveau haut jusqu'à ce qu'il détecte le dernier front descendant de DTACK* ou BERR*.

OBSERVATION 2.42:
Pendant tous les cycles de transfert de données, excepté les transferts par bloc et les cycles lecture-modification-écriture, il y aura un seul front descendant de DTACK* ou BERR*.

17. REGLE 2.43:
Le MAITRE NE DOIT PAS changer les niveaux sur IACK*, A01-A31, AM0-AM5 et LWORD* au minimum pendant ce temps après avoir commandé AS* au niveau bas.

18. REGLE 2.44:
Pendant tous les cycles de transfert de données, le MAITRE DOIT maintenir AS* au niveau bas jusqu'à ce qu'il détecte le dernier front descendant sur DTACK* ou BERR*.

19. REGLE 2.45:
Le MAITRE DOIT maintenir AS* au niveau bas au minimum pendant ce temps.

20. REGLE 2.46:
Lorsqu'un MAITRE a commandé DSA* au niveau bas, il DOIT maintenir cette ligne au niveau bas jusqu'à ce qu'il détecte DTACK* ou BERR* au niveau bas.

21. REGLE 2.47:
Lorsqu'un MAITRE a commandé DSB* au niveau bas, il DOIT maintenir cette ligne au niveau bas jusqu'à ce qu'il détecte DTACK* ou BERR* au niveau bas.

22. REGLE 2.48:
Pendant les cycles d'écriture, lorsqu'un MAITRE a commandé DSA* au niveau bas, il NE DOIT changer aucun des signaux sur les lignes D00-D31 avant d'avoir détecté un niveau bas sur DTACK* ou BERR*.

23. REGLE 2.49:
Lorsqu'un MAITRE a commandé DSA* au niveau bas, il NE DOIT PAS changer le niveau sur la ligne WRITE*, avant ce délai minimal après avoir commandé DS0* et DS1* au niveau haut.

24A. REGLE 2.50:
SI le MAITRE commande ou libère AS* au niveau haut après la libération de BBSY* par son DEMANDEUR,
ALORS il DOIT libérer IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0* et DS1* avant de permettre à AS* de passer au-dessus du niveau bas.

OBSERVATION 2.43:
Le chapitre 3 décrit comment un DEMANDEUR d'un MAITRE libère la ligne BBSY*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-24 (continued)

16. RULE 2.42:
During all data transfer cycles, the MASTER MUST maintain a valid address modifier code, and ensure that IACK* stays high until it detects the last falling edge on DTACK* or BERR*.

OBSERVATION 2.42:
During all data transfer cycles, except block transfer and read-modify-write cycles, there will be only one falling edge on DTACK* or BERR*.

17. RULE 2.43:
The MASTER MUST NOT change the levels on IACK*, A01-A31, AM0-AM5 and LWORD* for this minimum time after it drives AS* low.

18. RULE 2.44:
During all data transfer cycles, the MASTER MUST hold AS* low until it detects the last falling edge of DTACK* or BERR*.

19. RULE 2.45:
The MASTER MUST hold AS* low for this minimum time.

20. RULE 2.46:
Once a MASTER has driven DSA* low, it MUST maintain that line low until it detects DTACK* or BERR* low.

21. RULE 2.47:
Once a MASTER has driven DSB* low, it MUST maintain that line low until it detects DTACK* or BERR* low.

22. RULE 2.48:
During write cycles, once the MASTER has driven DSA* low, it MUST not change any of D00-D31 until it detects DTACK* or BERR* low.

23. RULE 2.49:
Once a MASTER has driven DSA* low, it MUST NOT change the level on the WRITE* line, until this minimum time after both DS0* and DS1* are high.

24A. RULE 2.50:
IF the MASTER drives or releases AS* to high after its REQUESTER releases BBSY*,
THEN it MUST release IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0*, and DS1* before allowing AS* to rise above the low level.

OBSERVATION 2.43:
Chapter 3 describes how a MASTER'S REQUESTER releases the BBSY* line.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-24 (suite)

24B. REGLE 2.51:
SI le MAITRE commande ou libère AS* au niveau haut avant la libération de BBSY* par son DEMANDEUR,
ALORS il DOIT libérer AS*, IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0* et DS1* avant de permettre à son DEMANDEUR de libérer BBSY*.

OBSERVATION 2.44:
Le chapitre 3 décrit comment un DEMANDEUR d'un MAITRE libère la ligne BBSY*.

25. REGLE 2.52:
SI le MAITRE commande ou libère AS* au niveau haut après la libération de BBSY* par son DEMANDEUR,
ALORS il DOIT libérer AS* dans ce délai après lui avoir permis de passer au-dessus du niveau bas.

OBSERVATION 2.45:
Le chapitre 3 décrit comment un DEMANDEUR d'un MAITRE libère la ligne BBSY*.

26. OBSERVATION 2.46:
Le paramètre de temps 26 garantit que, pendant les cycles de lecture, le bus de données ne sera pas commandé avant que le MAITRE ne commande DSA* au niveau bas.

27. OBSERVATION 2.47:
Pendant les cycles de lecture, le MAITRE est assuré que le bus de données sera valide dans ce délai après le passage du signal DTACK* au niveau bas. Ce temps ne s'applique pas aux cycles où l'ESCLAVE commande BERR* au niveau bas au lieu de commander DTACK*.

28. OBSERVATION 2.48:
Le MAITRE est assuré que ni le signal DTACK* ni BERR* ne passeront au niveau bas avant ce délai minimal après avoir commandé DSA* au niveau bas. Le LIMITEUR DE TEMPS D'OCCUPATION DU BUS garantit au MAITRE que, si DTACK* n'est pas passé au niveau bas dans un délai compris entre la limite de temps et le double de cette limite, alors le LIMITEUR DE TEMPS D'OCCUPATION DU BUS commande BERR* au niveau bas.

29. OBSERVATION 2.49:
Pendant les cycles de lecture, le MAITRE est assuré que le bus de données restera valide jusqu'à ce qu'il commande DSA* au niveau haut.

30. OBSERVATION 2.50:
Le paramètre de temps 30 garantit que ni DTACK* ni BERR* ne passeront au niveau haut avant que le MAITRE ait commandé DS0* et DS1* au niveau haut.

31. OBSERVATION 2.51
Pendant les cycles de lecture, le MAITRE est assuré que le bus de données a été libéré au moment où les signaux DTACK* et BERR* passent au niveau haut.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Table 2-24 (continued)

24B. RULE 2.51:
IF the MASTER drives or releases AS* to high before its REQUESTER releases BBSY*,
THEN it MUST release AS*, IACK*, AM0-AM5, A01-A31, LWORD*, D00-D31, WRITE*, DS0*, and DS1* before allowing its REQUESTER to release BBSY*.

OBSERVATION 2.44:
Chapter 3 describes how a MASTER'S REQUESTER releases the BBSY* line.

25. RULE 2.52:
IF the MASTER drives or releases AS* to high before its REQUESTER releases BBSY*,
THEN it MUST release AS* within this time after allowing it to rise above the low level.

OBSERVATION 2.45:
Chapter 3 describes how a MASTER'S REQUESTER releases the BBSY* line.

26. OBSERVATION 2.46:
Timing parameter 26 guarantees that during read cycles, the data bus will not be driven until the MASTER drives DSA* low.

27. OBSERVATION 2.47:
During read cycles, the MASTER is guaranteed that the data bus will be valid within this time after DTACK* goes low. This time does not apply to cycles where the SLAVE drives BERR* low instead of DTACK*.

28. OBSERVATION 2.48:
The MASTER is guaranteed that neither DTACK* nor BERR* will go low until this minimum time after it drives DSA* low. The BUS TIMER guarantees the MASTER that if DTACK* has not gone low after its time-out period has elapsed, and within twice its time-out period, then the BUS TIMER will drive BERR* low.

29. OBSERVATION 2.49:
During read cycles, the MASTER is guaranteed that the data bus will remain valid until it drives DSA* high.

30. OBSERVATION 2.50:
Timing parameter 30 guarantees that neither DTACK* nor BERR* will go high until the MASTER drives both DS0* and DS1* high.

31. OBSERVATION 2.51:
During read cycles, the MASTER is guaranteed that the data bus has been released by the time DTACK* and BERR* are high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-25

ESCLAVE
REGLES et OBSERVATIONS sur la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 2-22.

4. OBSERVATION 2.52:
Tous les ESCLAVES sont assurés que IACK*, A01-A31, AM0-AM5 et LWORD* ont été valides au minimum pendant ce temps lorsqu'ils détectent le front descendant sur AS*.

5. OBSERVATION 2.53:
Tous les ESCLAVES sont assurés que AS* est au niveau haut au minimum pendant ce temps entre les cycles DTB.

6. OBSERVATION 2.54:
Pendant les cycles de lecture, l'ESCLAVE qui répond est assuré qu'aucune ligne D00-D31 ne sera commandée par aucun autre module avant que l'ESCLAVE qui répond libère DTACK* et BERR* au niveau haut.

7. OBSERVATION 2.55:
Pendant les cycles de lecture, l'ESCLAVE qui répond est assuré que le bus de données sera libéré par tous les autres modules lorsque DSA* passera au niveau bas.

8. OBSERVATION 2.56:
Pendant les cycles d'écriture, l'ESCLAVE qui répond est assuré que le bus de données a été valide au minimum pendant ce temps lorsqu'il détecte un front descendant sur DSA*.

9. OBSERVATION 2.57:
L'ESCLAVE qui répond est assuré que ni DS0* ni DS1* ne passeront au niveau bas avant que DTACK* et BERR* du cycle précédent soient passés au niveau haut.

10. OBSERVATION 2.58:
Suite au déphasage du bus, les ESCLAVES sur le DTB peuvent détecter un front descendant sur DSA* avant le front descendant sur AS*. Malgré cela, les ESCLAVES sont assurés que le front descendant sur DSA* ne précédera par le front descendant sur AS* avec un délai plus grand que celui-ci.

11. OBSERVATION 2.59:
Les ESCLAVES sont assurés de ce délai minimal pendant lequel DS0* et DS1* sont simultanément au niveau haut entre deux transferts de données consécutifs.

12. OBSERVATION 2.60:
Les ESCLAVES sont assurés que WRITE* est valide au minimum pendant ce temps avant un front descendant sur DSA*.

13. OBSERVATION 2.61:
SI le MAITRE commande DS0* et DS1* au niveau bas,
ALORS l'ESCLAVE qui répond est assuré que dans ce délai maximal, DSB* passera au niveau bas après que DSA* eut passé au niveau bas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-25

SLAVE
Timing RULES and OBSERVATIONS

Note: The numbers correspond to the timing parameters specified in Table 2-22.

4. OBSERVATION 2.52:
All SLAVES are guaranteed that IACK*, A01-A31, AM0-AM5, and LWORD* have been valid for this minimum time when they detect a falling edge on AS*.

5. OBSERVATION 2.53:
All SLAVES are guaranteed this minimum high time on AS* between DTB cycles.

6. OBSERVATION 2.54:
During read cycles, the responding SLAVE is guaranteed that none of D00-D31 will be driven by any other module until the responding SLAVE releases DTACK* and BERR* to high.

7. OBSERVATION 2.55:
During read cycles, the responding SLAVE is guaranteed that the data bus will be released by all other modules by the time DSA* goes low.

8. OBSERVATION 2.56:
During write cycles, the responding SLAVE is guaranteed that the data bus has been valid for this minimum time when it detects a falling edge on DSA*.

9. OBSERVATION 2.57:
The responding SLAVE is guaranteed that neither DS0* nor DS1* will go low until DTACK* and BERR* from the previous cycle have gone high.

10. OBSERVATION 2.58:
Due to bus skew, SLAVES on the DTB might detect a falling edge on DSA* before detecting the falling edge on AS*. However, SLAVES are guaranteed that a falling edge on DSA* will not precede the falling edge on AS* by more than this time.

11. OBSERVATION 2.59:
SLAVES are guaranteed this minimum time during which both DS0* and DS1* are simultaneously high between consecutive data transfers.

12. OBSERVATION 2.60:
SLAVES are guaranteed that WRITE* has been valid for this minimum time before a falling edge on DSA*.

13. OBSERVATION 2.61:
IF the MASTER will drive both DS0* and DS1* low,
THEN the responding SLAVE is guaranteed that DSB* will go low within this maximum time after DSA* has gone low.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-25 (suite)

14. OBSERVATION 2.62:
Pendant tous les cycles de transfert de données, excepté les cycles lecture-modification-écriture, l'ESCLAVE qui répond est assuré que A01-A31 et LWORD* restent valides jusqu'à ce qu'il commande DTACK* ou BERR* au niveau bas pour la première fois et à condition de le faire dans la limite de temps d'occupation du bus.

15. OBSERVATION 2.63:
Pendant tous les cycles lecture-modification-écriture, l'ESCLAVE qui répond est assuré que A01-A31 et LWORD* restent valides jusqu'à ce qu'il commande DTACK* ou BERR* au niveau bas pour la deuxième fois et à condition de le faire dans la limite de temps d'occupation du bus.

16. OBSERVATION 2.64:
L'ESCLAVE qui répond est assuré que IACK* et AM0-AM5 restent valides jusqu'à ce qu'il commande DTACK* et BERR* au niveau bas pour la dernière fois et à condition de le faire dans la limite de temps d'occupation du bus.

17. OBSERVATION 2.65:
Les ESCLAVES sont assurés que IACK*, A01-A31, AM0-AM5 et LWORD* resteront valides au minimum pendant ce temps après le front descendant de AS*. Pendant les cycles UNIQUEMENT D'ADRESSAGE ce temps est garanti par le MAITRE. Pendant tous les autres types de cycles, ce temps se déduit à partir des paramètres de temps 10, 14, 16 et 28.

18. OBSERVATION 2.66:
L'ESCLAVE qui répond est assuré que AS* sera maintenu au niveau bas jusqu'à ce qu'il ait commandé DTACK* ou BERR* au niveau bas et à condition de le faire dans la limite de temps d'occupation du bus.

19. OBSERVATION 2.67:
Les ESCLAVES sont assurés que AS* sera maintenu au niveau bas au minimum pendant ce temps.

20. OBSERVATION 2.68:
L'ESCLAVE qui répond est assuré que, lorsque DSA* passera au niveau bas, il restera à ce niveau jusqu'à ce que DTACK* ou BERR* soit commandé au niveau bas et à condition que l'ESCLAVE le fasse dans la limite de temps d'occupation du bus.

21. OBSERVATION 2.69:
L'ESCLAVE qui répond est assuré que lorsque DSB* passera au niveau bas, il restera à ce niveau jusqu'à ce que DTACK* ou BERR* soit commandé au niveau bas et à condition que l'ESCLAVE le fasse dans la limite de temps d'occupation du bus.

22. OBSERVATION 2.70:
Pendant les cycles d'écriture, l'ESCLAVE qui répond est assuré que le bus de données restera valide au minimum pendant ce temps et jusqu'à ce qu'il commande DTACK* ou BERR* au niveau bas, à condition de le faire dans la limite de temps d'occupation du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-25 (continued)

14. OBSERVATION 2.62:
During all data transfer cycles except read-modify-write cycles, the responding SLAVE is guaranteed that A01-A31 and LWORD* remain valid until it drives DTACK* or BERR* low for the first time, provided that it does so within the bus time-out period.

15. OBSERVATION 2.63:
During all read-modify-write cycles, the responding SLAVE is guaranteed that A01-A31 and LWORD* remain valid until it drives DTACK* or BERR* low for the second time, provided that it does so within the bus time-out period.

16. OBSERVATION 2.64:
The responding SLAVE is guaranteed that IACK* and AM0-AM5 remain valid until it drives DTACK* or BERR* low for the last time, provided that it does so within the bus time-out period.

17. OBSERVATION 2.65:
SLAVES are guaranteed that IACK*, A01-A31, AM0-AM5, and LWORD* will remain valid for this minimum time after the falling edge of AS*. During ADDRESS-ONLY cycles this time is guaranteed by the MASTER. During all other cycle types, this time is derived from timing parameters 10, 14, 16 and 28.

18. OBSERVATION 2.66:
The responding SLAVE is guaranteed that AS* will remain low until it drives DTACK* or BERR* low, provided that it does so within the bus time-out period.

19. OBSERVATION 2.67:
SLAVES are guaranteed that the AS* will remain low for this minimum time.

20. OBSERVATION 2.68:
The responding SLAVE is guaranteed that once DSA* goes low, it will remain low until it drives DTACK* or BERR* low, provided that the SLAVE does so within the bus time-out period.

21. OBSERVATION 2.69:
The responding SLAVE is guaranteed that once DSB* goes low, it will remain low until it drives DTACK* or BERR* low, provided that the SLAVE does so within the bus time-out period.

22. OBSERVATION 2.70:
During write cycles, the responding SLAVE is guaranteed that the data bus will remain valid until it drives DTACK* or BERR* low, provided that it does so within the bus time-out period.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-25 (suite)

23. OBSERVATION 2.71:
L'ESCLAVE qui répond est assuré que la ligne WRITE* reste valide jusqu'à ce que les deux signaux de validation de données passent au niveau haut.

26. REGLE 2.53:
Pendant les cycles de lecture, l'ESCLAVE qui répond NE DOIT PAS commander le bus de données avant que DSA* soit passé au niveau bas.

27. REGLE 2.54:
Pendant les cycles de lecture, l'ESCLAVE qui répond NE DOIT PAS commander DTACK* avant d'avoir commandé les lignes de données avec des données valides.

OBSERVATION 2.72:
Ce temps ne s'applique pas aux cycles où l'ESCLAVE qui répond commande BERR* au niveau bas au lieu de DTACK*.

28. REGLE 2.55:
L'ESCLAVE qui répond DOIT attendre ce délai au minimum après le passage de DSA* au niveau bas, avant de commander DTACK* ou BERR* au niveau bas.

29. REGLE 2.56:
Pendant les cycles de lecture, lorsque l'ESCLAVE qui répond a commandé DTACK* au niveau bas, il NE DOIT PAS changer D00-D31 jusqu'à ce que DSA* soit passé au niveau haut.

30. REGLE 2.57:
Lorsque l'ESCLAVE qui répond a commandé DTACK* ou BERR* au niveau bas, il NE DOIT PAS libérer celui qu'il a commandé avant de détecter que DS0* et DS1* passent au niveau haut.

31. REGLE 2.58:
Pendant les cycles de lecture, l'ESCLAVE qui répond DOIT libérer toutes les lignes D00-D31 avant de libérer DTACK* ou BERR* au niveau haut.

32. OBSERVATION 2.73:
Les ESCLAVES sont assurés que IACK*, LWORD*, A00-A31 et AM0-AM5 sont valides au minimum pendant ce temps lorsqu'ils détectent un front descendant sur DSA*. Ce temps se déduit à partir des paramètres de temps 4 et 10.

33. OBSERVATION 2.74:
Pendant les cycles de transfert de données, les ESCLAVES sont assurés que soit DS0* ou DS1* resteront au niveau bas au minimum pendant ce temps. Ce temps se déduit du paramètre de temps 28 qui demande à l'ESCLAVE qui répond d'attendre un temps minimal avant de commander BERR* ou DTACK* au niveau bas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-25 (continued)

23. OBSERVATION 2.71:
The responding SLAVE is guaranteed that the WRITE* line remains valid until both data strobes are high.

26. RULE 2.53:
During read cycles, the responding SLAVE MUST NOT drive the data bus until DSA* goes low.

27. RULE 2.54:
During read cycles, the responding SLAVE MUST NOT drive DTACK* before it drives the data lines with valid data.

OBSERVATION 2.72:
This time does not apply to cycles where the responding SLAVE drives BERR* low instead of DTACK*.

28. RULE 2.55:
The responding SLAVE MUST wait this minimum time after DSA* goes low before driving DTACK* or BERR* low.

29. RULE 2.56:
During read cycles, once the responding SLAVE has driven DTACK* low, it MUST NOT change D00-D31 until DSA* goes high.

30. RULE 2.57:
Once the responding SLAVE has driven DTACK* or BERR* low, it MUST NOT release it until it detects both DS0* and DS1* high.

31. RULE 2.58:
During read cycles, the responding SLAVE MUST release all of D00-D31 before releasing DTACK* or BERR* to high.

32. OBSERVATION 2.73:
SLAVES are guaranteed that IACK*, LWORD*, A00-A31, and AM0-AM5 have been valid for this minimum time when they detect a falling edge on DSA*. This time is derived from timing parameters 4 and 10.

33. OBSERVATION 2.74:
During data transfer cycles, SLAVES are guaranteed that either DS0* or DS1* will remain low for at least this minimum time. This time is derived from timing parameter 28, where the responding SLAVE is required to wait a minimum time before driving BERR* or DTACK* to low.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-26

DETECTEUR D'ACCES
OBSERVATIONS sur la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 2-22.

4. OBSERVATION 2.75:
Le DETECTEUR D'ACCES est assuré que IACK*, A01-A31, AM0-AM5 et LWORD* ont été valides au minimum pendant ce temps lorsqu'il détecte un front descendant sur AS*.

5. OBSERVATION 2.76:
Le DETECTEUR D'ACCES est assuré que AS* est au niveau haut, au minimum pendant ce temps entre les cycles du DTB.

10. OBSERVATION 2.77:
Suite au déphasage du bus, les DETECTEURS D'ACCES sur le DTB peuvent détecter des fronts descendants sur DSA* avant d'avoir détecté le front descendant sur AS*. Malgré cela, le DETECTEUR D'ACCES est assuré que le front descendant sur DSA* ne va pas précéder le front descendant sur AS* de plus que ce temps.

11. OBSERVATION 2.78:
Le DETECTEUR D'ACCES est assuré de ce temps minimal pendant lequel DS0* et DS1* sont simultanément au niveau haut entre deux transferts de données consécutifs.

12. OBSERVATION 2.79:
Le DETECTEUR D'ACCES est assuré que WRITE* a été valide au minimum pendant ce temps lorsqu'il détecte un front descendant sur DSA*.

13. OBSERVATION 2.80:
SI le MAITRE commande DS0* et DS1* au niveau bas,
ALORS le DETECTEUR D'ACCES est assuré que DSB* passera au niveau bas dans ce délai après le passage de DSA* au niveau bas.

17. OBSERVATION 2.81:
Le DETECTEUR D'ACCES est assuré que IACK*, A01-A31, AM0-AM5 et LWORD* resteront valides au minimum pendant ce temps après le front descendant de AS*. Pendant les cycles UNIQUEMENT D'ADRESSAGE, ce temps est garanti par le MAITRE. Pendant tous les autres types de cycles, ce temps se déduit à partir des paramètres de temps 10, 14, 16 et 28.

19. OBSERVATION 2.82:
Le DETECTEUR D'ACCES est assuré que AS* restera au niveau bas au minimum pendant ce temps.

23. OBSERVATION 2.83:
Le DETECTEUR D'ACCES est assuré que la ligne WRITE* reste valide jusqu'à ce que DS0* et DS1* passent au niveau haut.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-26

LOCATION MONITOR
Timing OBSERVATIONS

Note: The numbers correspond to the timing parameters specified in Table 2-22.

4. OBSERVATION 2.75:
The LOCATION MONITOR is guaranteed that IACK*, A01-A31, AM0-AM5, and LWORD* have been valid for this minimum time when it detects a falling edge on AS*.

5. OBSERVATION 2.76:
The LOCATION MONITOR is guaranteed this minimum high time on AS* between DTB cycles.

10. OBSERVATION 2.77:
Due to bus skew, LOCATION MONITORS on the DTB might detect a falling edge on DSA* before detecting the falling edge on AS*. However, the LOCATION MONITOR is guaranteed that the falling edge on DSA* will not precede the falling edge on AS* by more than this time.

11. OBSERVATION 2.78:
The LOCATION MONITOR is guaranteed this minimum time during which both DS0* and DS1* are simultaneously high between consecutive data transfers.

12. OBSERVATION 2.79:
The LOCATION MONITOR is guaranteed that WRITE* has been valid for this minimum time when it detects a falling edge on DSA*.

13. OBSERVATION 2.80:
IF the MASTER will drive both DS0* and DS1* low,
THEN the LOCATION MONITOR is guaranteed that DSB* will go low within this maximum time after DSA* has gone low.

17. OBSERVATION 2.81:
The LOCATION MONITOR is guaranteed that IACK*, A01-A31, AM0-AM5, and LWORD* will remain valid for this minimum time after the falling edge of AS*. During ADDRESS-ONLY cycles this time is guaranteed by the MASTER. During all other cycle types, this time is derived from timing parameters 10, 14, 16 and 28.

19. OBSERVATION 2.82:
The LOCATION MONITOR is guaranteed that the AS* will remain low for this minimum time.

23. OBSERVATION 2.83:
The LOCATION MONITOR is guaranteed that the WRITE* line remains valid until both DS0* and DS1* are high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 2-26 (suite)

32. OBSERVATION 2.84:
Le DETECTEUR D'ACCES est assuré que IACK*, LWORD*, A01-A31 et AM0-AM5 ont été valides au minimum pendant ce temps lorsqu'il détecte le front descendant de DSA*.

33. OBSERVATION 2.85:
Pendant les cycles de transfert de données, le DETECTEUR D'ACCES est assuré que DS0* et/ou DS1* resteront au niveau bas au minimum pendant ce temps. Ce temps se déduit du paramètre de temps 28, pendant lequel on demande à l'ESCLAVE qui répond d'attendre un temps minimal avant de commander BERR* ou DTACK* au niveau bas.

Tableau 2-27

LIMITEUR DE TEMPS D'OCCUPATION DU BUS
REGLES de la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 2-23.

28. REGLE 2.59:
Le LIMITEUR DE TEMPS D'OCCUPATION DU BUS DOIT attendre pendant une durée au moins égale à la limite de temps d'occupation du bus mais NE DOIT PAS dépasser le double de ce temps, après le passage de DSA* au niveau bas, avant de commander BERR* au niveau bas.

30. REGLE 2.60:
Le LIMITEUR DE TEMPS D'OCCUPATION DU BUS NE DOIT PAS libérer BERR* avant de détecter que DS0* et DS1* soient au niveau haut, après qu'il eut commandé BERR* au niveau bas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 2-26 (continued)

32. OBSERVATION 2.84:
The LOCATION MONITOR is guaranteed that IACK*, LWORD*, A01-A31, and AM0-AM5 have been valid for this minimum time when it detects a falling edge on DSA*.

33. OBSERVATION 2.85:
During data transfer cycles, the LOCATION MONITOR is guaranteed that DS0* and/or DS1* will remain low for at least this minimum time. This time is derived from timing parameter 28, where the responding SLAVE is required to wait a minimum time before driving BERR* or DTACK* to low.

Table 2-27

BUS TIMER
Timing RULES

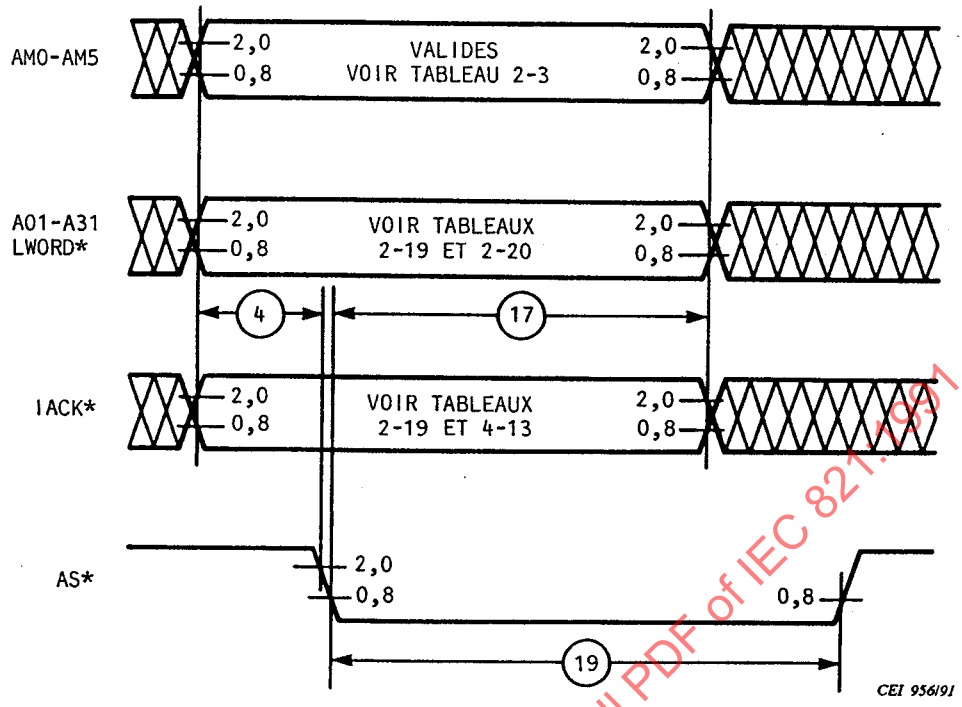
Note: The numbers correspond to the timing parameters specified in Table 2-23.

28. RULE 2.59:
The BUS TIMER MUST wait at least its time-out time, but no longer than twice its time-out time, after DSA* goes low before driving BERR* low.

30. RULE 2.60:
Once it has driven BERR* low, the BUS TIMER MUST NOT release BERR* until it detects both DS0* and DS1* high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-12. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse - TOUS LES CYCLES.



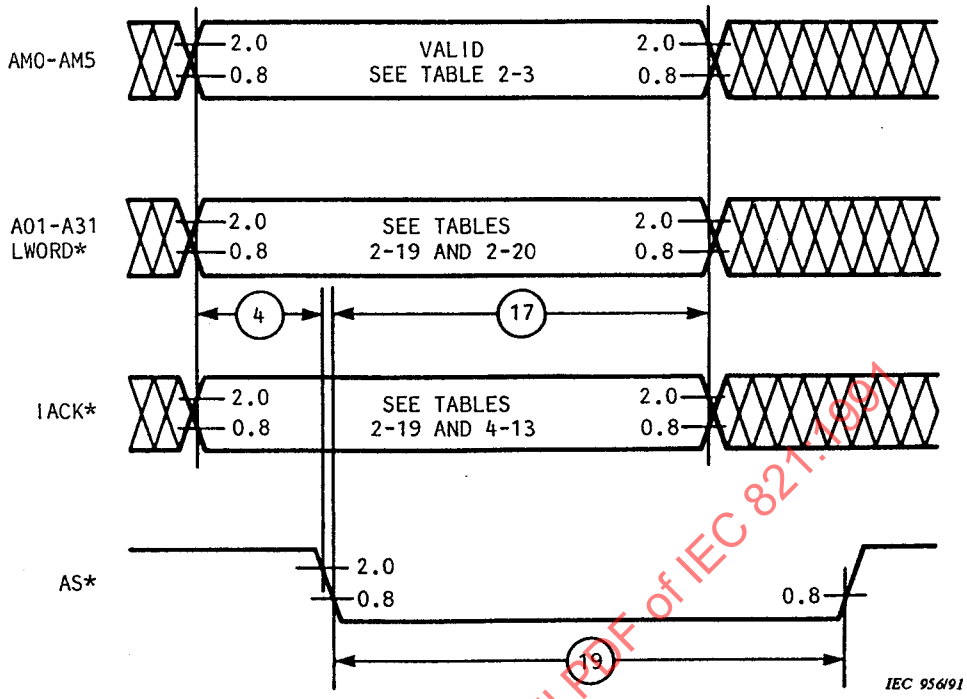
NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
17	40	-	30	-	30	-
19	40	-	30	-	30	-

Note:

Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-12. - MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing - ALL CYCLES.



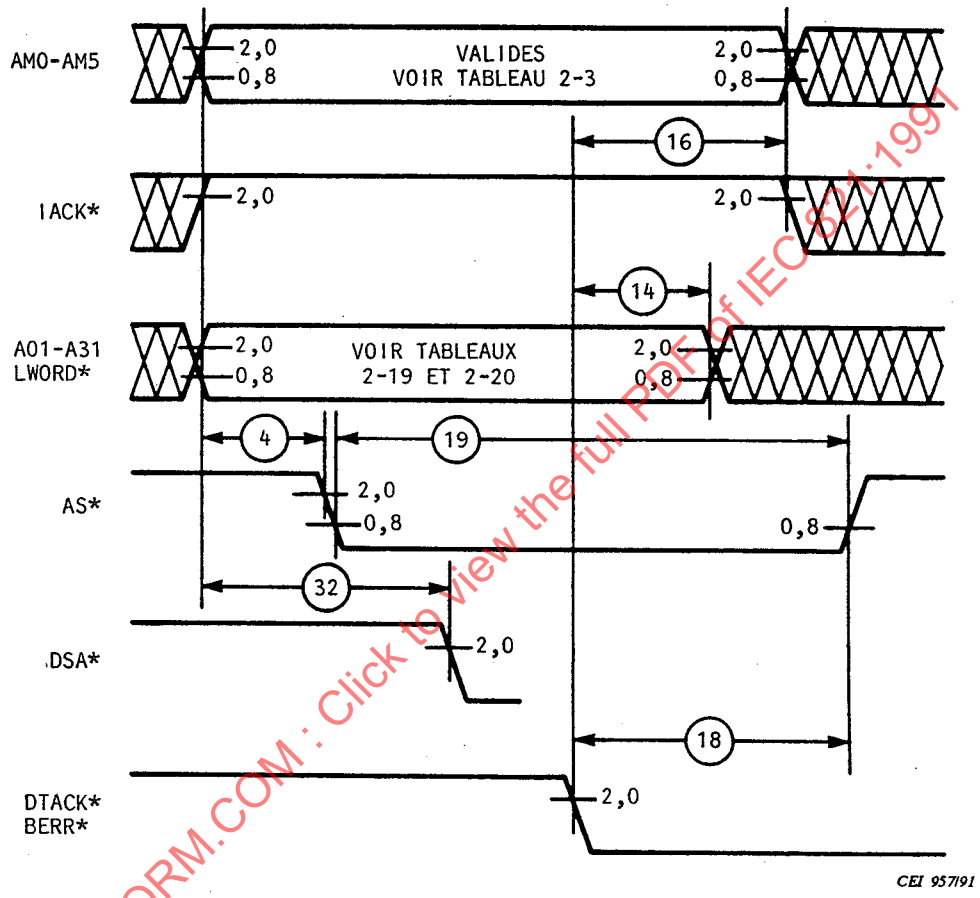
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
17	40	-	30	-	30	-
19	40	-	30	-	30	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-13. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse.

Transferts d'octet unique pair;
transferts d'octet unique impair;
transferts double octet;
transferts quadruple octet;
transferts non alignés.



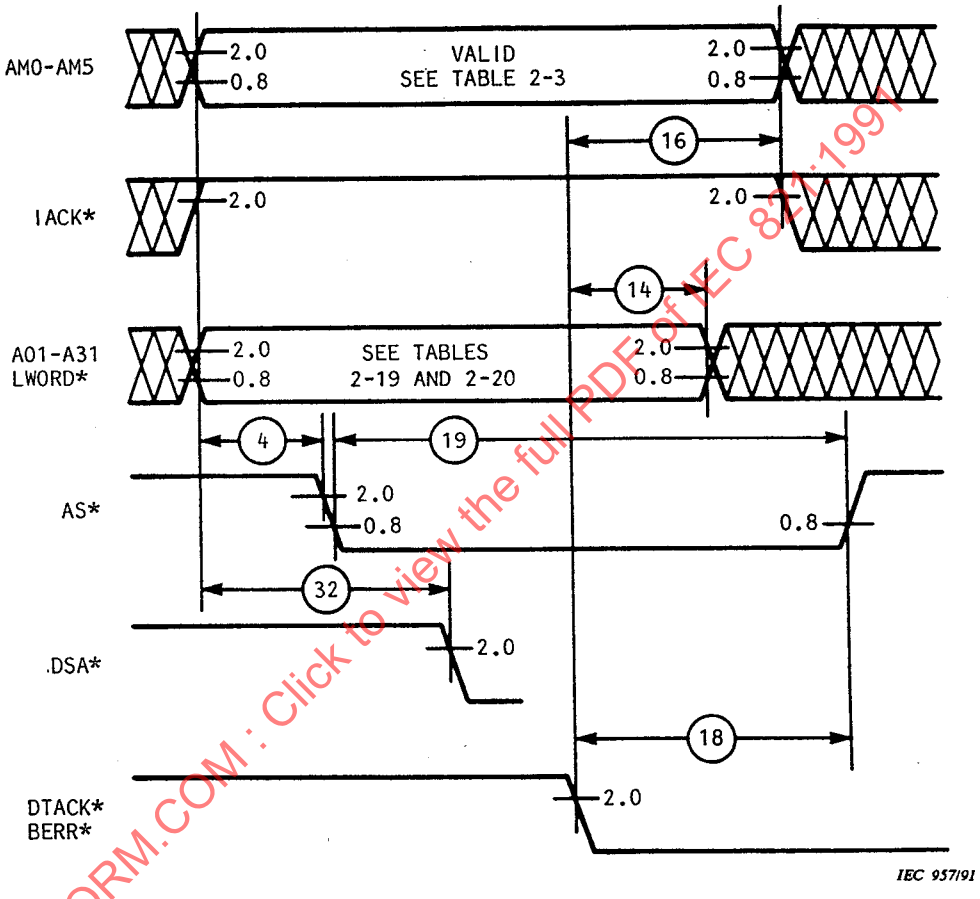
IECNORM.COM : Click to view the full PDF of IEC 821:1991

NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
14	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
Tous les temps sont en nanosecondes.

FIG. 2-13. - MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing.

Single even byte transfers;
single odd byte transfers;
double byte transfers;
quad byte transfers;
unaligned transfers.



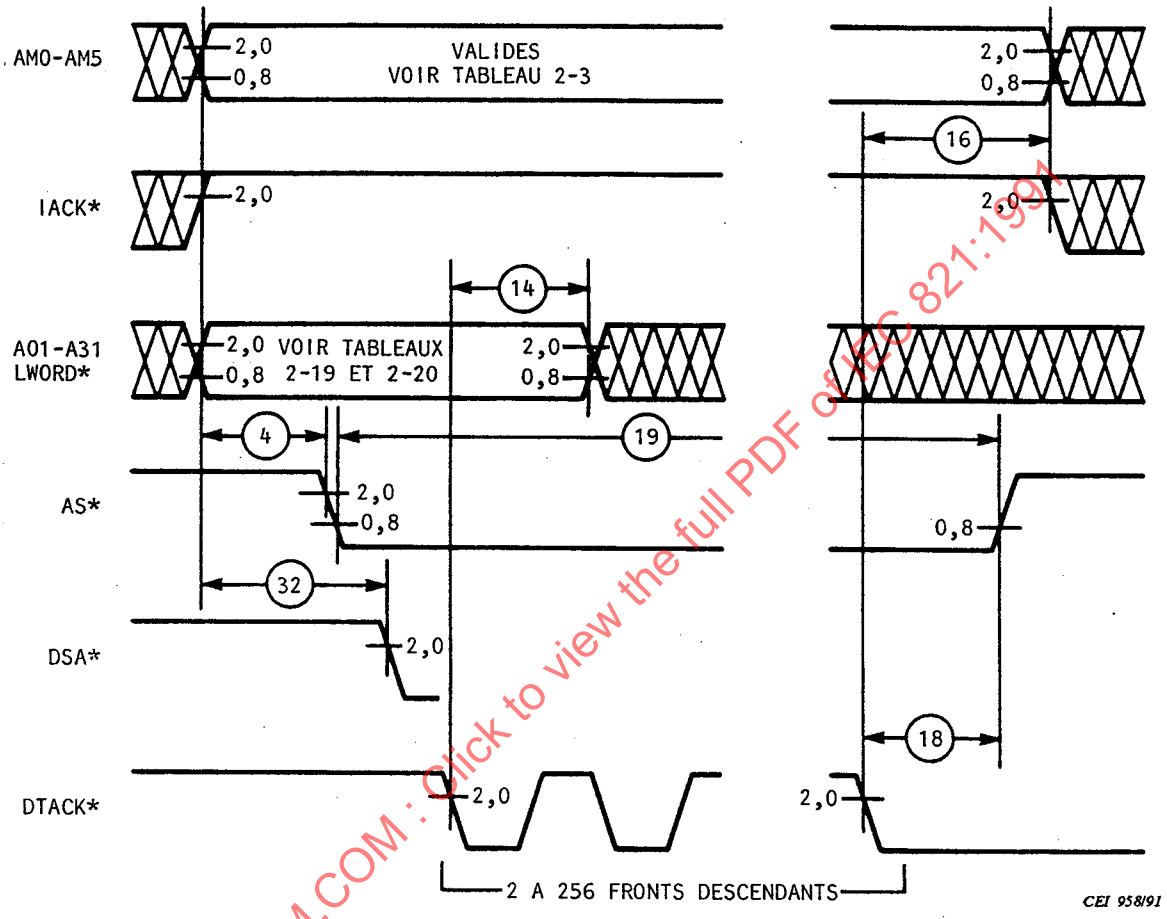
IECNORM.COM : Click to view the full PDF of IEC 821:1991

PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
14	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
All times are in nanoseconds.

FIG. 2-14. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse.

Transferts de blocs par octet;
transferts de blocs par double octet;
transferts de blocs par quadruple octet.



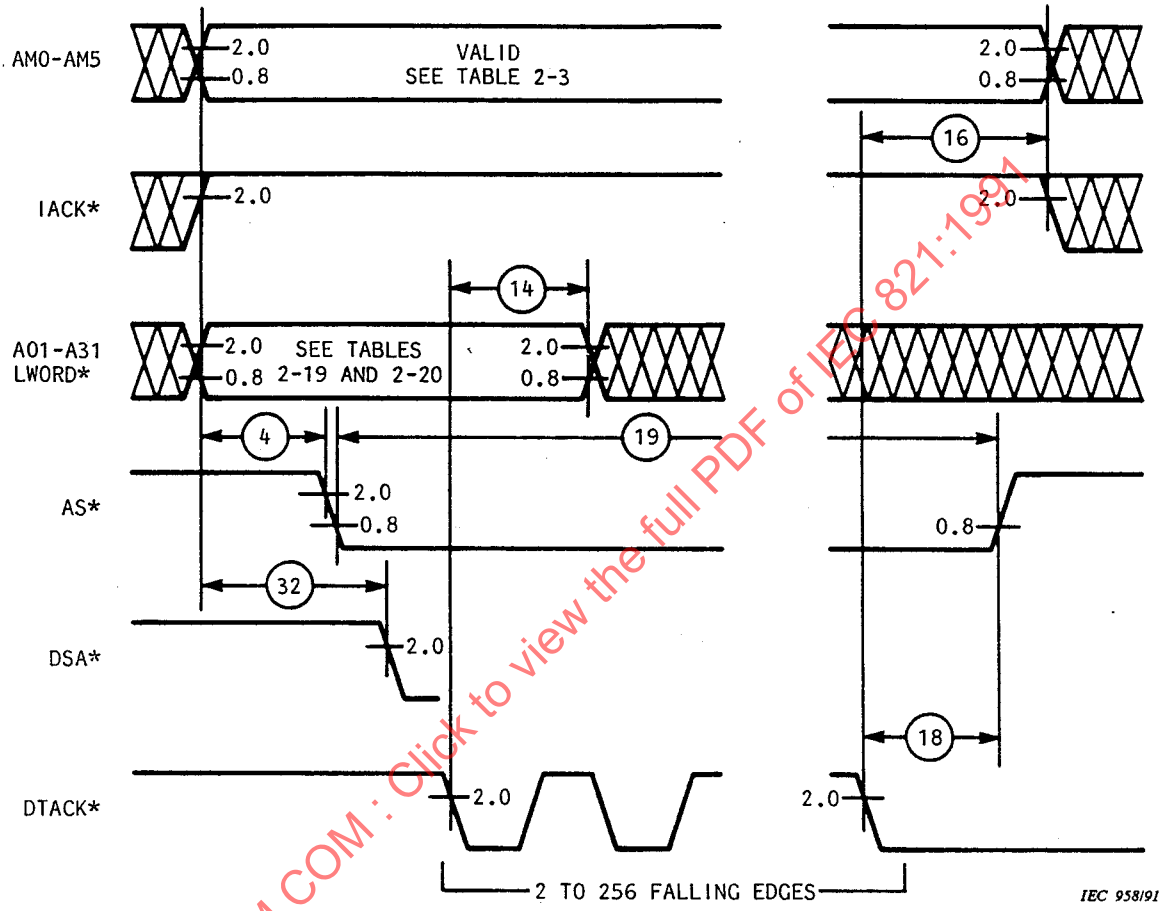
IECNORM.COM : Click to view the full PDF of IEC 821:1991

NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
14	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
Tous les temps sont en nanosecondes.

FIG. 2-14. - MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing.

Single byte block transfers;
double byte block transfers;
quad byte block transfers.



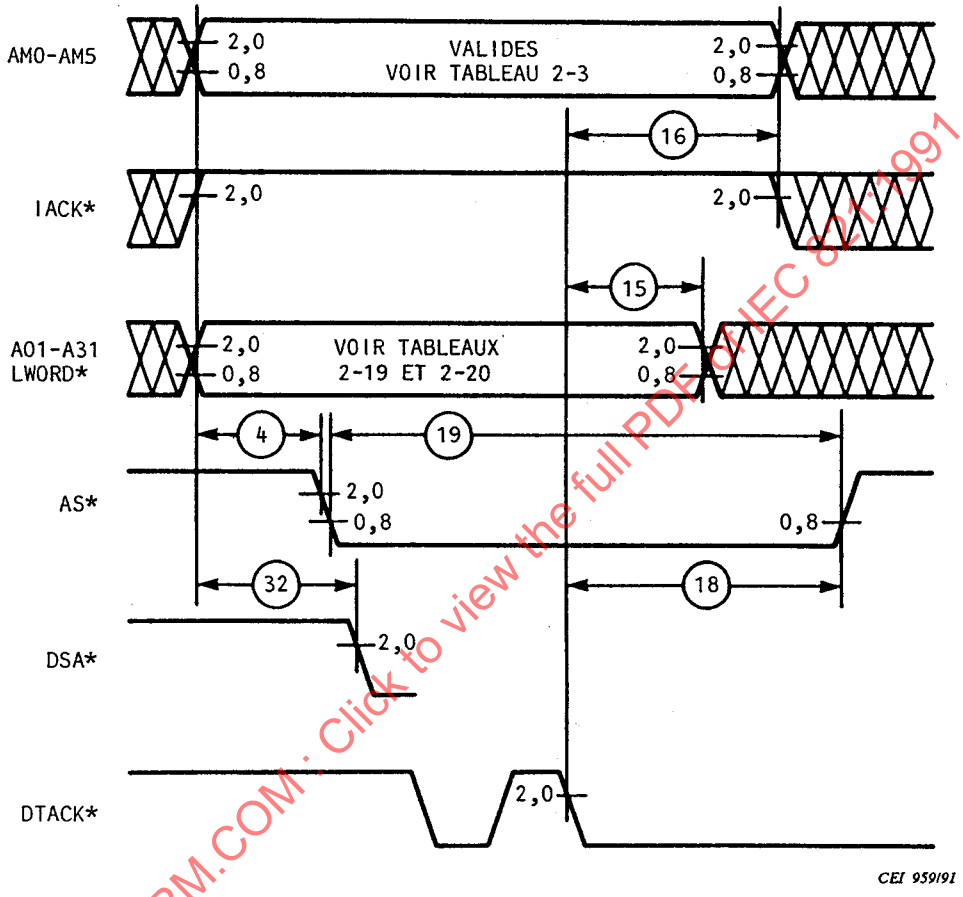
IECNORM.COM : Click to view the full PDF of IEC 821:1991

PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
14	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
All times are in nanoseconds.

FIG. 2-15. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse.

Cycles RMW pour octet unique;
cycles RMW pour double octet;
cycles RMW pour quadruple octet.



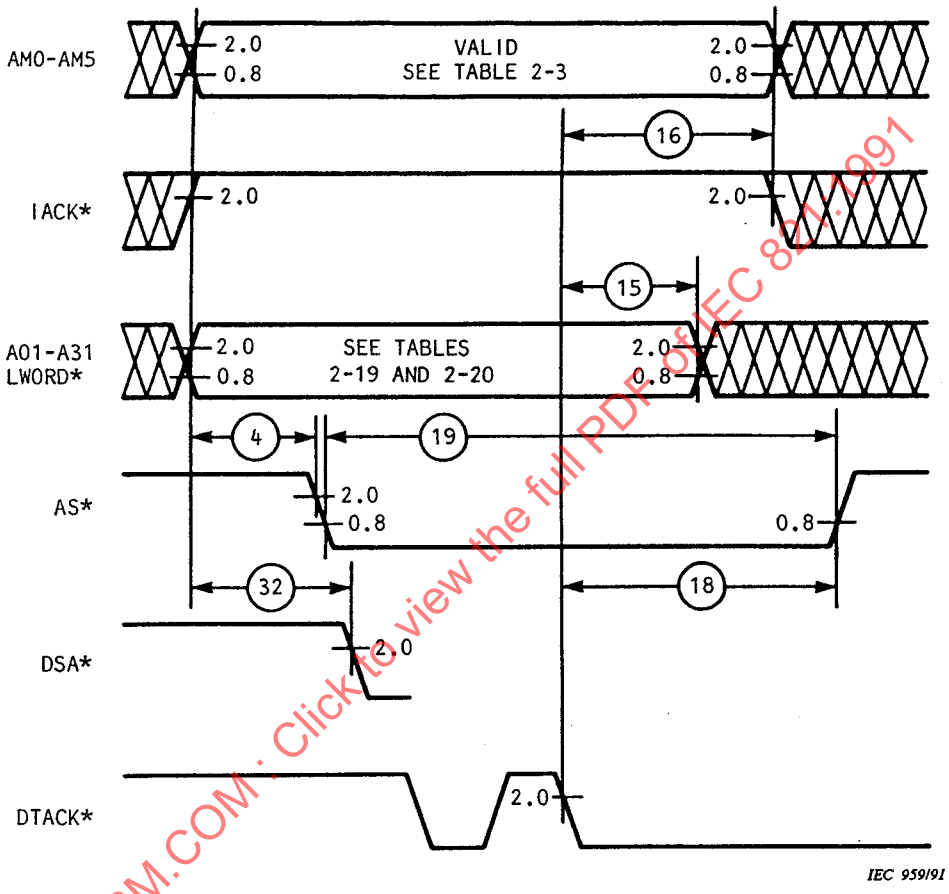
IECNORM.COM : Click to view the full PDF of IEC 821:1991

NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
15	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
Tous les temps sont en nanosecondes.

FIG. 2-15. - MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing.

Single byte RMW cycles;
double byte RMW cycles;
quad byte RMW cycles.



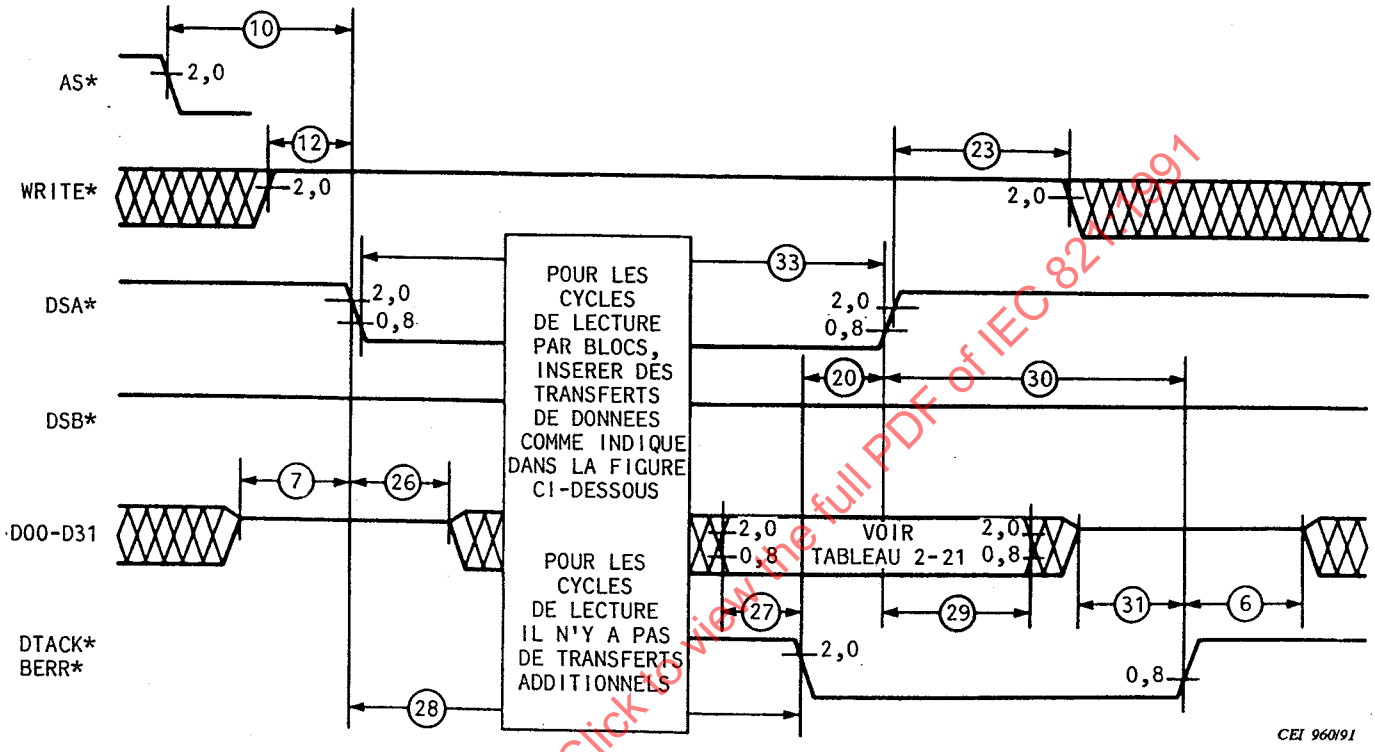
IECNORM.COM : Click to view the full PDF of IEC 821:1991

PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	10	-
15	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
All times are in nanoseconds.

FIG. 2-16. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données.

LECTURE OCTET(0); LECTURE OCTET(1);
LECTURE OCTET(2); LECTURE OCTET(3);
LECTURE OCTET(0-2); LECTURE OCTET(1-3);
LECTURE DE BLOCS PAR OCTET.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
20	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

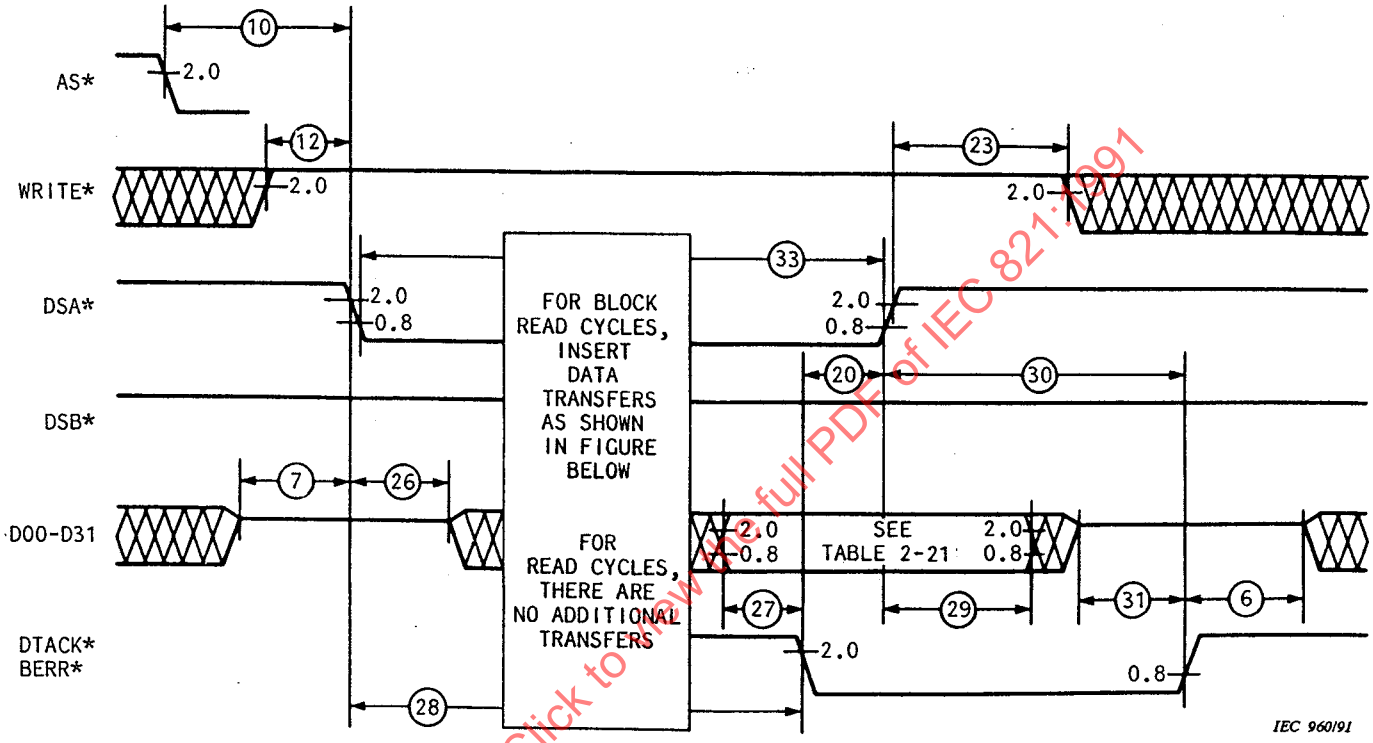
Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-16. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing.

BYTE(0) READ; BYTE(1) READ;
BYTE(2) READ; BYTE(3) READ;
BYTE(0-2) READ; BYTE(1-3) READ;
SINGLE BYTE BLOCK READ.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

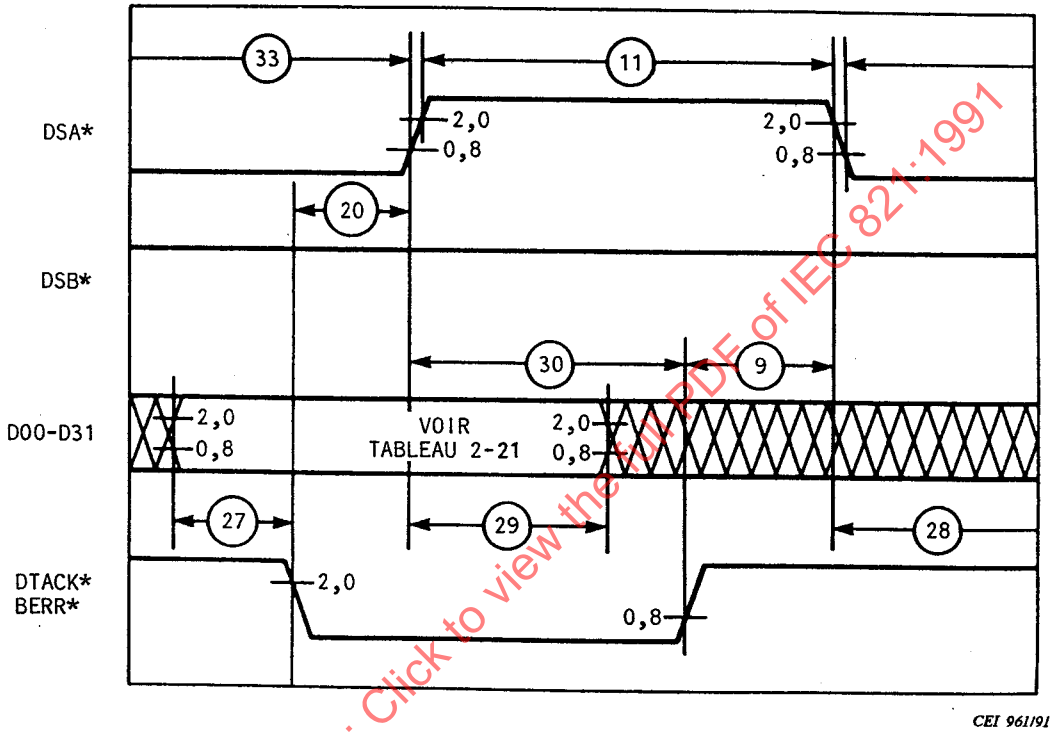
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
20	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

FIG. 2-16. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données (suite).

LECTURE OCTET(0); LECTURE OCTET(1);
LECTURE OCTET(2); LECTURE OCTET(3);
LECTURE OCTET(0-2); LECTURE OCTET(1-3);
LECTURE DE BLOCS PAR OCTET.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

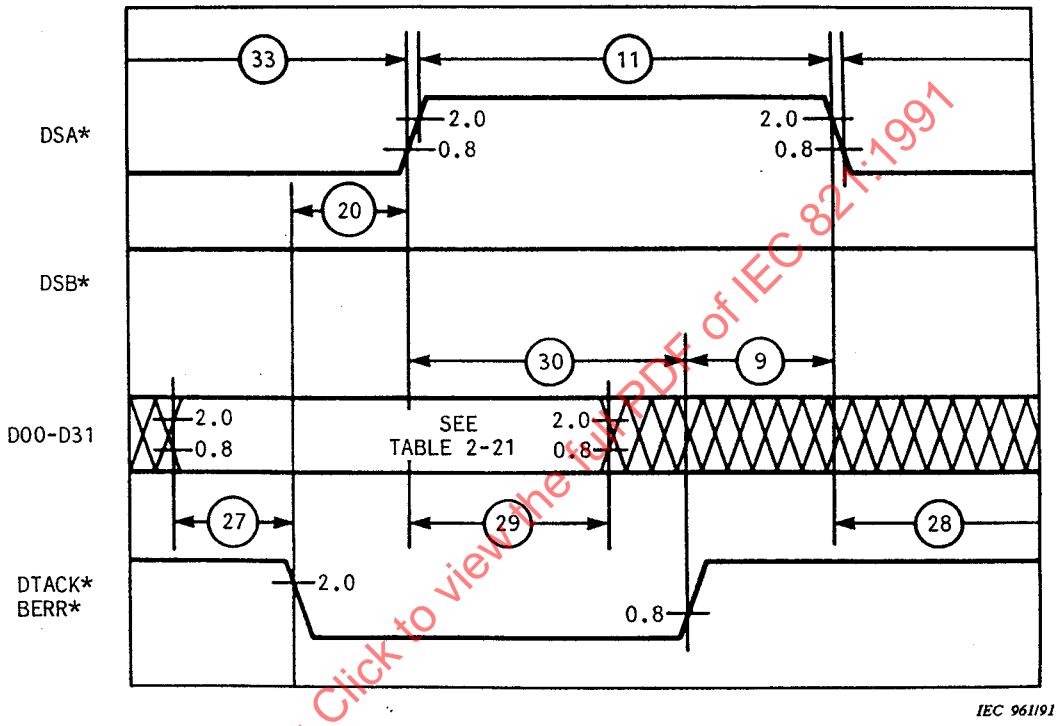
NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-
20	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

FIG. 2-16. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing (continued).

BYTE(0) READ; BYTE(1) READ;
BYTE(2) READ; BYTE(3) READ;
BYTE(0-2) READ; BYTE(1-3) READ;
SINGLE BYTE BLOCK READ.



PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-
20	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

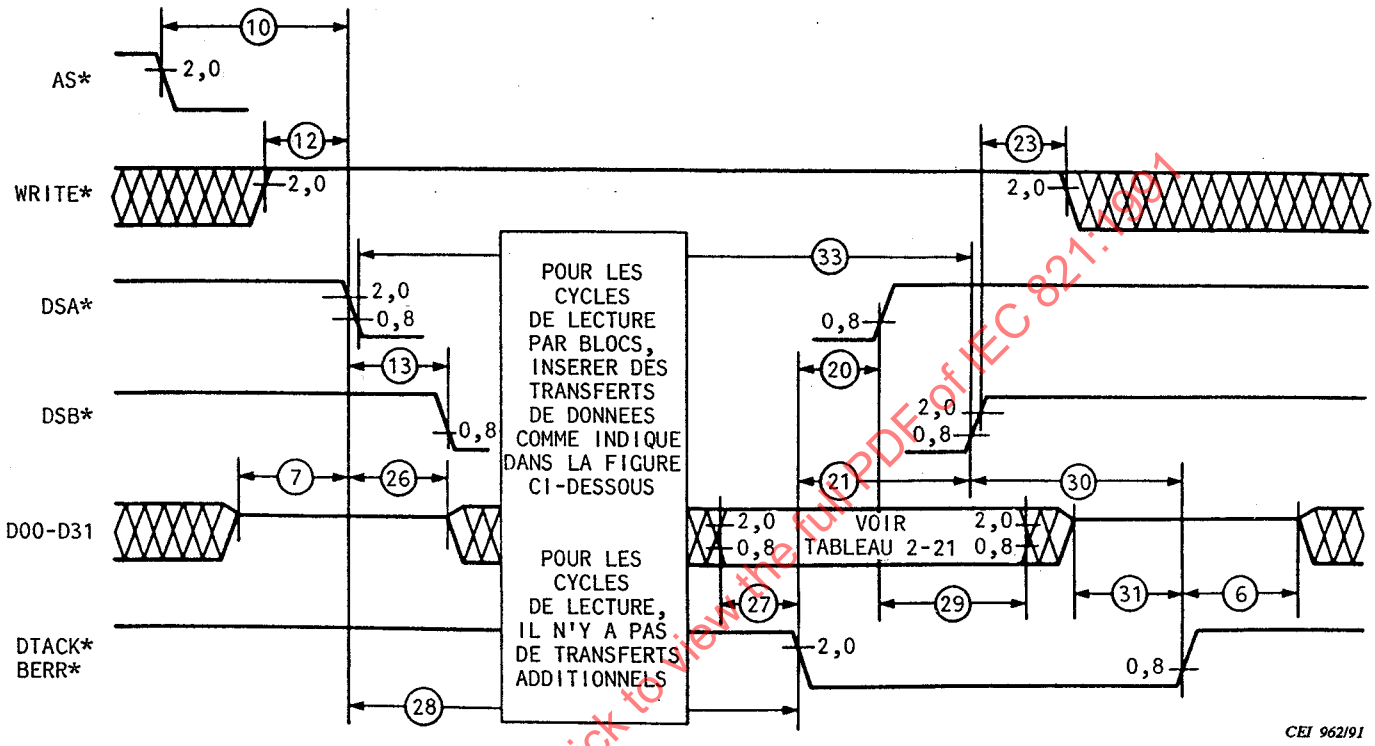
Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-17. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données.

LECTURE OCTET(0-1); LECTURE OCTET(2-3);
LECTURE OCTET(0-3); LECTURE OCTET(1-2);
LECTURE DE BLOCS PAR DOUBLE OCTET;
LECTURE DE BLOCS PAR QUADRUPLE OCTET.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

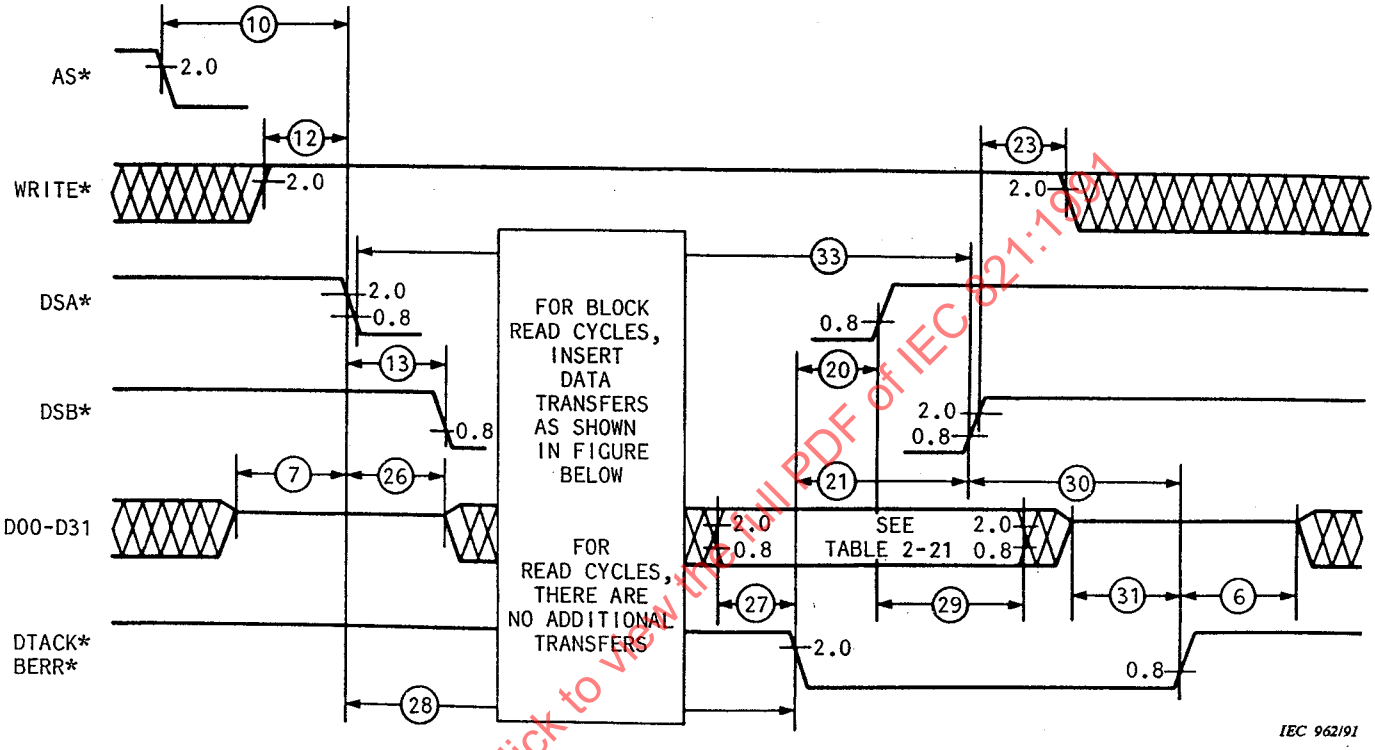
Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-17. - MASTER SLAVE and LOCATION MONITOR - Data transfer timing.

BYTE(0-1) READ; BYTE(2-3) READ;
BYTE(0-3) READ; BYTE(1-2) READ;
DOUBLE BYTE BLOCK READ;
QUAD BYTE BLOCK READ.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

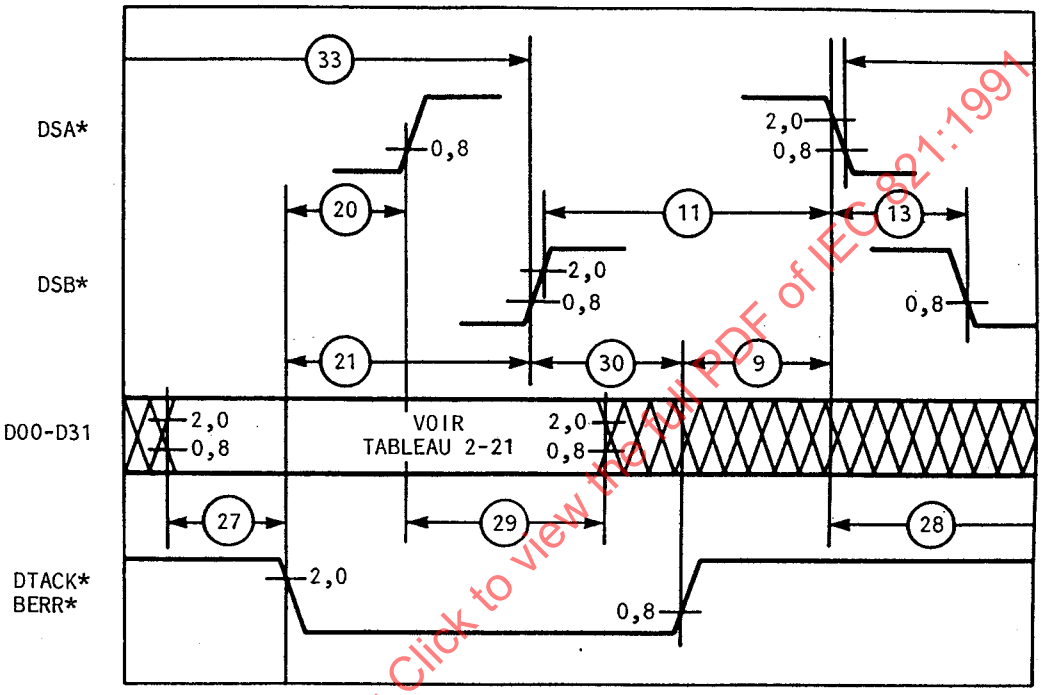
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

FIG. 2-17. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données (suite).

LECTURE OCTET(0-1); LECTURE OCTET(2-3);
LECTURE OCTET(0-3); LECTURE OCTET(1-2);
LECTURE DE BLOCS PAR DOUBLE OCTET;
LECTURE DE BLOCS PAR QUADRUPLE OCTET.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

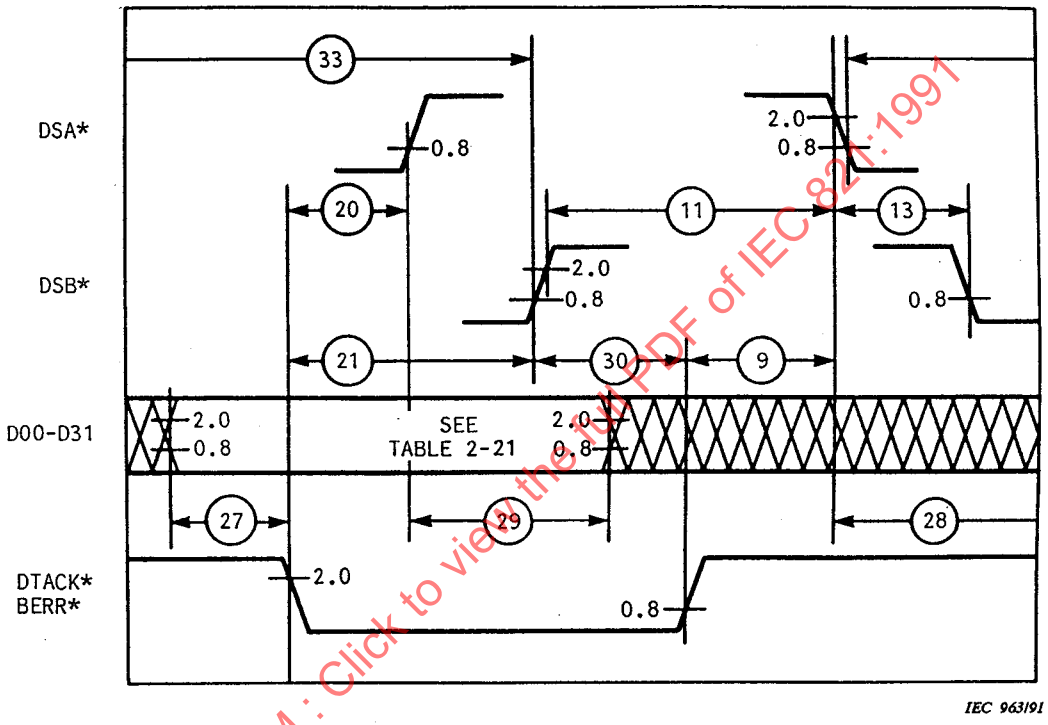
NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

FIG. 2-17. - MASTER SLAVE and LOCATION MONITOR - Data transfer timing (continued).

BYTE(0-1) READ; BYTE(2-3) READ;
BYTE(0-3) READ; BYTE(1-2) READ;
DOUBLE BYTE BLOCK READ;
QUAD BYTE BLOCK READ.



PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

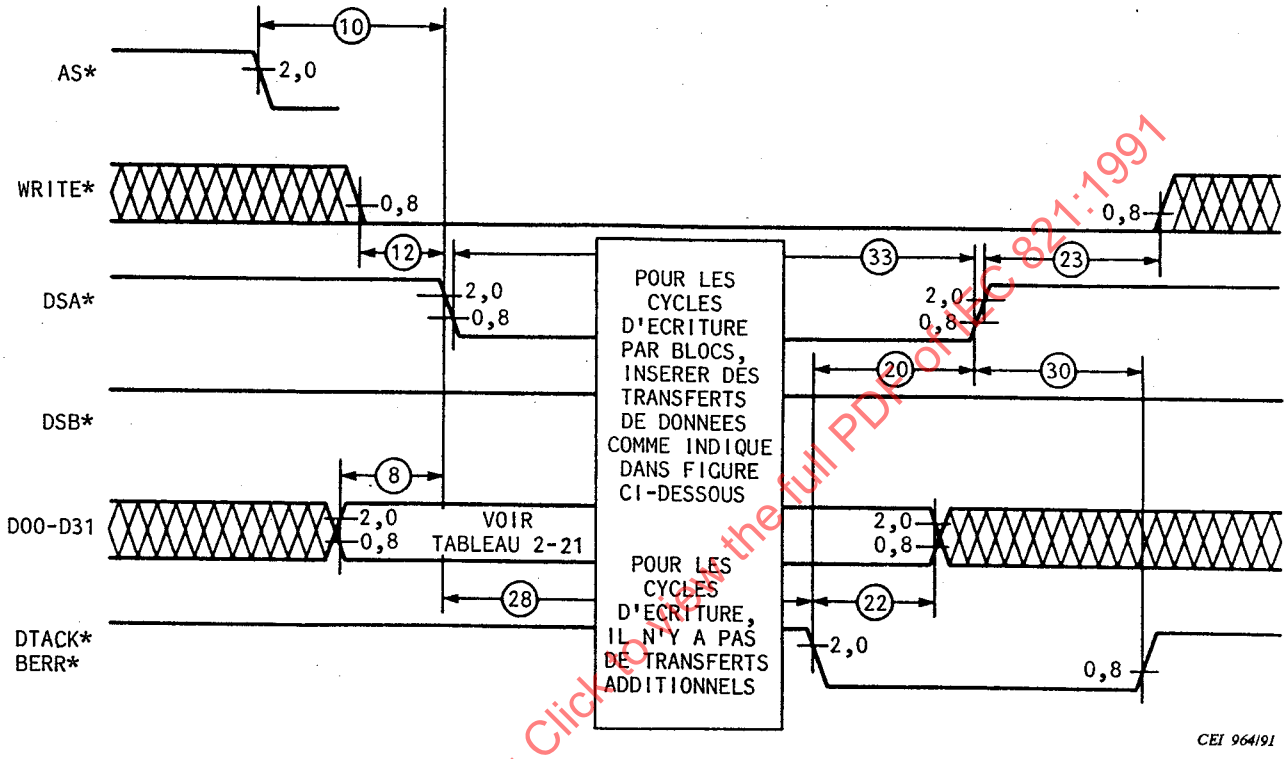
Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-18. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données.

ECRITURE OCTET(0); ECRITURE OCTET(1);
ECRITURE OCTET(2); ECRITURE OCTET(3);
ECRITURE OCTET(0-2); ECRITURE OCTET(1-3);
ECRITURE DE BLOCS PAR OCTET.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
20	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

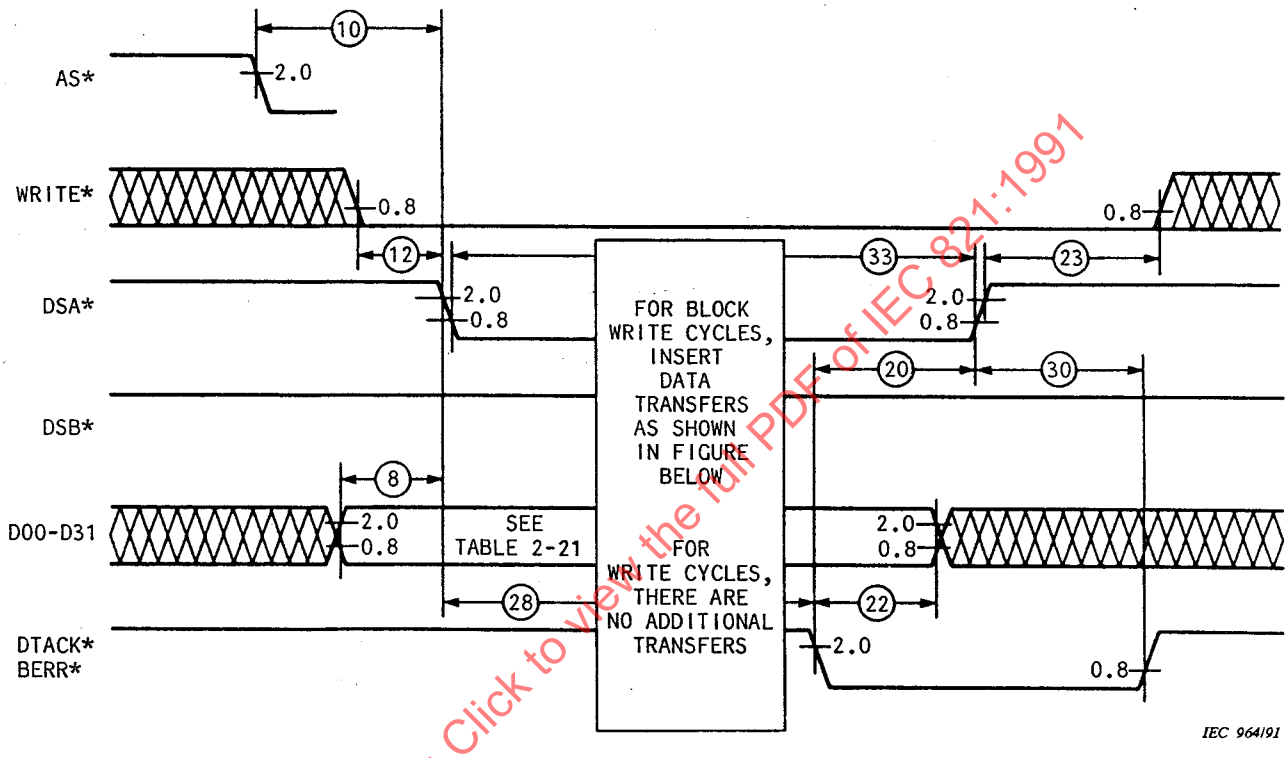
Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-18. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing.

BYTE(0) WRITE; BYTE(1) WRITE;
BYTE(2) WRITE; BYTE(3) WRITE;
BYTE(0-2) WRITE; BYTE(1-3) WRITE;
SINGLE BYTE BLOCK WRITE.



PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
20	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

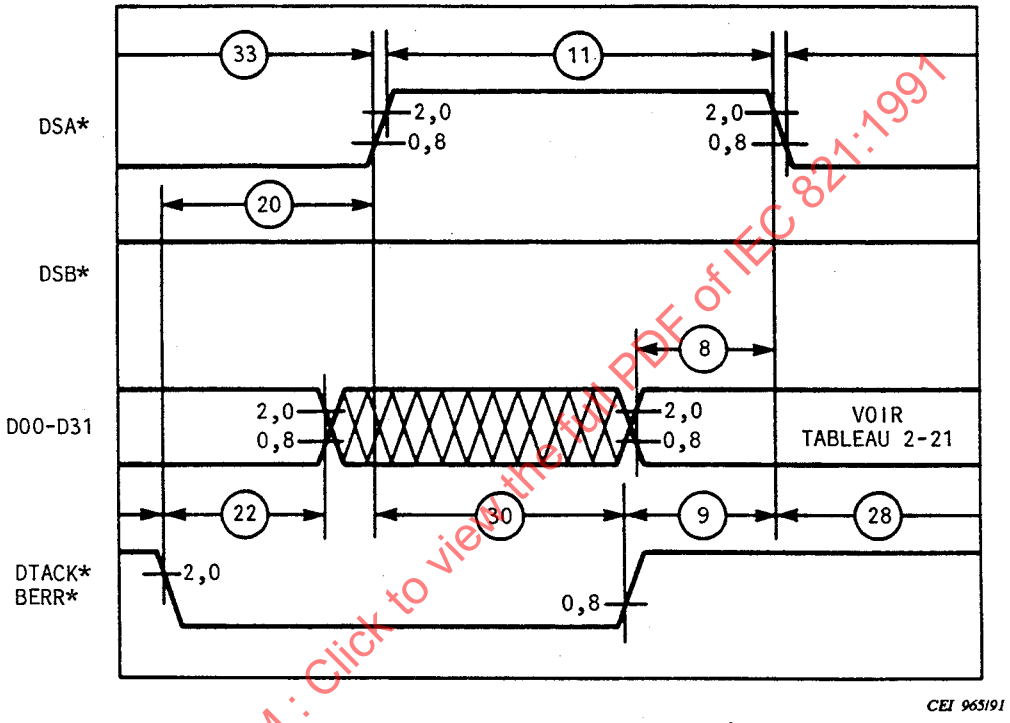
Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-18. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données (suite).

ECRITURE OCTET(0); ECRITURE OCTET(1);
ECRITURE OCTET(2); ECRITURE OCTET(3);
ECRITURE OCTET(0-2); ECRITURE OCTET(1-3);
ECRITURE DE BLOCS PAR OCTET.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
9	0	-	0	-	-	-
11	40	-	30	-	30	-
20	0	-	0	-	-	-
22	0	-	0	-	-	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

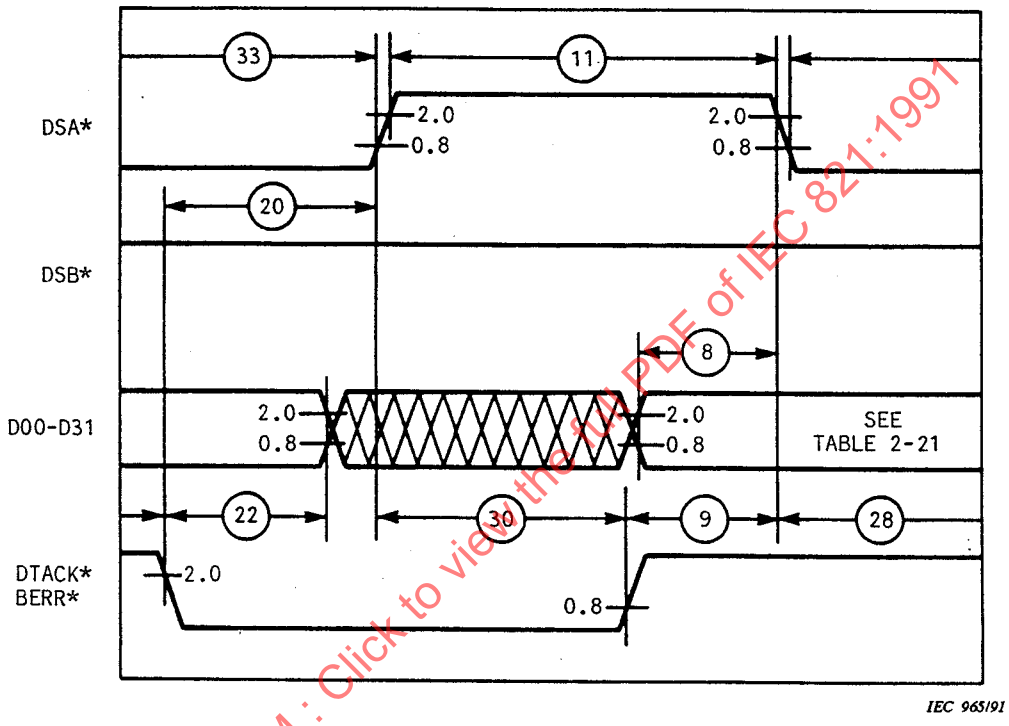
Notes:

1. Tous les temps sont en nanosecondes.

2. T = valeur de dépassement de temps en microsecondes.

FIG. 2-18. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing (continued).

BYTE(0) WRITE; BYTE(1) WRITE;
BYTE(2) WRITE; BYTE(3) WRITE;
BYTE(0-2) WRITE; BYTE(1-3) WRITE;
SINGLE BYTE BLOCK WRITE.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

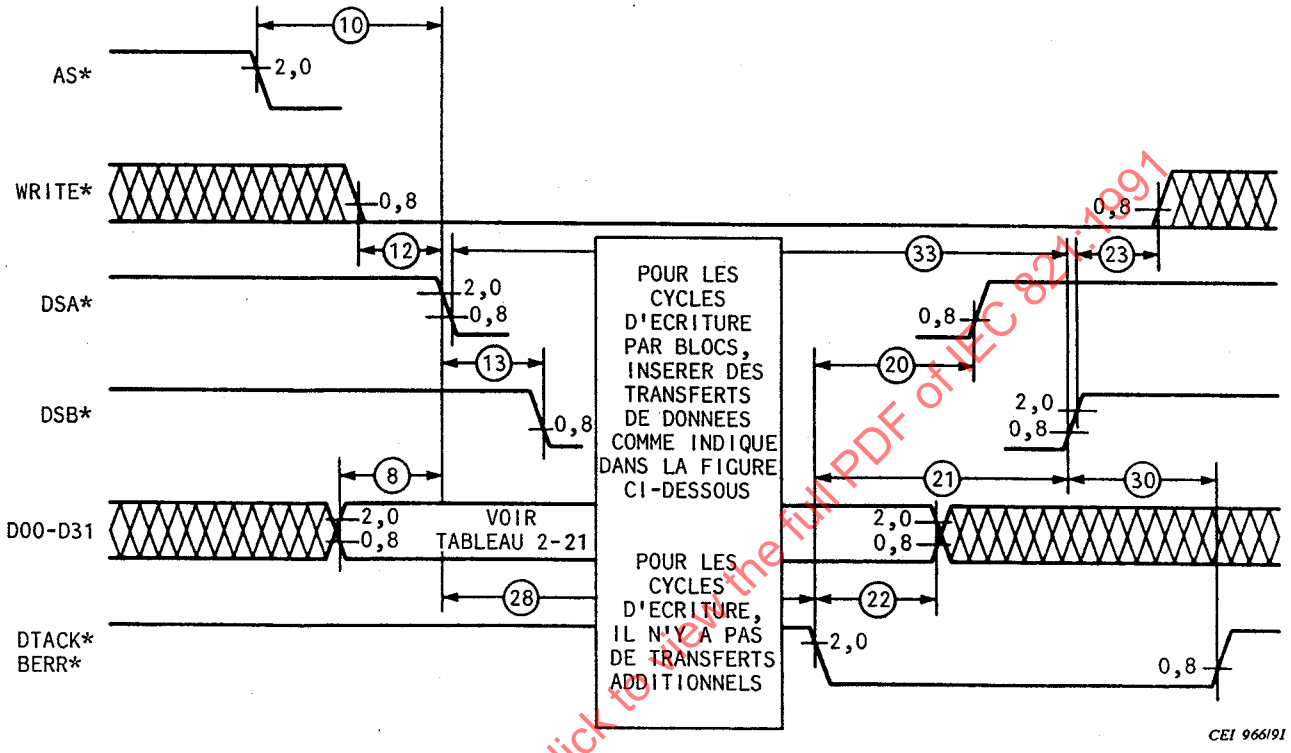
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
9	0	-	0	-	-	-
11	40	-	30	-	30	-
20	0	-	0	-	-	-
22	0	-	0	-	-	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

FIG. 2-19. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données.

ECRITURE OCTET(0-1); ECRITURE OCTET(2-3);
ECRITURE OCTET(0-3); ECRITURE OCTET(1-2);
ECRITURE DE BLOCS PAR DOUBLE OCTET;
ECRITURE DE BLOCS PAR QUADRUPLE OCTET.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

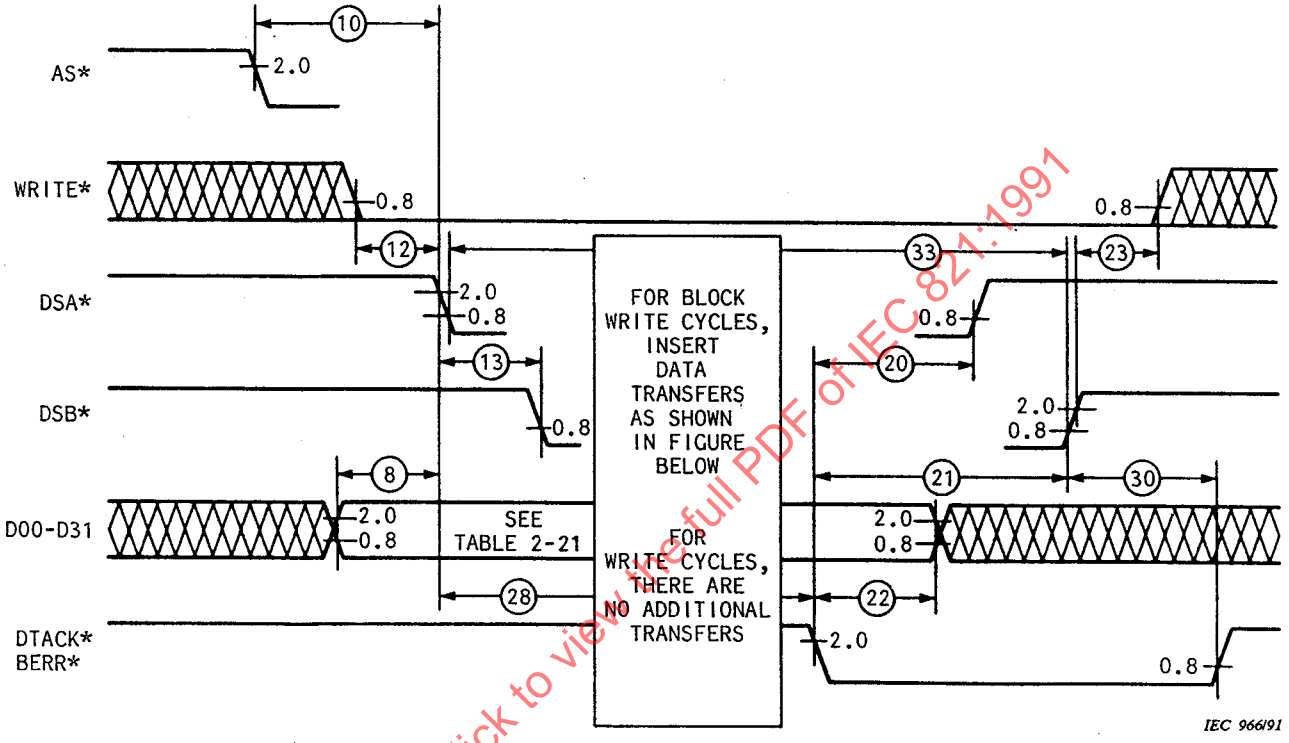
1. Tous les temps sont en nanosecondes.

2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-19. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing.

BYTE(0-1) WRITE; BYTE(2-3) WRITE;
BYTE(0-3) WRITE; BYTE(1-2) WRITE;
DOUBLE BYTE BLOCK WRITE;
QUAD BYTE BLOCK WRITE.



PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

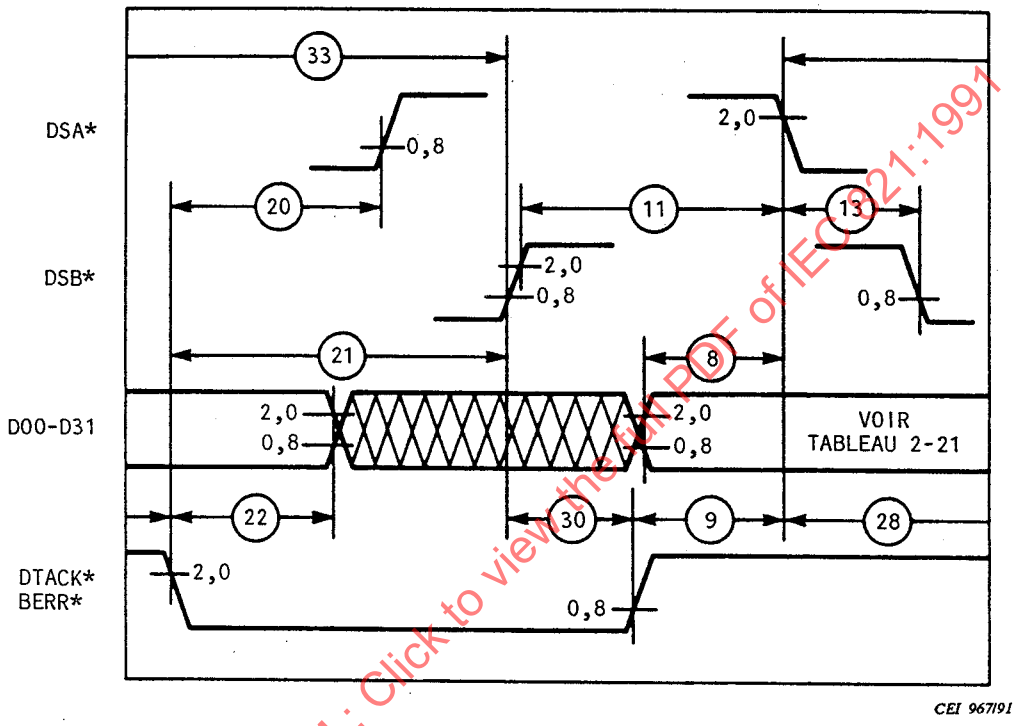
Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-19. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données (suite).

ECRITURE OCTET(0-1); ECRITURE OCTET(2-3);
ECRITURE OCTET(0-3); ECRITURE OCTET(1-2);
ECRITURE DE BLOCS PAR DOUBLE OCTET;
ECRITURE DE BLOCS PAR QUADRUPLE OCTET.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
9	0	-	0	-	-	-
11	40	-	30	-	30	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

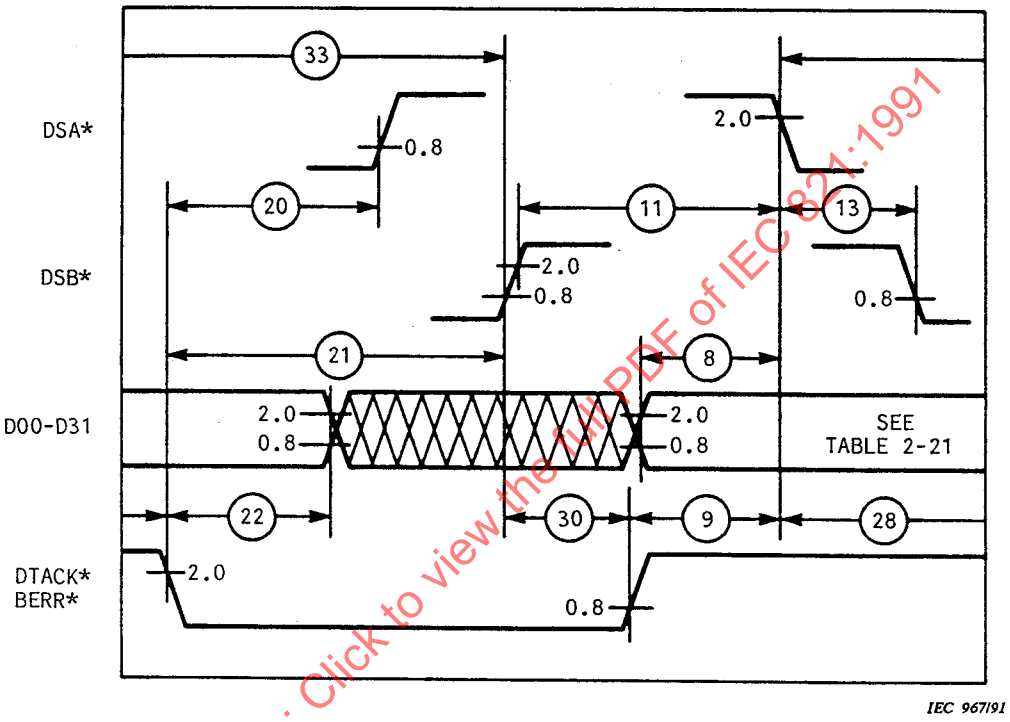
Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-19. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing (continued).

BYTE(0-1) WRITE; BYTE(2-3) WRITE;
BYTE(0-3) WRITE; BYTE(1-2) WRITE;
DOUBLE BYTE BLOCK WRITE;
QUAD BYTE BLOCK WRITE.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

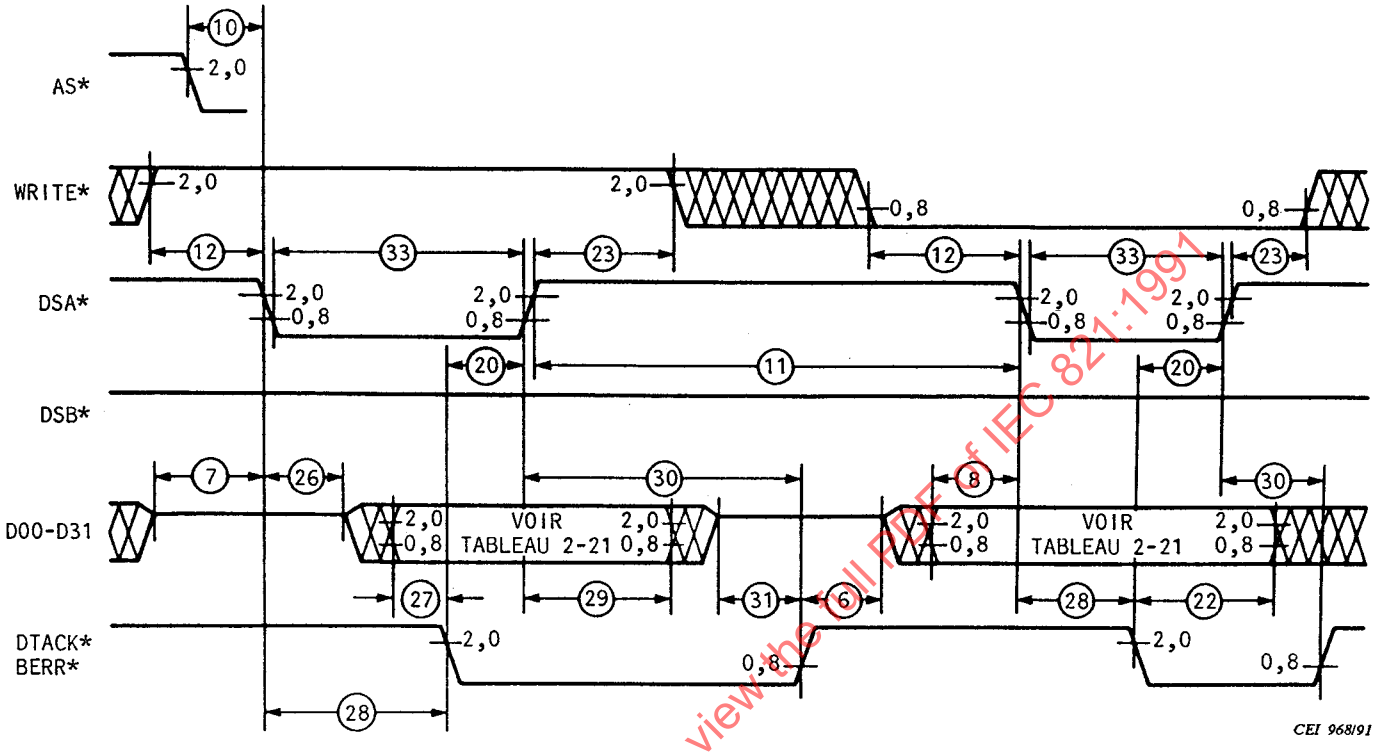
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
8	35	-	10	-	-	-
9	0	-	0	-	-	-
11	40	-	30	-	30	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
28	30	2T	30	-	-	-
30	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

FIG. 2-20. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données.

Cycles RMW pour octet unique.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
11	40	-	30	-	30	-
12	35	-	10	-	10	-
20	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

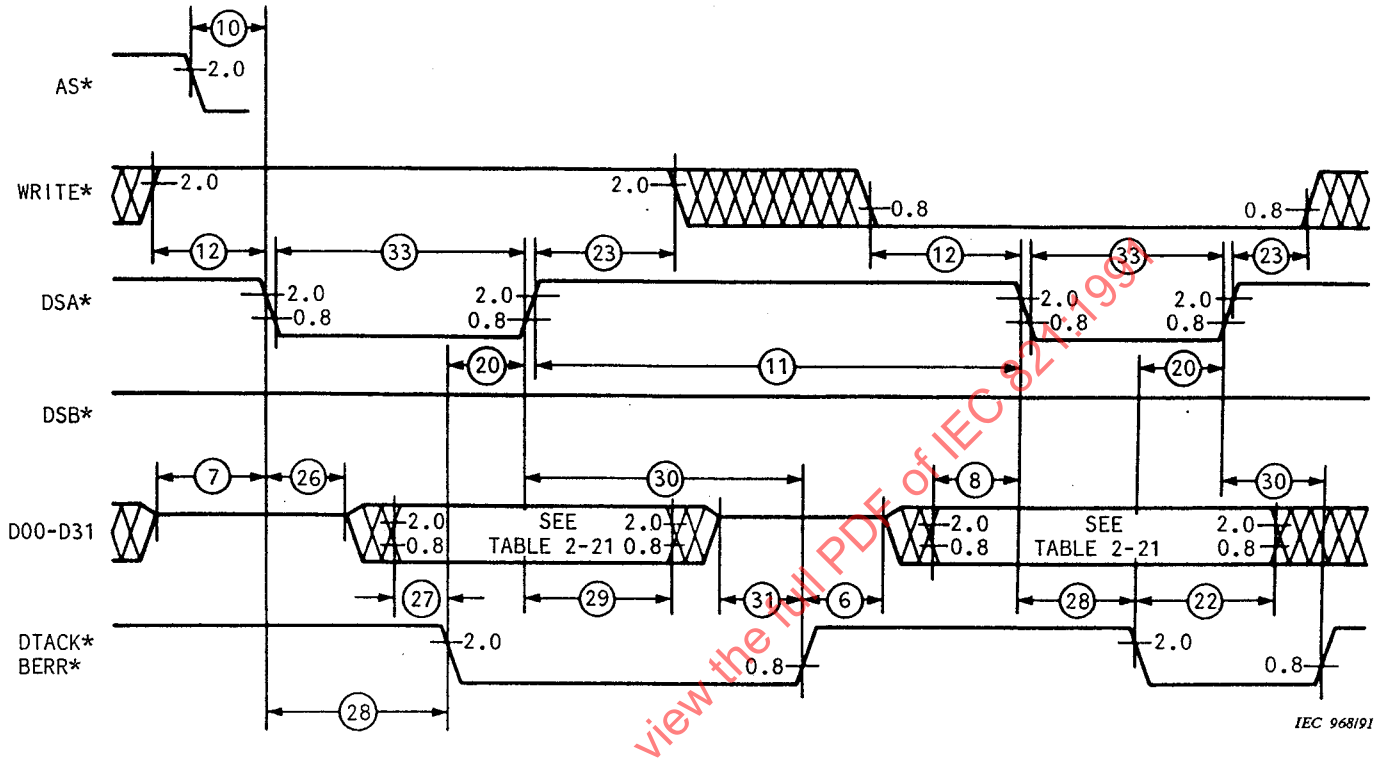
Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-20. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing.

Single byte RMW cycle.



PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
11	40	-	30	-	30	-
12	35	-	10	-	10	-
20	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

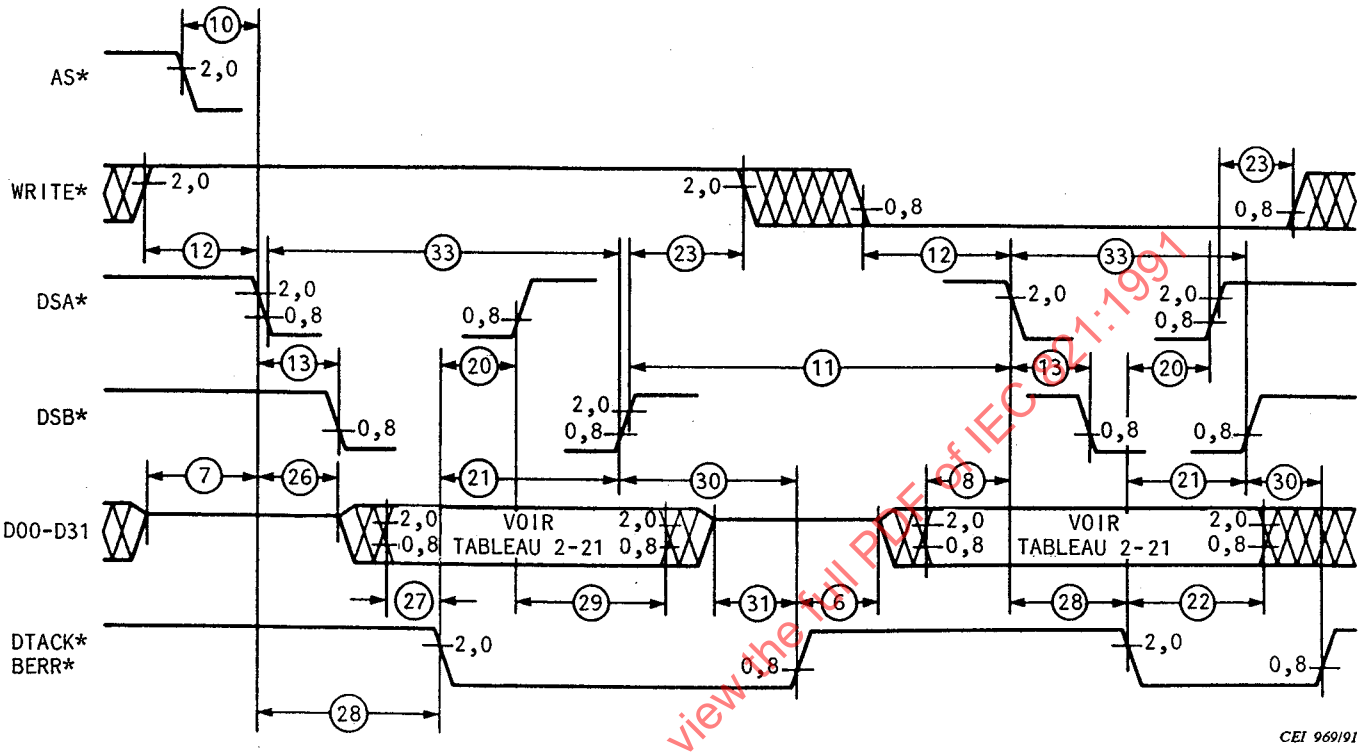
Notes:

1. All times are in nanoseconds.
2. T = time-out value in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-21. - MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données.

Cycles RMW pour double octet; cycles RMW pour quadruple octet.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
11	40	-	30	-	30	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

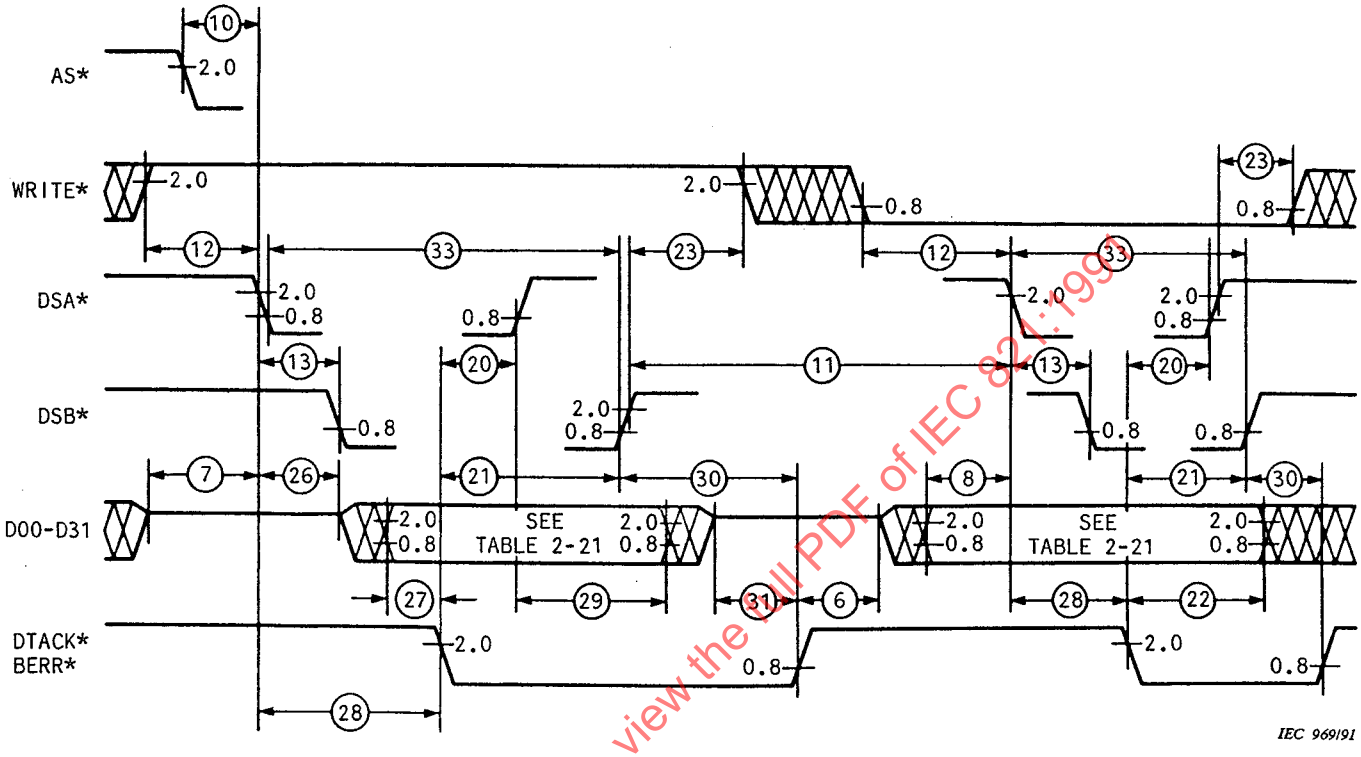
1. Tous les temps sont en nanosecondes.

2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-21. - MASTER, SLAVE and LOCATION MONITOR - Data transfer timing.

Double byte RMW cycles; quad byte RMW cycles.



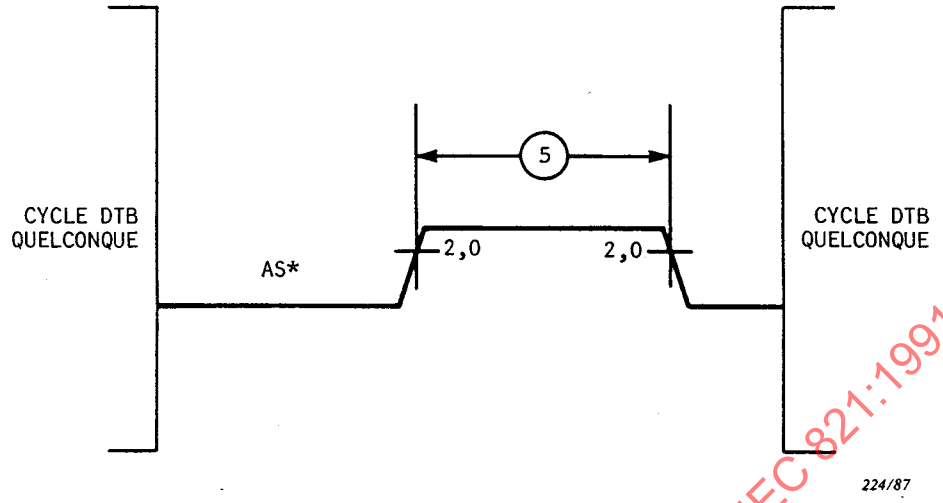
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	0	-	0	-	-	-
7	0	-	0	-	-	-
8	35	-	10	-	-	-
10	0	-	-10	-	-10	-
11	40	-	30	-	30	-
12	35	-	10	-	10	-
13	-	10	-	20	-	20
20	0	-	0	-	-	-
21	0	-	0	-	-	-
22	0	-	0	-	-	-
23	10	-	0	-	0	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
33	-	-	30	-	30	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value in microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1990

FIG. 2-22. - Chronogramme du signal de validation d'adresse entre les cycles.

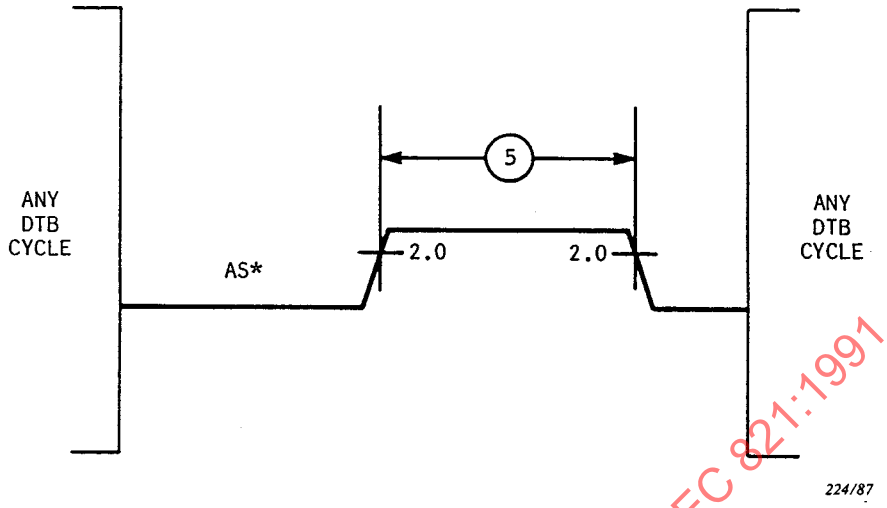


NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
5	40	-	30	-	30	-

Note:
Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-22. - Address strobe inter-cycle timing.



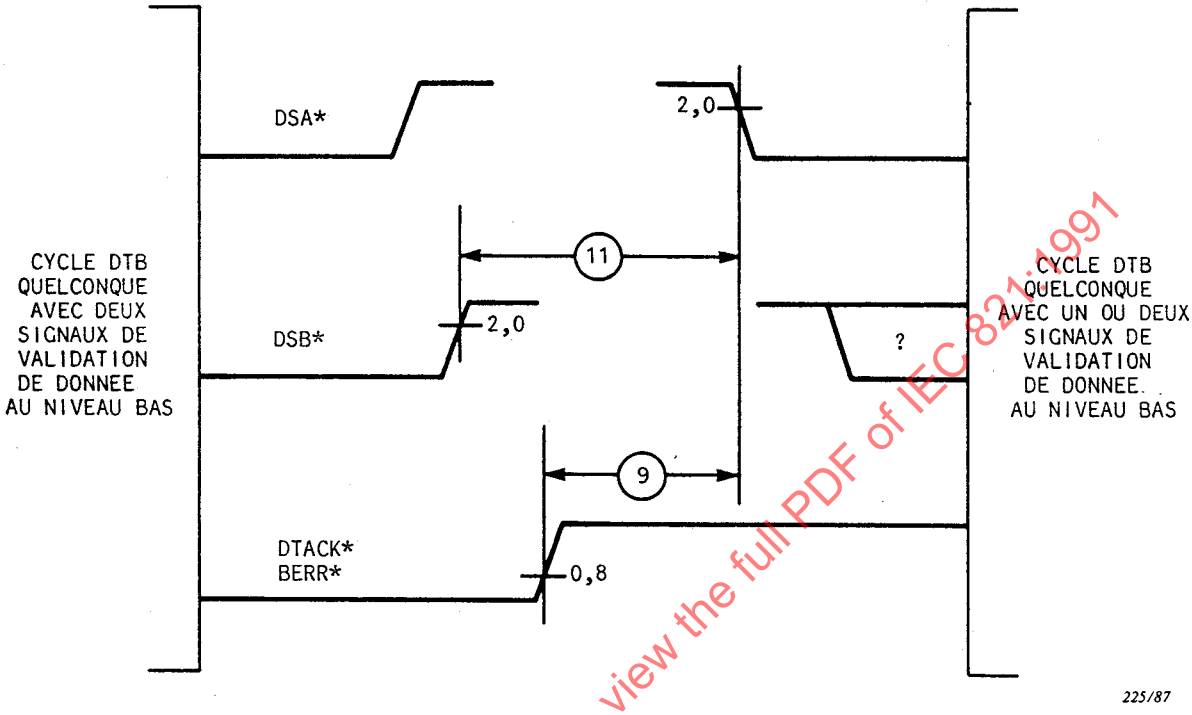
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
5	40	-	30	-	30	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-23. - Chronogramme des signaux de validation de donnée entre les cycles.

Un cycle où les deux signaux de validation de donnée passent au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas.



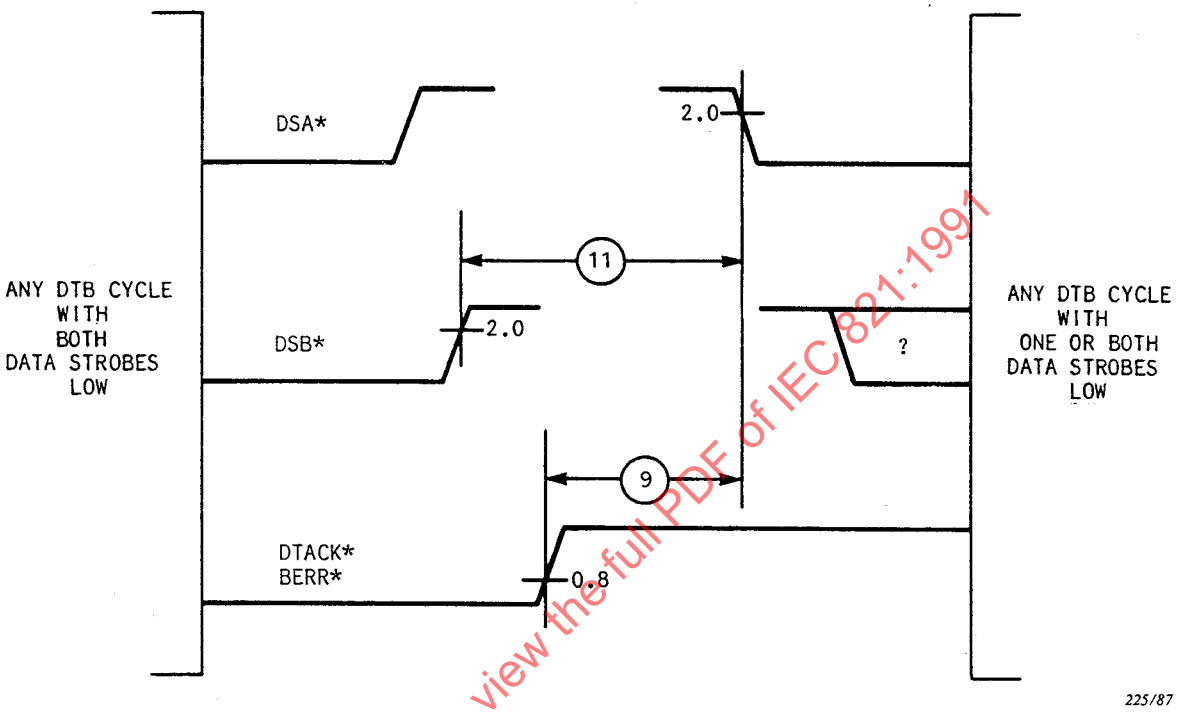
NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-

Note:
Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-23. - Data strobe inter-cycle timing.

A cycle where both data strobes go low followed by a cycle where one or both data strobes go low.



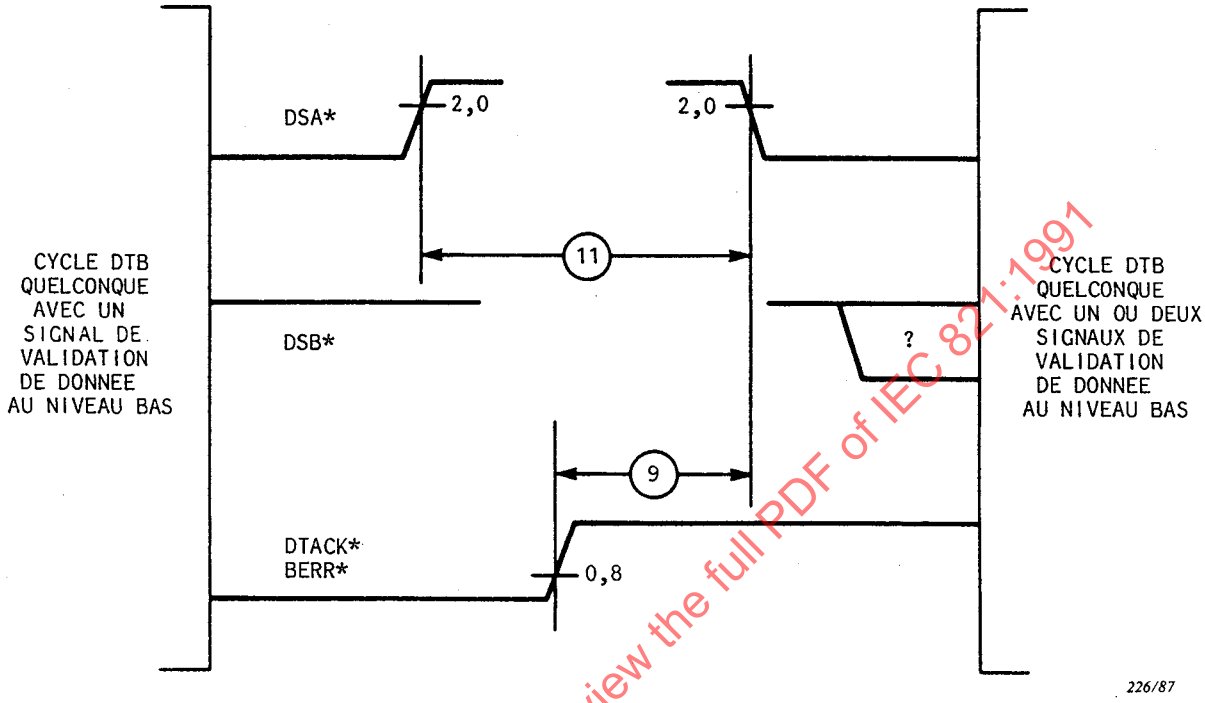
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-24. - Chronogramme des signaux de validation de donnée entre les cycles.

Un cycle où un signal de validation de donnée passe au niveau bas suivi par
un cycle où un ou les deux signaux de validation de donnée passent au niveau bas.



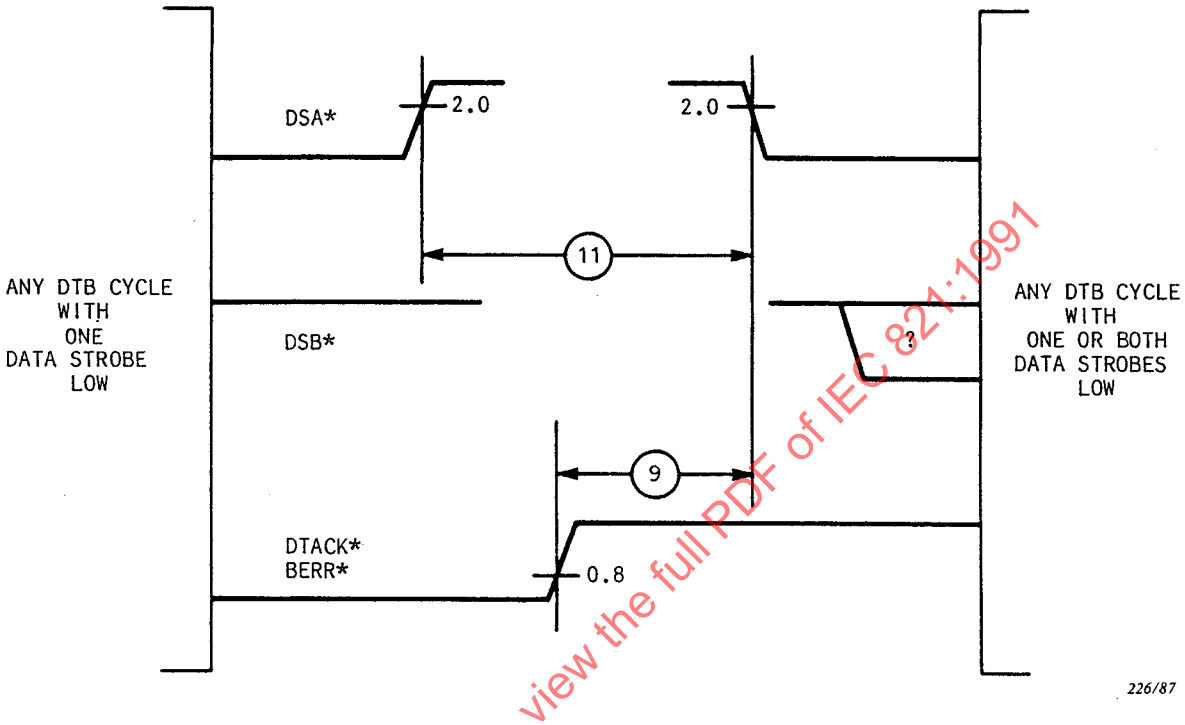
NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-

Note:
Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-24. - Data strobe inter-cycle timing.

A cycle where one data strobe goes low followed by a cycle where one or both data strobes go low.



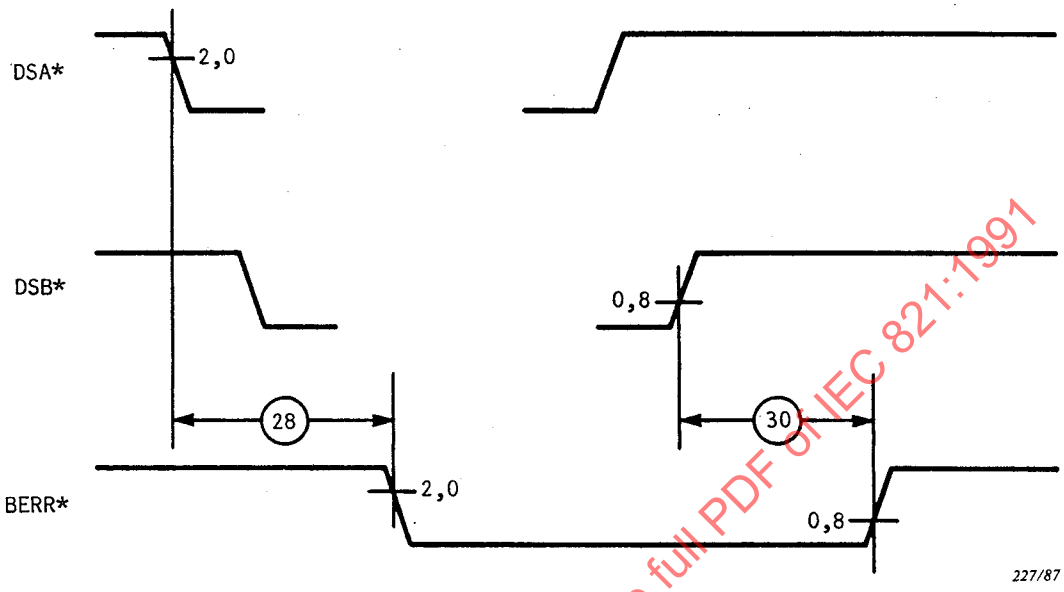
PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
9	0	-	0	-	-	-
11	40	-	30	-	30	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-25. - MAITRE, ESCLAVE et LIMITEUR DE TEMPS D'OCCUPATION DU BUS - Chronogramme de transfert de données.

Cycle de dépassement de temps d'occupation du bus.



NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
28	30	2T	30	-	-	-
30	0	-	0	-	-	-

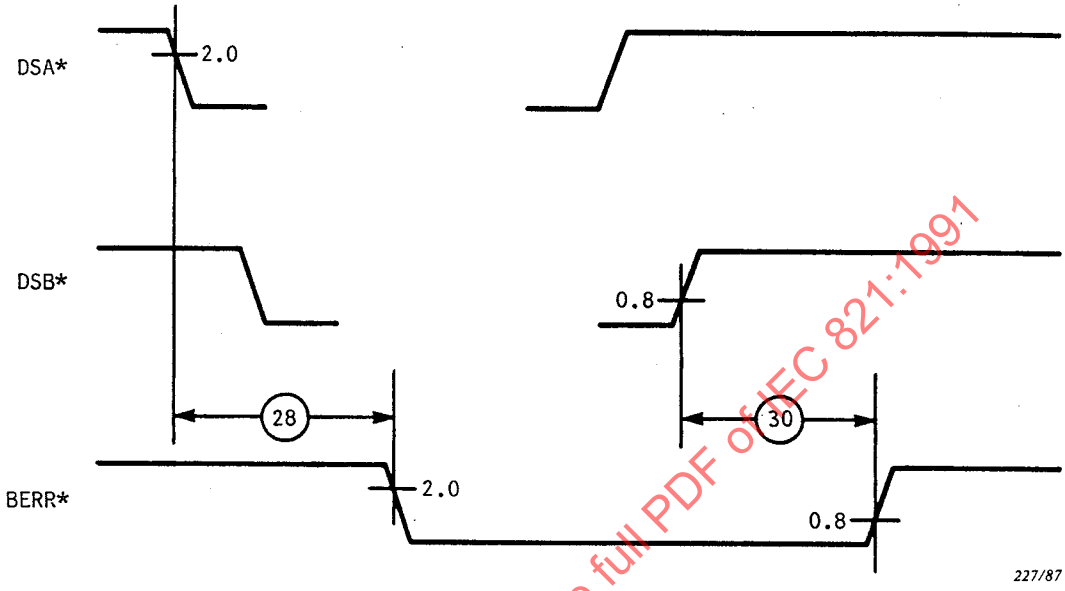
Note:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-25. - MASTER, SLAVE and BUS TIMER - Data transfer timing.

Timed-out cycle.

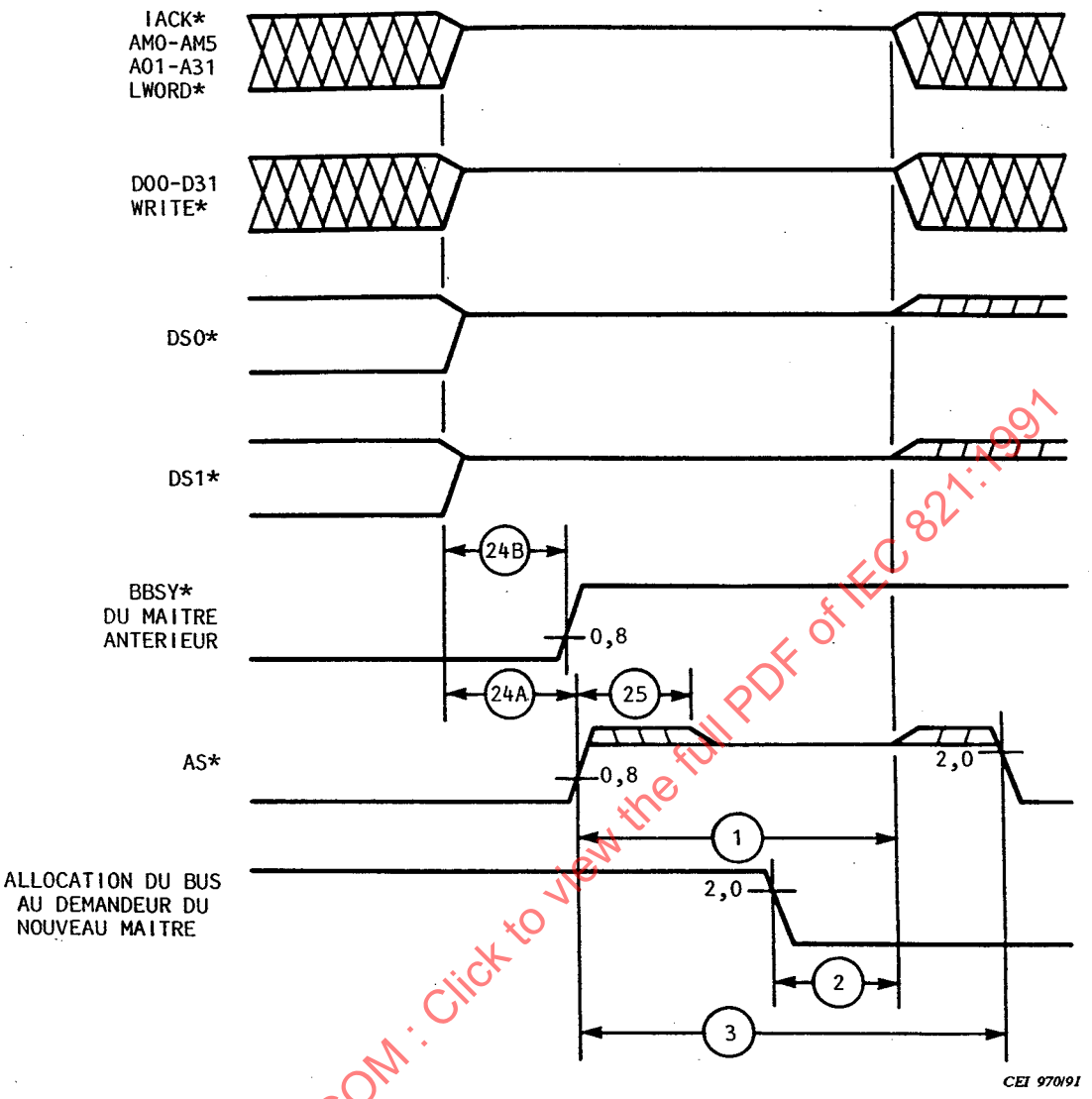


PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
28	30	2T	30	-	-	-
30	0	-	0	-	-	-

Note:
1.- All times are in nanoseconds.
2.- T = time-out value in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-26. - MAITRE - Chronogramme du transfert du contrôle du DTB.



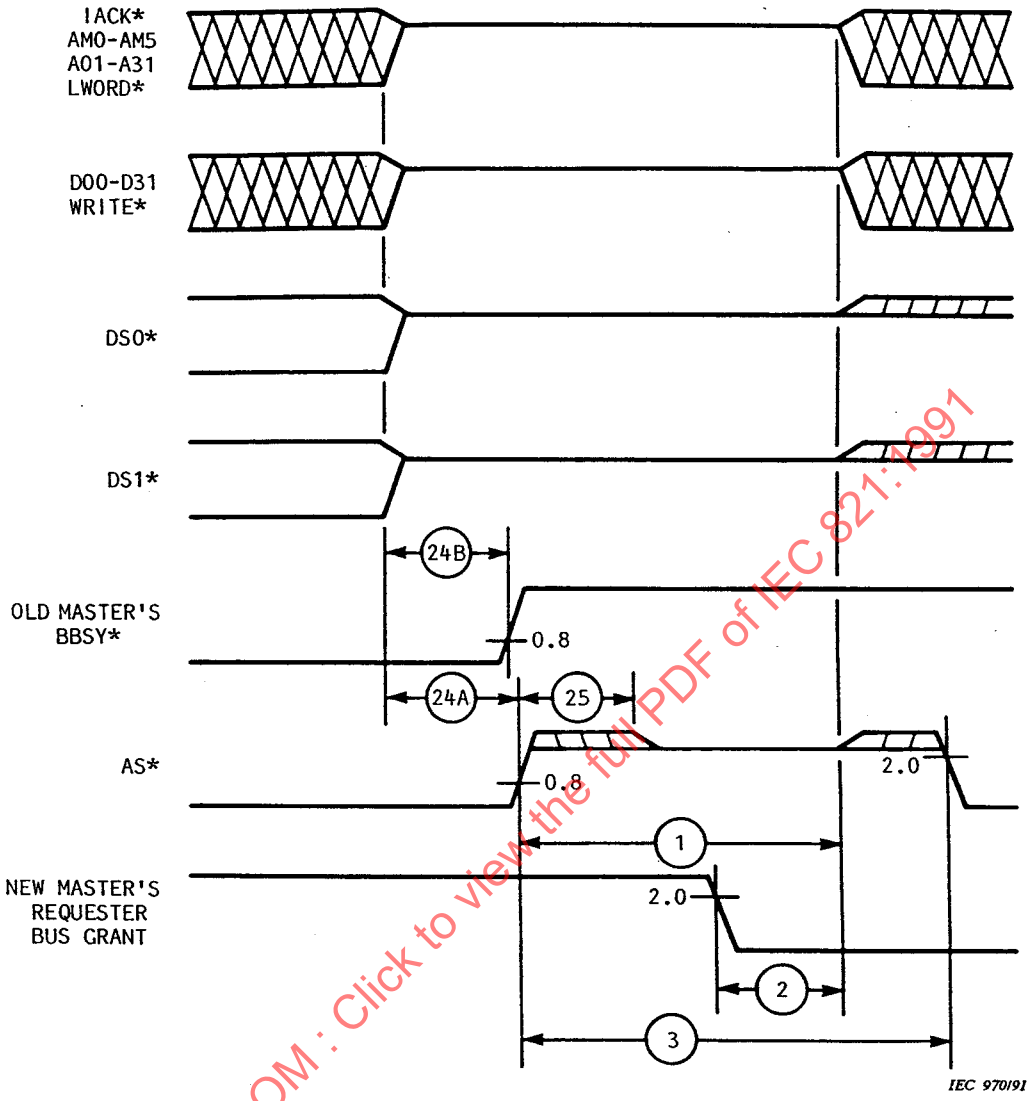
NUMERO DU PARAMETRE	MAITRE		ESCLAVE		DETECTEUR D'ACCES	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
1	0	-	-	-	-	-
2	0	-	-	-	-	-
3	60	-	-	-	-	-
24A	0	-	-	-	-	-
24B	0	-	-	-	-	-
25	-	25	-	-	-	-

Note:

1. Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 2-26. - MASTER - DTB control transfer timing.



PARAMETER NUMBER	MASTER		SLAVE		LOCATION MONITOR	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
1	0	-	-	-	-	-
2	0	-	-	-	-	-
3	60	-	-	-	-	-
24A	0	-	-	-	-	-
24B	0	-	-	-	-	-
25	-	25	-	-	-	-

Note:

All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

3.1 *Principes de l'arbitrage du bus*

Avec la réduction des coûts des microprocesseurs, il devient économiquement possible de concevoir des systèmes à plusieurs processeurs se partageant des ressources communes.

La plus importante de ces ressources communes est le bus de transfert de données, par lequel on a accès à toutes les autres ressources communes. Tout système multiprocesseur doit donc prévoir une méthode efficace d'allocation du bus de transfert de données. La rapidité de l'allocation étant essentielle, une méthode d'allocation par matériel est la seule possibilité. Le BUS CEI 821 répond à ce besoin grâce à son sous-système d'arbitrage. (Voir figure 3-1, page 204.)

Le sous-système d'arbitrage du BUS CEI 821:

- empêche l'utilisation simultanée du bus par deux MAITRES;
- planifie les demandes des MAITRES multiples pour optimiser l'utilisation du bus.

3.1.1 *Types d'arbitrage*

Lorsque plusieurs cartes demandent simultanément l'usage du DTB, le sous-système d'arbitrage détecte ces demandes et accorde le bus à une seule carte à la fois. La décision d'octroyer le bus à une carte en premier dépend de l'algorithme d'affectation qui est utilisé. Plusieurs algorithmes sont possibles. Le BUS CEI 821 en décrit trois: prioritaire, à priorité tournante et à niveau unique.

a) L'arbitrage prioritaire affecte le bus selon un schéma de priorité fixe où chacune des quatre lignes de demandes du bus a une priorité allant du plus haut niveau (BR3*) au plus bas (BR0*).

b) L'arbitrage à priorité tournante affecte le bus sur une base de rotation du niveau de priorité. S'il est affecté au DEMANDEUR par la ligne de demande du bus "BR(n)*", la priorité la plus élevée pour l'arbitration suivante passe alors à la ligne de demande du bus "BR(n-1)*".

c) L'arbitrage à niveau unique n'accepte des demandes que sur BR3* et se base sur la chaîne d'allocation de BR3* pour hiérarchiser les demandes.

AUTORISATION 3.1:
Des algorithmes d'affectation autres que prioritaires, à priorité tournante ou à niveau unique PEUVENT être utilisés. Par exemple, un schéma d'arbitrage peut donner la priorité la plus haute à BR3*, alors que les autres niveaux BR0* à BR2* restent sur une base d'arbitrage à priorité tournante.

IECNORM.COM : Click to view the full PDF of IEC 821:1984

CHAPTER 3: IEC 821 BUS DATA TRANSFER BUS ARBITRATION

3.1 *Bus arbitration philosophy*

As microprocessor costs decrease, it is becoming more cost effective to design systems with multiple processors sharing global resources.

The most fundamental of these global resources is the Data Transfer Bus through which all other global resources are accessed. Therefore, any system that supports multiprocessing needs to provide an efficient allocation method for the Data Transfer Bus. Because speed of allocation is vital, a hardware allocation scheme is the only practical alternative. The IEC 821 BUS meets this need with its arbitration subsystem. (See Figure 3-1, page 205.)

The IEC 821 BUS arbitration subsystem:

- prevents simultaneous use of the bus by two MASTERS;
- schedules requests from multiple MASTERS for optimum bus use.

3.1.1 *Types of arbitration*

When several boards request use of the DTB simultaneously, the arbitration subsystem detects these requests and grants the bus to one board at a time. The decision of which board is granted the bus first depends upon what scheduling algorithm is used. Many algorithms are possible. The IEC 821 BUS describes three: prioritized, round-robin, and single level.

a) Prioritized arbitration assigns the bus according to a fixed priority scheme where each of four bus request lines has a priority from highest (BR3*) to lowest (BR0*).

b) Round-robin arbitration assigns the bus on a rotating priority basis. When the bus is granted to the REQUESTER on bus request line "BR(n)*", then the highest priority for the next arbitration is assigned to bus request line "BR(n-1)*".

c) Single level arbitration only accepts requests on BR3*, and relies on BR3*'s bus grant daisy-chain to arbitrate the requests.

PERMISSION 3.1:
Scheduling algorithms other than priority, round-robin, or single level MAY be used. For example, an ARBITER's algorithm might give highest priority to BR3*, but grant the bus to BR0* through BR2* on a round-robin basis.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

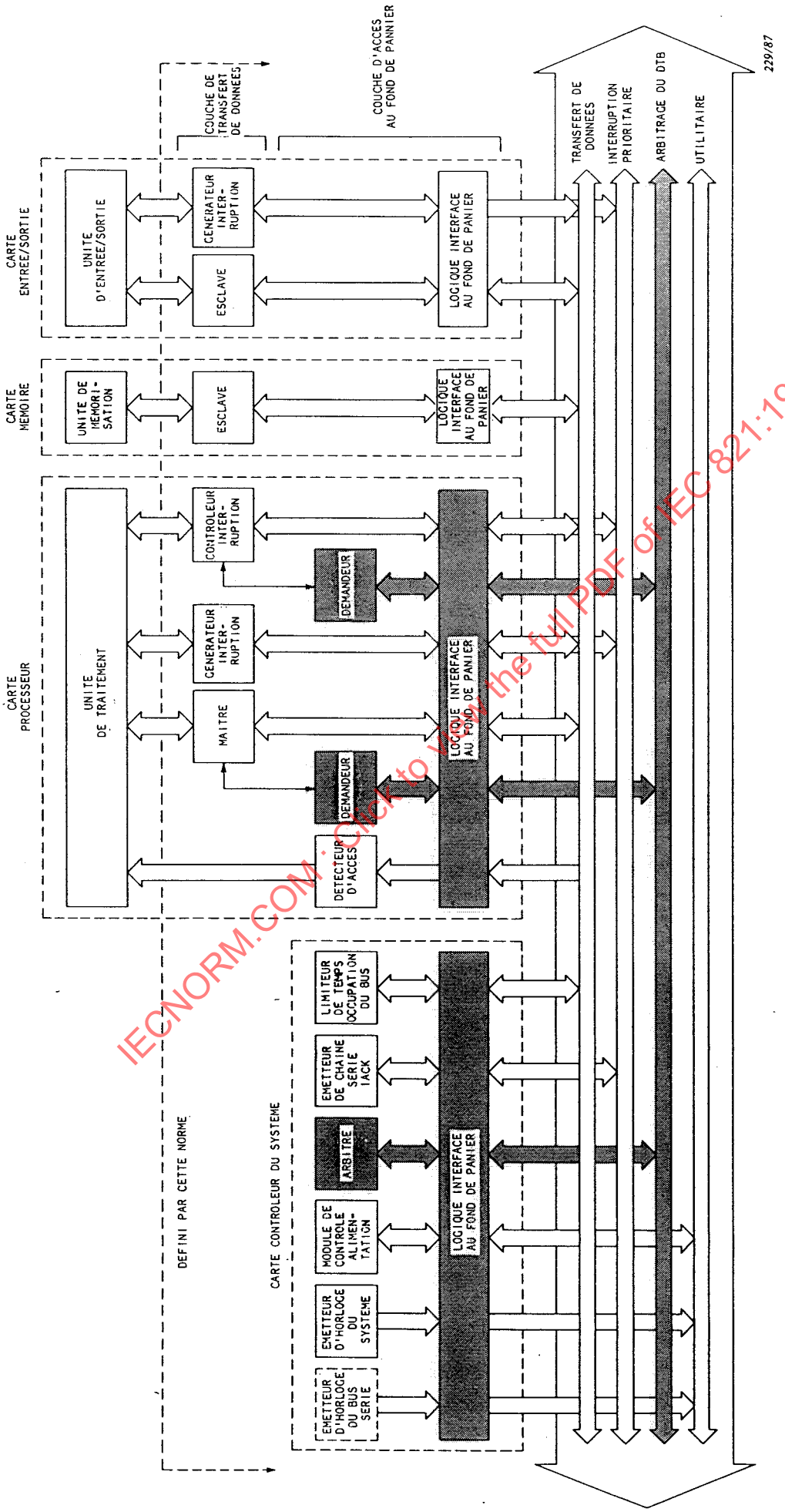


FIG. 3-1. - Schéma bloc fonctionnel de l'arbitrage du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

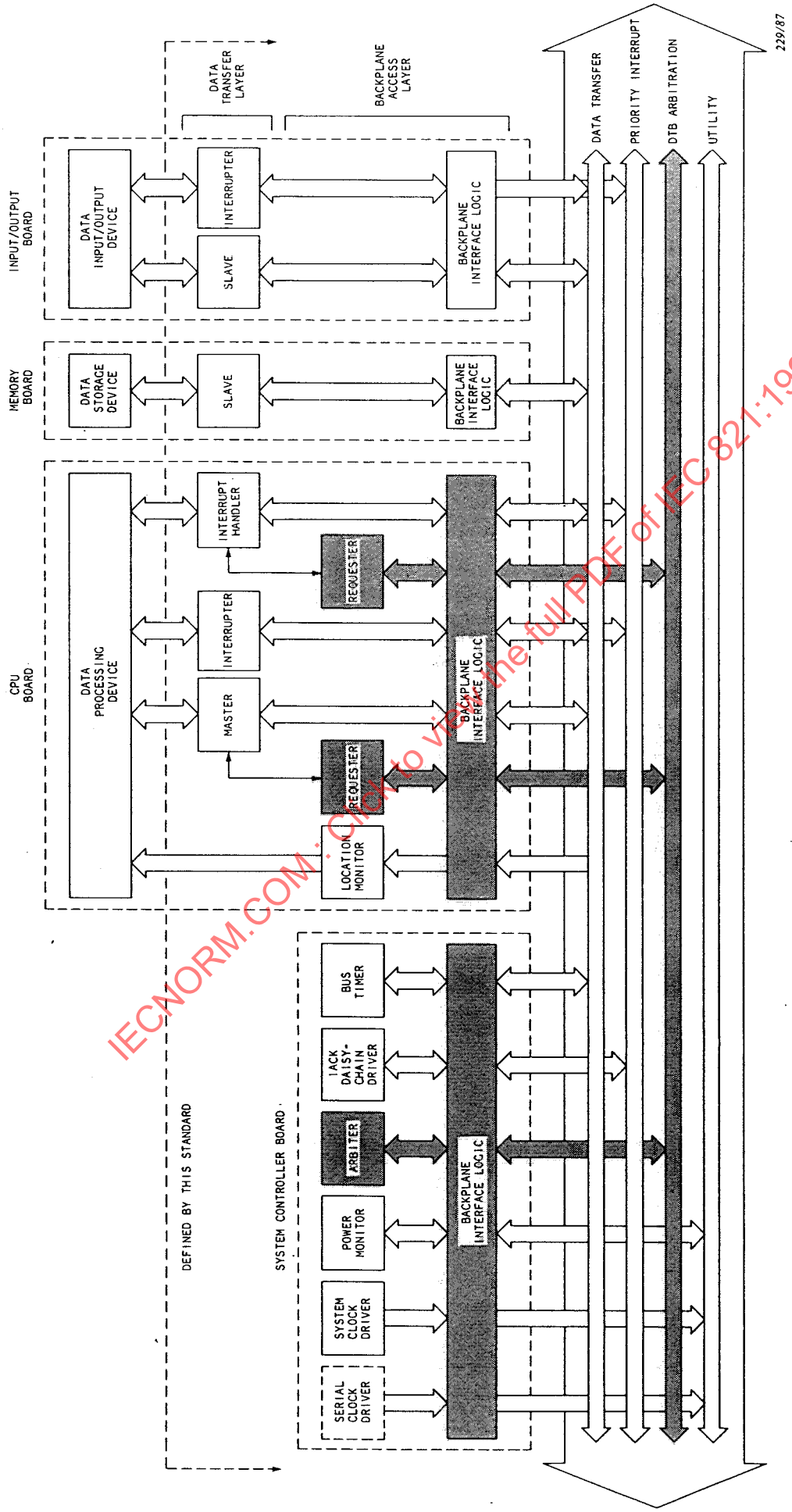


FIG. 3-1. - Arbitration bus functional block diagram.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.2 *Lignes du bus d'arbitrage*

Le bus d'arbitrage est constitué de six lignes du BUS CEI 821 et quatre lignes en chaîne série qui nécessitent des noms spéciaux de signaux. Les signaux qui entrent dans chaque carte sont appelés lignes d'"ENTREE d'allocation du bus"(BGxIN*), et les signaux qui sortent de chaque carte sont appelés lignes de "SORTIE d'allocation du bus" (BGxOUT*). Les lignes qui sortent de l'emplacement n sous le nom de BGxOUT* entrent dans l'emplacement n+1 désignées par BGxIN*. Cela est illustré dans la figure 3-2, page 208.

OBSERVATION 3.1:
Dans tout ce chapitre, les termes BRx*, BGxIN* et BGxOUT* sont utilisés pour décrire les lignes de demandes et d'allocation du bus, où x prend une valeur comprise entre zéro et trois.

Dans le système d'arbitrage du BUS CEI 821, un module DEMANDEUR commande les lignes suivantes:

- 1 ligne de demande du bus (une parmi BR0* à BR3*)
- 1 ligne de sortie d'allocation du bus (une parmi BG0OUT* à BG3OUT*)
- 1 ligne de bus occupé (BBSY*).

REGLE 3.1:
SI une carte de BUS CEI 821 ne génère pas de demandes de bus sur l'un des niveaux,
ALORS elle DOIT propager les signaux de la chaîne série relatifs à ces niveaux provenant des lignes BGxIN* vers les lignes BGxOUT* correspondantes.

AUTORISATION 3.2:
La propagation pour les lignes non utilisées de la chaîne série d'allocation du bus PEUT être faite en utilisant des cavaliers ou des circuits logiques actifs. La dernière approche permet la sélection du niveau de demande sous le contrôle logiciel, alors que de la première résulte une propagation plus rapide à travers la chaîne série.

Trois types d'ARBITRES sont décrits dans la présente norme du BUS CEI 821:

- Prioritaire (PRI)
- Sélection à priorité tournante (RRS)
- Niveau unique (SGL).

Le fonctionnement de ces trois types d'ARBITRES est décrit dans la section 3.3.

L'ARBITRE PRI commande les lignes suivantes:

- 1 ligne de libération du bus (BCLR*)
- 4 lignes d'entrée d'allocation du bus (emplacement 1 BG0IN* à BG3IN*).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.2 *Arbitration bus lines*

The arbitration bus consists of six bused IEC 821 BUS lines and four daisy-chained lines. These daisy-chained lines require special signal names. The signals entering each board are called "Bus Grant IN" lines (BGxIN*), while the signals leaving each board are called "Bus Grant OUT" lines (BGxOUT*). The lines which leave slot n as BGxOUT* enter slot n+1 as BGxIN*. This is illustrated in Figure 3-2, page 209.

OBSERVATION 3.1:
In all descriptions in this chapter, the terms BRx*, BGxIN*, and BGxOUT* are used to describe the bus request and bus grant lines, where x takes on any value from zero to three.

In the IEC 821 BUS arbitration system, a REQUESTER module drives the following lines:

- 1 bus request line (one of BR0* through BR3*)
- 1 bus grant out line (one of BG0OUT* through BG3OUT*)

- 1 bus busy line (BBSY*).

RULE 3.1:
IF an IEC 821 BUS board does not generate bus requests on some bus request levels,
THEN it MUST propagate the daisy-chain signals for those levels from its BGxIN* lines to its respective BGxOUT* lines.

PERMISSION 3.2:
The propagation for the unused lines of the bus grant daisy-chain MAY be done using jumpers or active logic. The latter approach allows selection of the request level under software control, while the former results in faster propagation through the daisy-chain.

Three types of ARBITERS are described in the IEC 821 BUS standard. They are:

- PRIoritized (PRI)
- Round-Robin Select (RRS)
- SinGle Level (SGL).

The operation of these three types of ARBITERS is described in Section 3.3.

A PRI ARBITER drives the following:

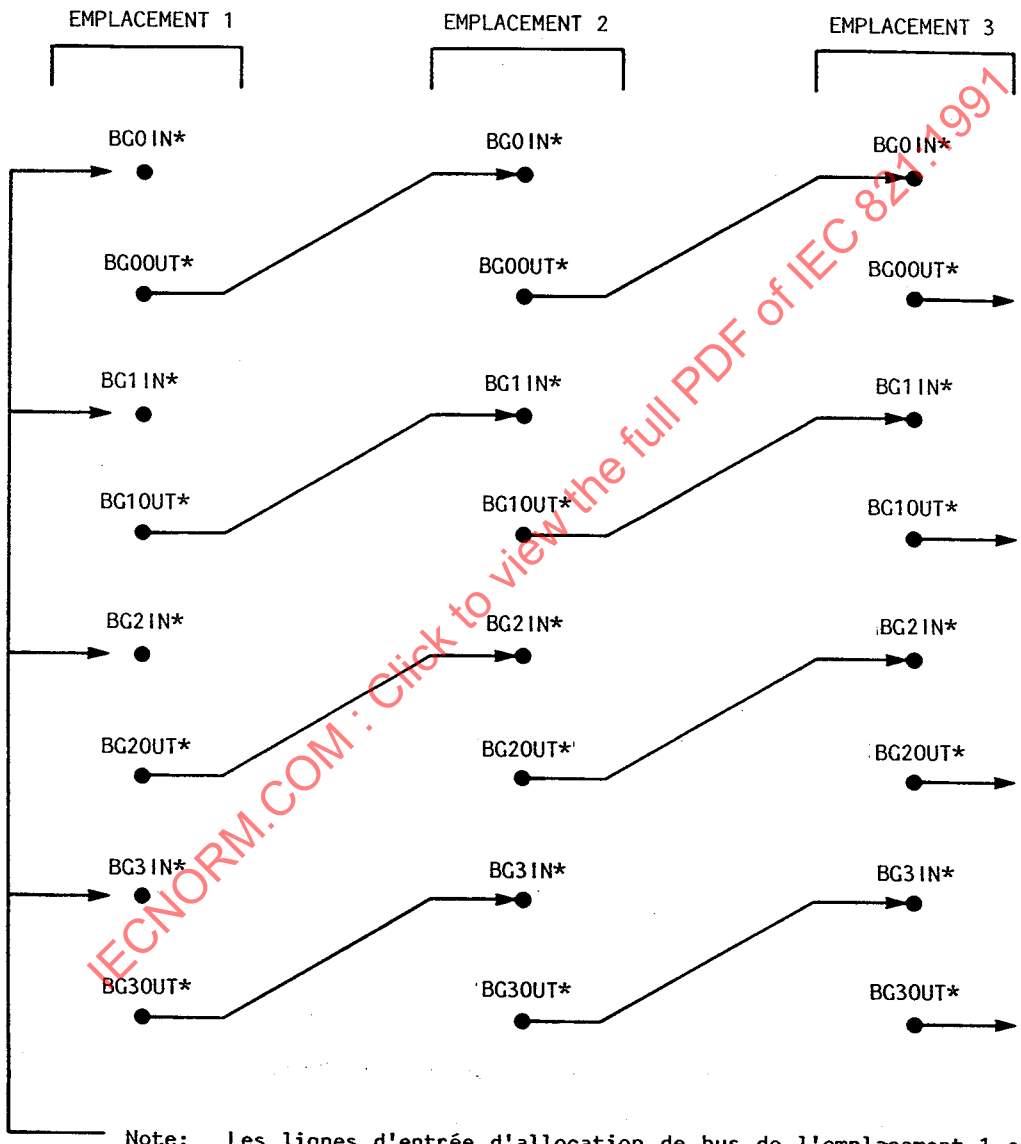
- 1 bus clear line (BCLR*)
- 4 bus grant lines (slot 1 BG0IN* through BG3IN*).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Un ARBITRE RRS commande les quatre lignes BGxIN* de l'emplacement 1 et optionnellement la ligne BCLR*.

Un ARBITRE SGL commande seulement BG3IN* à l'emplacement 1.

Deux lignes supplémentaires sont importantes pour le séquencement de mise en ou hors tension du système d'arbitrage: SYSRESET* et ACFAIL*. Bien que leur action sur le système d'arbitrage soit traitée dans ce chapitre, ces lignes sont décrites dans le chapitre 5.



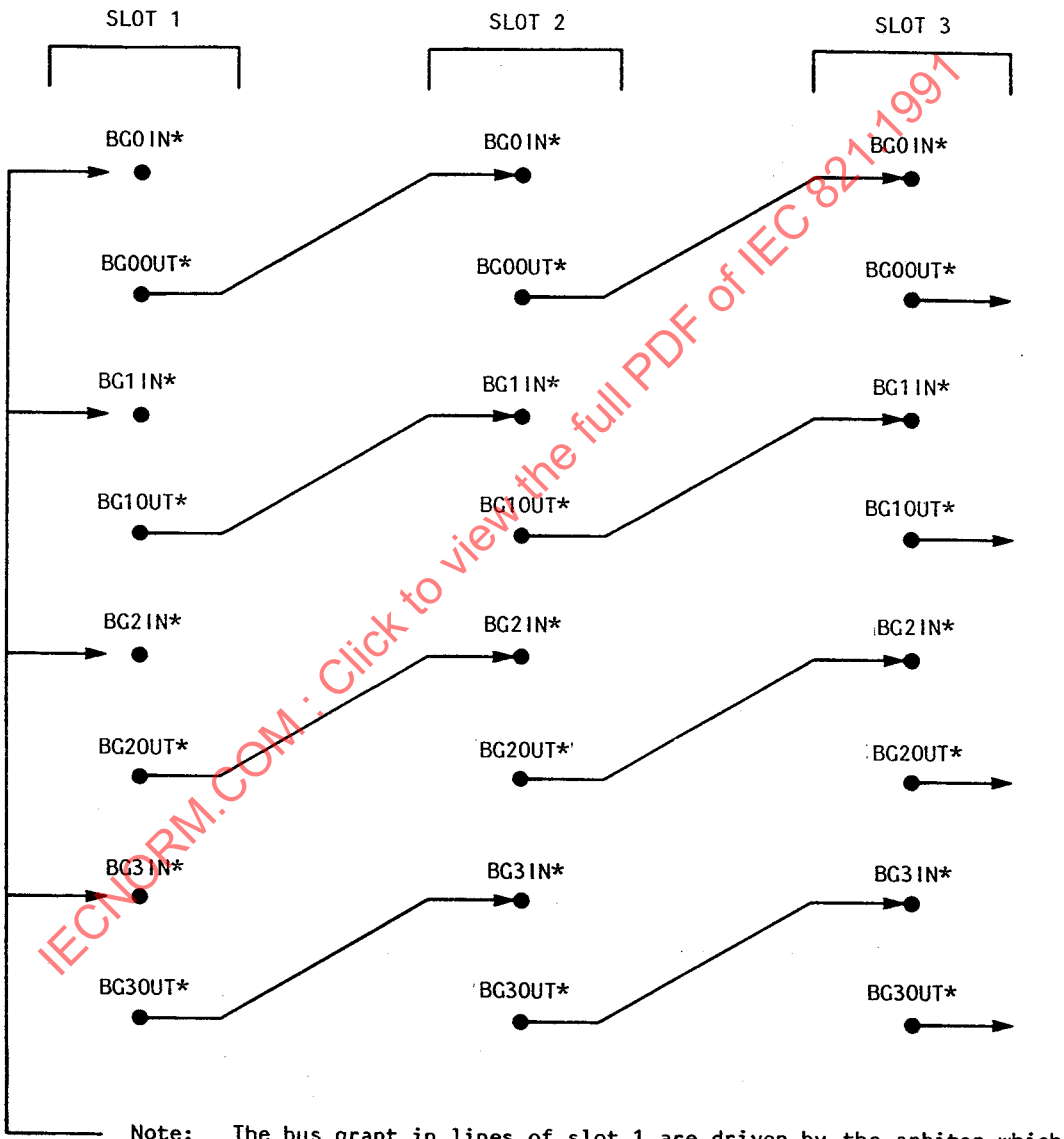
IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 3-2. - Illustration des lignes de la chaîne série d'allocation du bus.

An RRS ARBITER drives the four slot 1 BGxIN* lines and, optionally, the BCLR* line.

A SGL ARBITER drives only BG3IN* at slot 1.

Two additional lines are intimately connected with the arbitration system during power-up and power-down sequencing: SYSRESET*, and ACFAIL*. While their impact on the arbitration system is included in this chapter, these lines are discussed in Chapter 5.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 3-2. - Illustration of the daisy-chained bus grant lines.

3.2.1 *Lignes de demande et d'allocation du bus*

Les lignes de demande du bus sont utilisées par chaque DEMANDEUR pour requérir l'utilisation du DTB. Les lignes d'allocation du bus permettent à l'ARBITRE d'accorder l'utilisation du bus. Il le fait en commandant au niveau bas une ligne de chaîne série d'allocation du bus. Ce niveau bas se propage le long de la chaîne série au travers de chaque carte. Si une carte n'utilise jamais un certain niveau de demande/allocation x, le signal doit être transmis par cette carte. Lorsque la carte utilise un niveau de demande/allocation x, le signal BGxIN* correspondant est pris en compte par la carte. Si le DEMANDEUR de la carte a une demande du DTB en cours sur ce niveau, il ne transmet pas sur BGxOUT le niveau bas. Dans le cas contraire, il transmet ce niveau.

REGLE 3.2:
SI un emplacement de fond de panier du BUS CEI 821 n'est pas occupé par une carte, et s'il y a des cartes en aval sur la chaîne série,
ALORS des cavaliers DOIVENT être installés dans l'emplacement vide pour propager le signal à travers la chaîne série.

OBSERVATION 3.2:
La spécification mécanique du fond de panier du chapitre 7 décrit les moyens d'installation de cavaliers dans chaque emplacement.

REGLE 3.3:
L'ARBITRE DOIT toujours être situé dans l'emplacement 1.

3.2.2 *Ligne d'occupation du bus (BBSY*)*

Lorsqu'un DEMANDEUR a reçu le contrôle du bus de transfert de données par la chaîne série d'allocation du bus, il commande BBSY* au niveau bas. Ensuite, il a le contrôle du DTB jusqu'à ce qu'il libère BBSY*, ce qui permet à l'ARBITRE d'accorder le DTB à un autre DEMANDEUR.

3.2.3 *Ligne de libération du bus (BCLR*)*

L'ARBITRE PRI commande BCLR* au niveau bas pour informer le MAITRE qui contrôle actuellement le DTB qu'une demande de priorité plus haute est en attente. Le MAITRE actuel n'est pas obligé de libérer le bus dans une limite de temps prescrite. Généralement, il continue de transférer les données jusqu'à ce qu'il atteigne un point d'arrêt approprié, et alors permet à son DEMANDEUR placé sur la carte, de libérer BBSY*.

AUTORISATION 3.3:
Bien qu'il ne soit pas nécessaire que les ARBITRES RRS commandent la ligne BCLR*, ils PEUVENT le faire.

SUGGESTION 3.1:
SI un ARBITRE RRS commande la ligne BCLR* au niveau bas,
ALORS le concevoir pour agir ainsi dès qu'il y a une demande en attente sur n'importe quelle ligne non acquittée de demande du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.2.1 *Bus request and bus grant lines*

The bus request lines are used by each REQUESTER to request use of the DTB. The bus grant lines allow the ARBITER to award use of the bus. It does this by driving a bus grant daisy-chain line low. This low level propagates down the daisy-chain, typically passing through several boards in the process. If a board never uses a particular request/grant level, the signal is passed through that board. Where the board uses a request/grant level x, the corresponding signal BGxIN* is gated on board. If its on-board REQUESTER is currently requesting the DTB on that level, it does not pass the low level on to its BGxOUT*. Otherwise, it passes on the low level.

RULE 3.2:
IF an IEC 821 BUS backplane slot is not occupied by a board, and if there are boards farther down the daisy-chain,

THEN jumpers MUST be installed at the empty slot to pass through the daisy-chain signal.

OBSERVATION 3.2:
The backplane mechanical specification in Chapter 7 describes a provision for the installation of jumpers at each slot.

RULE 3.3
The ARBITER MUST always be located in slot 1.

3.2.2 *Bus busy line (BBSY*)*

Once a REQUESTER has been granted control of the Data Transfer Bus via the bus grant daisy-chain, it drives BBSY* low. It then has control of the DTB until it releases BBSY*, allowing the ARBITER to grant the DTB to some other REQUESTER.

3.2.3 *Bus clear line (BCLR*)*

The PRI ARBITER drives BCLR* low to inform the MASTER, currently in control of the DTB, when a higher priority request is pending. The current MASTER does not have to relinquish the bus within any prescribed time limit. It can continue transferring data until it reaches an appropriate stopping point, and then allows its on-board REQUESTER to release BBSY*.

PERMISSION 3.3:
Although RRS ARBITERS are not required to drive the BCLR* line they MAY do so.

SUGGESTION 3.1:
IF a RRS ARBITER drives the BCLR* line low,
THEN design it to do so whenever there is a request pending on any of the non-granted bus request lines.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.3 *Modules fonctionnels*

Le sous-système d'arbitrage comprend plusieurs modules:

- un ARBITRE;
- un ou plusieurs DEMANDEURS.

Les figures 3-3 et 3-4, pages 218 et 226, fournissent les schéma-blocs des deux types de modules du bus d'arbitration.

REGLE 3.4:
Les lignes de signaux de sortie indiquées en lignes continues dans les figures 3-3 et 3-4 DOIVENT être commandées par le module, sinon il devrait toujours les commander au niveau haut.

REGLE 3.5:
Les lignes de signaux d'entrée indiquées en lignes continues dans les figures 3-3 et 3-4 DOIVENT être surveillées et on doit y répondre de façon appropriée.

OBSERVATION 3.3:
Les REGLES et les AUTORISATIONS pour commander et surveiller les lignes de signaux indiquées en lignes pointillées dans les figures 3-3 et 3-4 sont énumérées dans les tableaux 3-1 et 3-2.

OBSERVATION 3.4:
SI une ligne de signal de sortie n'est pas commandée,
ALORS des adaptateurs d'impédance sur le fond de panier assurent qu'elle est au niveau haut.

OBSERVATION 3.5:
Bien que SYSRESET* et ACFAIL* ne soient pas spécifiés comme faisant partie du bus d'arbitrage, ils sont importants ici parce que des MAITRES associés à des DEMANDEURS répondent à ces lignes de signaux. Le module de contrôle d'alimentation qui est présenté dans le chapitre 5 commande ces lignes.

3.3.1 ARBITRE

L'ARBITRE est un module fonctionnel qui décide à quel DEMANDEUR sera alloué le contrôle du DTB quand plusieurs demandes simultanées ont lieu. Plusieurs algorithmes possibles pourront être utilisés pour prendre cette décision. Trois types d'ARBITRES sont décrits dans cette norme: ARBITRE prioritaire (PRI), ARBITRE à priorité tournante (RRS), ARBITRE à niveau unique (SGL).

L'ARBITRE répond à une demande de bus lui parvenant et accorde le DTB au DEMANDEUR approprié avec l'une des lignes du bus d'allocation.

Quand un ARBITRE détecte BBSY* au niveau haut, et après avoir détecté une ou plusieurs demandes du bus, il génère une allocation du bus, correspondant à la demande de bus de priorité la plus haute.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.3 *Functional modules*

The arbitration subsystem is composed of several modules:

- one ARBITER;
- one or more REQUESTERS.

Figures 3-3 and 3-4, pages 219 and 227, provide block diagrams for the two types of arbitration bus modules.

RULE 3.4:
Output signal lines shown with solid lines in Figures 3-3 and 3-4 MUST be driven by the module, unless it would always drive them high.

RULE 3.5:
Input signal lines shown with solid lines in Figures 3-3 and 3-4 MUST be monitored and responded to in the appropriate fashion.

OBSERVATION 3.3:
RULES and PERMISSIONS for driving and monitoring the signal lines shown with dotted lines in Figures 3-3 and 3-4 are given in Tables 3-1 and 3-2.

OBSERVATION 3.4:
IF an output signal line is not driven,
THEN terminators on the backplane ensure that it is high.

OBSERVATION 3.5:
Although SYSRESET* and ACFAIL* are not specified as part of the arbitration bus, they are important here because MASTERS, which are paired with REQUESTERS, respond to these signal lines. The power monitor module which is discussed in Chapter 5, drives these lines.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.3.1 ARBITER

The ARBITER is a functional module that decides which REQUESTER should be granted control of the DTB when several request it simultaneously. There are many possible algorithms that could be used to make this decision. Three types of ARBITERS are described in this standard: a prioritized (PRI) ARBITER, a round-robin (RRS) ARBITER, and a single level (SGL) ARBITER.

The ARBITER responds to incoming bus requests and grants the DTB to the appropriate REQUESTER with one of the bus grant lines.

When the ARBITER detects BBSY* high, and after it detects one or more bus requests, it issues a bus grant, corresponding to the highest priority bus request.

Les lignes de demande du bus peuvent être en état transitoire du niveau haut vers le niveau bas au moment où l'ARBITRE échantillonne leur état. Si la ligne est échantillonnée lors de la transition, la sortie du dispositif d'échantillonnage pourrait ne pas être stabilisée pendant un certain temps. Ce phénomène est parfois qualifié de métastabilité. L'annexe D fournit un exemple de circuit ARBITRE qui prend en compte ce phénomène.

Lorsque le DEMANDEUR reçoit l'allocation du bus, il commande BBSY* au niveau bas et signale à son MAITRE sur sa carte ou au CONTROLEUR d'INTERRUPTION qu'il a alloué le DTB. Après que son MAITRE sur sa carte ou le CONTROLEUR d'INTERRUPTION eut terminé d'utiliser le DTB, le DEMANDEUR libère BBSY*. Le front montant résultant de BBSY* autorise l'ARBITRE à fournir une autre allocation de bus, établie sur les niveaux des lignes de demandes de bus à cet instant.

En plus de l'arbitrage fourni par l'ARBITRE, un niveau secondaire d'arbitre est réalisé par les chaînes séries d'allocation du bus. Grâce à ces chaînes d'allocations, les DEMANDEURS qui partagent une ligne de demande commune sont hiérarchisés en fonction de leur emplacement. Le DEMANDEUR le plus proche de l'emplacement 1 a la priorité la plus haute.

Les arbitres SGL ne répondent qu'aux demandes du bus sur BR3* et tiennent compte de la chaîne série d'allocation BG3IN*/BG3OUT* pour effectuer l'arbitrage.

L'ARBITRE PRI établit la priorité entre les quatre lignes de demandes du bus de BR0* (la plus basse) à BR3* (la plus haute) et il répond comme il convient par BG3IN*. Un ARBITRE PRI informe aussi un MAITRE, ayant le contrôle du bus, lorsqu'un niveau supérieur de demande est en attente, en commandant BCLR* au niveau bas.

Pour se représenter un ARBITRE à priorité tournante RRS, on peut considérer un commutateur mécanique commandé par un moteur pas à pas. Chaque position de ce commutateur connecte une ligne de demande de bus à la ligne d'allocation correspondante. Quant le bus est occupé, le commutateur est arrêté sur le niveau qui est actuellement utilisé sur le bus. A la libération du bus, le commutateur passe au pas inférieur c'est-à-dire BR(n)* à BR(n-1)*) et teste s'il y a une demande. Il continue cette scrutation jusqu'à ce qu'une demande soit trouvée, et envoie alors une allocation de bus sur la ligne appropriée.

AUTORISATION 3.4:
Un ARBITRE PEUT être conçu avec un limitateur de temps qui déclenche le retrait par l'ARBITRE de l'allocation du bus si BBSY* n'est pas commandé au niveau bas par un DEMANDEUR dans un délai déterminé.

OBSERVATION 3.6:
Le temps utilisé par l'ARBITRE permis par l'AUTORISATION 3.4 nécessite d'être plus long que le plus long délai possible de propagation de la chaîne série d'allocation du bus, plus le temps pris par le DEMANDEUR le plus lent pour générer BBSY*.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

The bus request lines might be in transition from high to low just at the time that the ARBITER is capturing their state. If the line is sampled during the transition, the output of the sampling device might not be stable for some time. This phenomenon is sometimes referred to as metastability. Appendix D provides a sample ARBITER circuit which deals with this phenomenon.

When the REQUESTER receives the bus grant, it drives BBSY* low and signals to its on-board MASTER or INTERRUPT HANDLER that it has been granted the DTB. After its on-board MASTER or INTERRUPT HANDLER finishes using the DTB, the REQUESTER releases BBSY*. The resulting rising edge of BBSY* enables the ARBITER to issue another bus grant, based upon the levels of the bus request lines at that time.

In addition to the arbitration provided by the ARBITER, a secondary level of arbitration is provided by the bus grant daisy-chains. Because of these daisy-chains, REQUESTERS sharing a common request line are prioritized by slot position. The REQUESTER closest to slot 1 has the highest priority.

SGL ARBITERS respond only to bus requests on BR3* and depend on the BG3IN*/BG3OUT* daisy-chain to do the arbitration.

The PRI ARBITER prioritizes the four bus request lines, from BR0* (the lowest) to BR3* (the highest), and responds with BG0IN* through BG3IN*, as appropriate. A PRI ARBITER also informs any MASTER, currently in control of the bus, when a higher level request is pending by driving BCLR* low.

To visualize an RRS ARBITER, consider a mechanical switch being driven by a stepping motor. Each position on the switch connects a bus request line to its corresponding bus grant line. When the bus is busy, the switch is stopped on the current level. Upon release of the bus, the switch steps one position lower (i.e. from BR(n)* to BR(n-1)*) and tests for a request. It continues this scanning operation until a request is found, sending a bus grant over the appropriate line.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

PERMISSION 3.4:
An ARBITER MAY be designed with a built-in time-out feature that causes it to withdraw a bus grant if BBSY* is not driven low by a REQUESTER within a prescribed time.

OBSERVATION 3.6:
The time used by the ARBITER allowed by PERMISSION 3.4 needs to be longer than the longest possible bus grant daisy-chain propagation delay time, plus the time the slowest REQUESTER takes to generate BBSY*.

SUGGESTION 3.4:

Spécifier le retard maximal de propagation de BGxIN* à BGxOUT* dans les feuilles de spécifications des produits. En plus, spécifier le temps maximal qui serait nécessaire au DEMANDEUR pour générer BBSY*. Cela permettra aux utilisateurs de déterminer la valeur nécessaire du dépassement de temps de l'arbitrage.

REGLE 3.6:

Excepté le cas d'une situation de limitation de temps où aucun DEMANDEUR ne répond, une fois que l'ARBITRE octroie le bus à un DEMANDEUR, il NE DOIT PAS allouer le bus avant que le DEMANDEUR ne génère un front de montée sur la ligne BBSY*. (Le DEMANDEUR génère un front de montée en commandant BBSY* au niveau bas puis en le libérant.)

OBSERVATION 3.7:

SI un ARBITRE utilise un échantillonnage et une mémorisation des lignes de demandes avant le front montant de BBSY*,
ALORS il pourrait allouer le bus à un DEMANDEUR qui a déjà retiré sa demande.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

SUGGESTION 3.4:

Specify the maximum propagation delay time from the BGxIN* to the BGxOUT* in the data sheets of products. In addition, specify the maximum time it would take the REQUESTER to generate BBSY*. This will allow users to determine the required value of the arbitration time-out.

RULE 3.6:

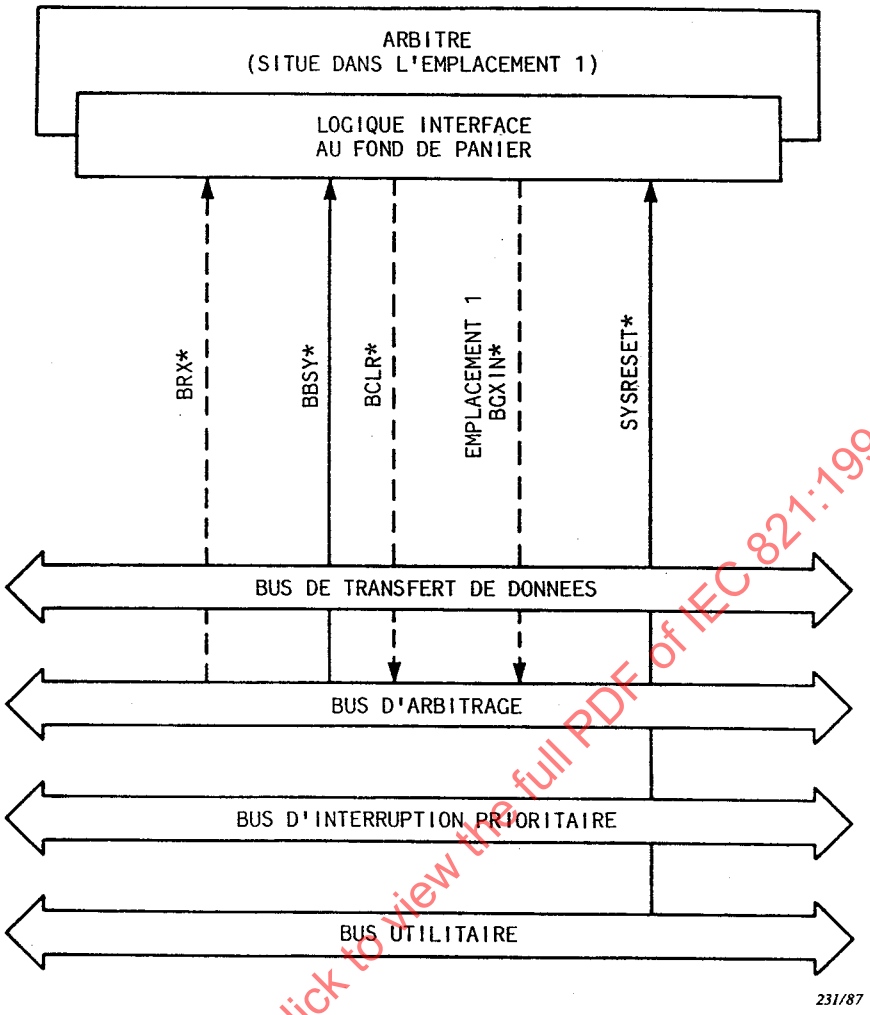
Except for a time-out situation where no REQUESTER responds, once the ARBITER grants the bus to a REQUESTER it MUST NOT generate a new Bus Grant before that REQUESTER generates a rising edge on the BBSY* line. (The REQUESTER generates a rising edge by driving BBSY* low and then releasing it.)

OBSERVATION 3.7:

IF an ARBITER uses a "snapshot" of the request lines taken prior to the rising edge of BBSY*,

THEN it might grant the bus to a REQUESTER that has since removed its request.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

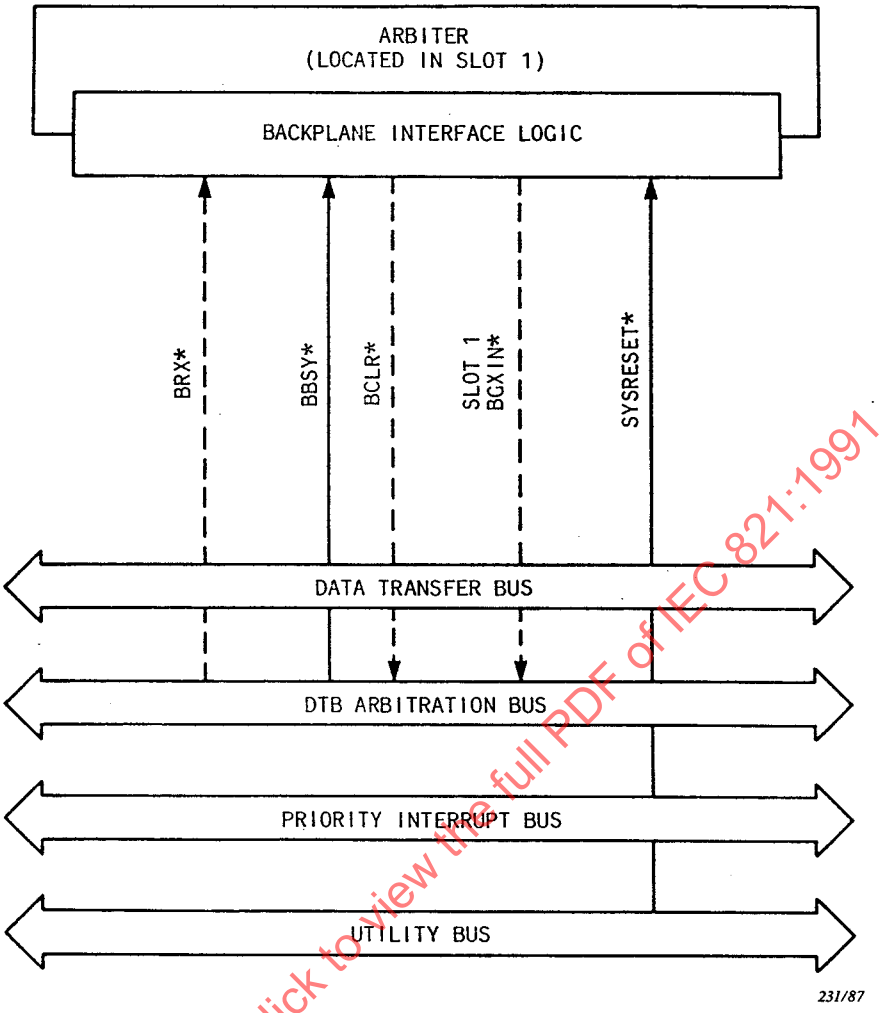


Note:

Les REGLES et OBSERVATIONS pour commander et surveiller les lignes pointillées sont données dans le tableau 3-1.

FIG. 3-3. - Schéma-bloc: ARBITRE.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:

The RULES and PERMISSIONS for monitoring and driving the dotted lines are given in Table 3-1.

FIG. 3-3. - Block diagram: ARBITER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 3-1

ARBITRES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées

Type d'ARBITRE	REGLES et AUTORISATIONS
SGL	DOIT commander BG3IN* de l'emplacement 1. DOIT surveiller BR3*. DOIT assurer que BG0IN*-BG2IN* de l'emplacement 1 sont au niveau haut. PEUT ou NON commander BCLR*, ou BG0IN*-BG2IN* de l'emplacement 1. PEUT ou NON surveiller BR0*-BR2*
RRS	DOIT commander BG0IN*-BG3IN* de l'emplacement 1. DOIT surveiller BR0*-BR3*. PEUT ou NON commander BCLR*.
PRI	DOIT commander BG0IN*-BG3IN* de l'emplacement 1 et BCLR*. DOIT surveiller BR0*-BR3*.

3.3.2 DEMANDEUR

Chaque DEMANDEUR dans le système:

a) Surveille le signal DISPOSITIF DEMANDE LE BUS du MAITRE sur sa carte ou du CONTROLEUR d'INTERRUPTION et génère une demande DTB en cas de besoin.

b) S'il détecte un niveau bas sur sa ligne BGxIN* et que son MAITRE sur sa carte ou le CONTROLEUR d'INTERRUPTION n'a pas besoin du DTB, il transmet ce niveau bas sur BGxOUT*.

c) S'il détecte un niveau bas sur la ligne BGxIN* et que son MAITRE sur sa carte ou le CONTROLEUR d'INTERRUPTION a besoin du DTB, il génère un signal sur sa carte DISPOSITIF RECOIT LE BUS qui indique que le DTB est disponible, et commande le signal BBSY* au niveau bas.

Trois types de DEMANDEURS sont décrits dans cette norme: le DEMANDEUR RWD qui libère le bus lorsqu'il a terminé, le DEMANDEUR ROR qui libère le bus sur demande, et le demandeur FAIR.

Le DEMANDEUR RWD libère BBSY* lorsque son MAITRE ou le CONTROLEUR d'INTERRUPTION désactive le signal sur sa carte DISPOSITIF DEMANDE LE BUS.

Le DEMANDEUR ROR ne libère pas BBSY* lorsque le signal sur sa carte DISPOSITIF DEMANDE LE BUS devient inactif tant qu'un autre DEMANDEUR sur le bus ne commande pas une des lignes de demande du bus au niveau bas. Il surveille les quatre lignes de demande du bus et libère BBSY* seulement si une autre demande de bus est en attente. Les DEMANDEURS ROR réduisent le nombre d'arbitrages déclenchés par un MAITRE qui prend une grande part du trafic sur le bus. Voir la figure 3-4, page 226.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 3-1

ARBITERS: RULES and PERMISSIONS for driving and monitoring the dotted lines

Type of ARBITER	RULES and PERMISSIONS
SGL	MUST drive slot 1 BG3IN*. MUST monitor BR3*. MUST ensure slot 1 BG0IN*-BG2IN* are high. MAY or MAY NOT drive BCLR*, or slot 1 BG0IN*-BG2IN*. MAY or MAY NOT monitor BR0*-BR2*
RRS	MUST drive slot 1 BG0IN*-BG3IN*. MUST monitor BR0*-BR3*. MAY or MAY NOT drive BCLR*.
PRI	MUST drive slot 1 BG0IN*-BG3IN*, and BCLR*. MUST monitor BR0*-BR3*.

3.3.2 REQUESTER

Each REQUESTER in the system:

a) Monitors the DEVICE WANTS BUS signal from its on-board MASTER or INTERRUPT HANDLER and generates a bus request when the DTB is needed.

b) If it detects a low level on its BGxIN* line, and its on-board MASTER or INTERRUPT HANDLER does not need the DTB, then it passes on that low level to its BGxOUT*.

c) If it detects a low level on its BGxIN* line, and its on-board MASTER or INTERRUPT HANDLER needs the DTB, it generates an on-board DEVICE GRANTED BUS signal to indicate the DTB is available, and drives the BBSY* signal low.

Three types of REQUESTERS are described in this standard: a release when done (RWD) REQUESTER, a release on request (ROR) REQUESTER and a FAIR REQUESTER.

The RWD REQUESTER releases BBSY* when its MASTER or INTERRUPT HANDLER drives the on-board DEVICE WANTS BUS signal false.

The ROR REQUESTER does not release BBSY* when its on-board DEVICE WANTS BUS signal goes false unless some other REQUESTER on the bus drives one of the bus request lines low. It monitors the four bus request lines and releases BBSY* only if another bus request is pending. ROR REQUESTERS reduce the number of arbitrations initiated by a MASTER which is generating a large percentage of the bus traffic. See Figure 3-4, page 227.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tant qu'un système ne possède pas plus de quatre MAITRES ou CONTROLEURS D'INTERRUPTION (un par ligne de demande du bus), l'algorithme d'arbitrage RRS assure l'égalité. (C'est-à-dire qu'aucun maître ne sera dans l'impossibilité d'accéder au bus indéfiniment par des demandes de niveau plus haut.) Dans des systèmes de plus de quatre MAITRES ou CONTROLEURS D'INTERRUPTION, l'impartialité peut être fournie par des DEMANDEURS FAIR.

Après avoir reçu l'allocation du bus, le DEMANDEUR FAIR s'abstient de demander le bus à nouveau aussi longtemps que n'importe quelle demande active du bus est en attente sur son propre niveau de demande.

OBSERVATION 3.17:
Lors de la configuration d'un système prévoyant l'impartialité pour plus de quatre MAITRES ou CONTROLEURS D'INTERRUPTION, tous les DEMANDEURS du système devront être DEMANDEURS FAIR. Si un ou plusieurs DEMANDEURS ne sont pas des DEMANDEURS FAIR, alors l'impartialité peut quand même être garantie si le volume total du trafic généré par les DEMANDEURS non FAIR ne dépasse pas la capacité du bus.

En considérant que l'entrée DISPOSITIF DEMANDE LE BUS du DEMANDEUR est vraie lorsqu'il reçoit l'allocation du bus et qu'il commande sa ligne BRx* au niveau bas, ce dernier exécute trois opérations:

a) Il commande BBSY* au niveau bas.
b) Il libère sa ligne BRx* au niveau haut.
c) Il commande sur sa carte le signal DISPOSITIF RECOIT LE BUS vrai permettant au MAITRE ou au CONTROLEUR d'INTERRUPTION de lancer les transferts sur le bus.

Ces opérations peuvent avoir lieu dans n'importe quel ordre. Il est même possible que le MAITRE ou le CONTROLEUR d'INTERRUPTION n'utilise pas le bus en réponse à cette allocation particulière.

Les REGLES suivantes s'appliquent, cependant:

REGLE 3.7:
En réponse au front descendant sur BGxIN*, le DEMANDEUR DOIT commander BBSY* au niveau bas pendant au moins 90 ns.

REGLE 3.8:
En réponse au front descendant sur BGxIN*, le DEMANDEUR DOIT libérer BRx* au niveau haut.

REGLE 3.9:
En réponse au front descendant sur BGxIN*, le DEMANDEUR DOIT maintenir BBSY* au niveau bas pendant au moins 30 ns après avoir libéré BRx*.

OBSERVATION 3.8:
Le délai de 30 ns entre le front montant de BRx* et le front montant de BBSY* garantit que l'ARBITRE n'interprète pas par erreur l'ancienne demande du bus comme une nouvelle et ne fasse pas une autre allocation.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

As long as a system has no more than four MASTERS or INTERRUPT HANDLERS (one per bus request line), the RRS arbitration algorithm assures fairness. (I.e. no master will be prevented from accessing the bus indefinitely by higher level requests.) In systems with more than four MASTERS or INTERRUPT HANDLERS, fairness can be provided by FAIR REQUESTERS.

After it has been granted the bus, the FAIR REQUESTER refrains from requesting the bus as long as there are any active bus requests pending on its own request level.

OBSERVATION 3.17:
When configuring a system to provide fairness for more than four MASTERS or INTERRUPT HANDLERS, all the REQUESTERS in the system should be FAIR REQUESTERS. If one or more of the REQUESTERS are not FAIR REQUESTERS, fairness can still be guaranteed if the sum total of the bus traffic generated by the not FAIR REQUESTERS does not exceed the capacity of the bus.

Assuming that the REQUESTER'S DEVICE WANTS BUS input is true, and that it drives its BRx* line low, when it receives a bus grant it does three things:

a) It drives BBSY* to low.
b) It releases its BRx* line to high.
c) It drives the DEVICE GRANTED BUS on-board signal true, allowing the MASTER or INTERRUPT HANDLER to initiate bus transfers.

These events might occur in any order. It is even possible that the MASTER or INTERRUPT HANDLER might not use the bus in response to this particular grant.

However, the following RULES apply:

RULE 3.7:
In response to a falling edge on BGxIN*, the REQUESTER MUST drive BBSY* to low for at least 90 ns.

RULE 3.8:
In response to a falling edge on BGxIN*, the REQUESTER MUST release BRx* to high.

RULE 3.9:
In response to a falling edge on BGxIN*, the REQUESTER MUST maintain BBSY* low for at least 30 ns after it releases BRx*.

OBSERVATION 3.8:
The 30 ns delay between the rising edge on BRx* and the rising edge on BBSY* ensures that the ARBITER does not mistakenly interpret the old bus request as a new one and issue another grant.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REGLE 3.10:
Le DEMANDEUR DOIT maintenir BBSY* au niveau bas jusqu'à ce que BGxIN* passe au niveau haut.

OBSERVATION 3.9:
La REGLE 3.10 assure que la transition BBSY* au niveau bas a été détectée par l'ARBITRE et que toutes les lignes de la chaîne série d'allocation du bus sont ramenées au niveau haut, en préparation du prochain arbitrage.

AUTORISATION 3.5:
SI un DEMANDEUR a une demande de bus en attente et s'il voit un autre DEMANDEUR commander BBSY* à l'état bas,
ALORS il PEUT retirer sa demande en libérant sa ligne BRx* au niveau haut.

REGLE 3.11:
SI un DEMANDEUR retire une demande de bus sans avoir eu d'abord le bus,
ALORS il DOIT attendre pour le faire jusqu'à ce que BBSY* passe au niveau bas et il doit le faire au plus tard 50 ns après que BBSY* eut passé au niveau bas.

SUGGESTION 3.2:
Concevoir les DEMANDEURS pour qu'ils transmettent l'allocation à travers la chaîne série d'allocation du bus aussi rapidement que possible après réception du signal d'allocation du bus. Cela améliorera la performance du système.

REGLE 3.14:
Avant de générer une demande de bus, un DEMANDEUR FAIR DOIT échantillonner sa ligne de demande de bus lorsque BBSY* est détecté au niveau haut.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

RULE 3.10:
The REQUESTER MUST hold BBSY* low until its BGxIN* goes high.

OBSERVATION 3.9:
RULE 3.10 ensures that the BBSY* transition to low has been detected by the ARBITER and that all segments of the bus grant daisy-chain have returned to high, in preparation for the next arbitration.

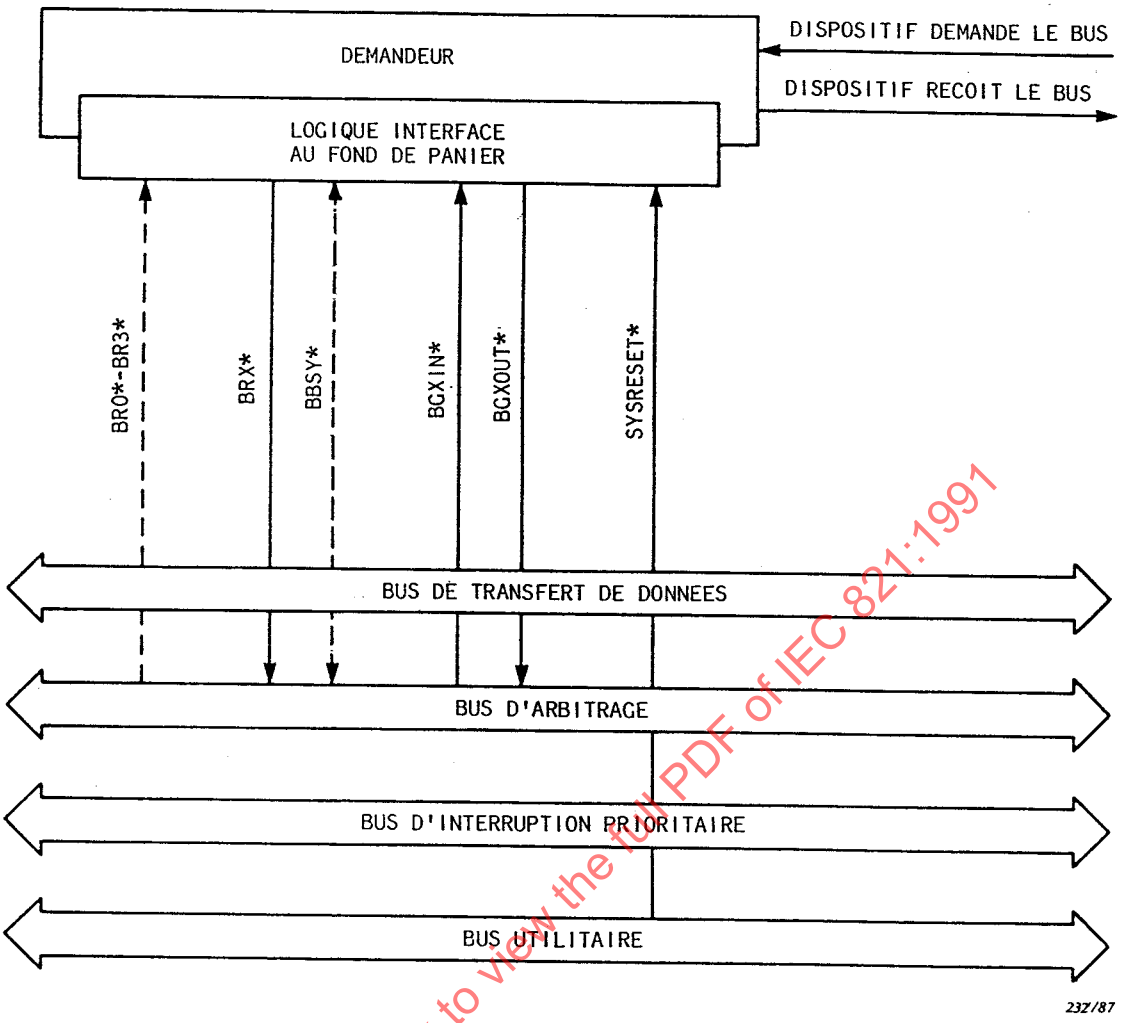
PERMISSION 3.5:
IF a REQUESTER has a bus request pending and, if it sees some other REQUESTER drive BBSY* low,
THEN it MAY withdraw its request by releasing its BRx* line to high.

RULE 3.11:
IF a REQUESTER withdraws a bus request without having first been granted the bus,
THEN it MUST wait to do so until BBSY* goes low and it MUST do so within 50 ns after BBSY* goes low.

SUGGESTION 3.2:
Design REQUESTERS so that they pass on the bus grant daisy-chain as fast as possible after receipt of a bus grant. This will improve system performance.

RULE 3.14:
Before issuing a bus request, a FAIR REQUESTER MUST sample its bus request line when BBSY* is detected high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:

Les REGLES et les AUTORISATIONS concernant la surveillance des lignes pointillées sont données dans le tableau 3-2.

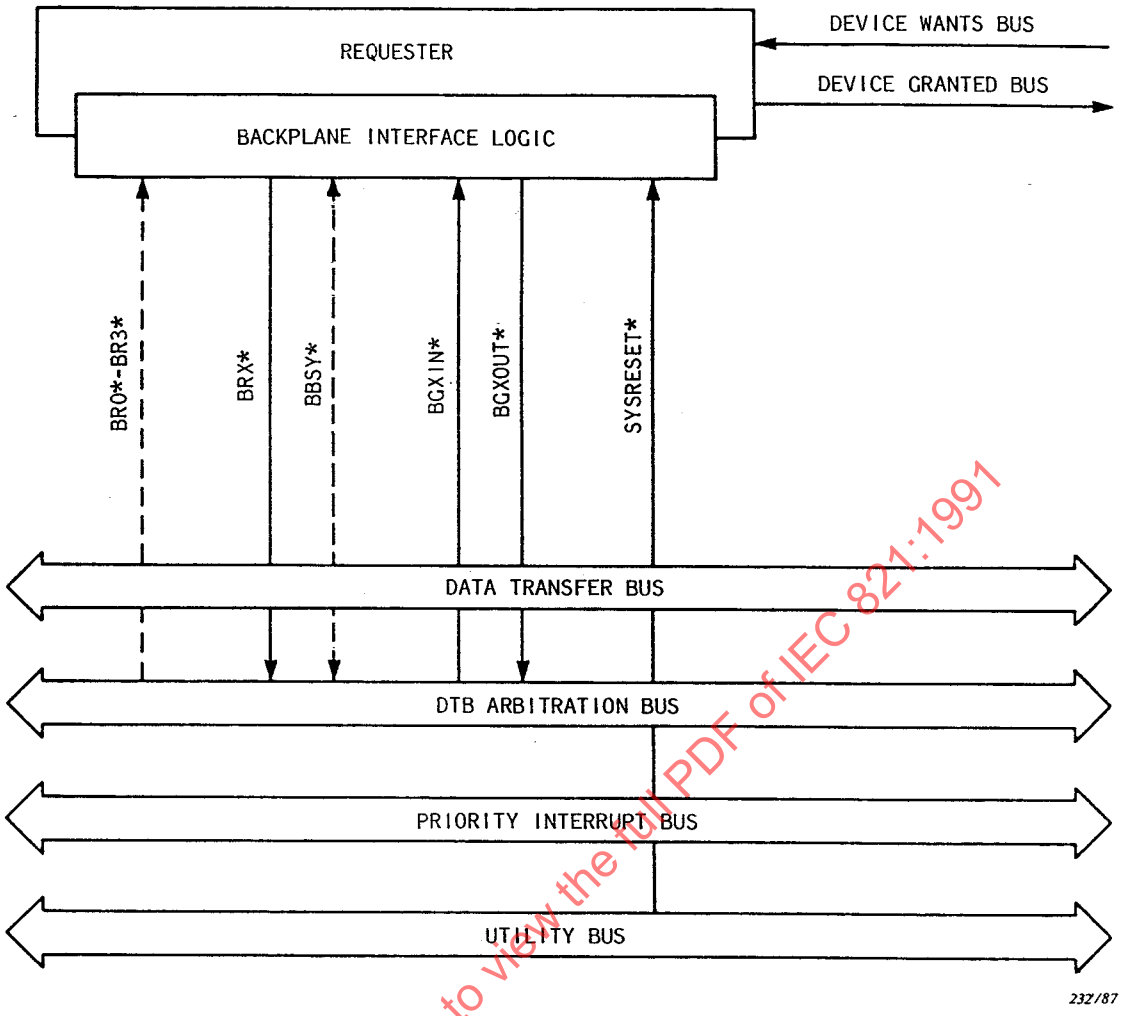
FIG. 3-4. - Schéma-bloc: DEMANDEUR.

Tableau 3-2

DEMANDEURS: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées

Type de DEMANDEUR	REGLES et PERMISSIONS
RWD	PEUT ou NON surveiller BR0*-BR3* PEUT ou NON surveiller BBSY*
ROR	DOIT surveiller BR0*-BR3* PEUT ou NON surveiller BBSY*
FAIR	DOIT surveiller sa ligne BRx* DOIT surveiller BBSY*

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:
The RULES and PERMISSIONS for monitoring the dotted lines are given in Table 3-2.

FIG. 3-4. - Block diagram: REQUESTER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 3-2

REQUESTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines

Type of REQUESTER	RULES and PERMISSIONS
RWD	MAY or MAY NOT monitor BR0*-BR3* MAY or MAY NOT monitor BBSY*
ROR	MUST monitor BR0*-BR3* MAY or MAY NOT monitor BBSY*
FAIR	MUST monitor its BRx* line MUST monitor BBSY*

3.3.3 MAITRE *du bus de transfert de données*

3.3.3.1 *Libération du DTB*

Le protocole du bus d'arbitrage détermine comment et quand le DTB est accordé aux différents MAITRES et aux CONTROLEURS d'INTERRUPTION du système. Il ne contrôle pas, cependant, le moment de la libération du DTB par le MAITRE ou le CONTROLEUR d'INTERRUPTION.

Les MAITRES et les CONTROLEURS d'INTERRUPTION utilisent plusieurs critères pour décider du moment de la libération du DTB. Les CONTROLEURS d'INTERRUPTION restituent le bus après leur cycle de reconnaissance d'interruption. Les MAITRES restituent le bus lorsqu'ils terminent leurs transferts de données.

Certains MAITRES surveillent aussi les signaux ACFAIL* et BCLR* du BUS CEI 821. Ces deux signaux informent le MAITRE que le DTB est demandé pour une activité de priorité supérieure. Dans le cas de BCLR*, le délai avant libération du bus est défini à la conception du MAITRE. Par exemple, un MAITRE sur une carte contrôleur de disque pourrait ne pas être en état de libérer le bus pendant le transfert d'un secteur de disque sans perte de données, il devrait garder ainsi le bus jusqu'à ce que le transfert du secteur soit terminé. ACFAIL* informe le MAITRE qu'une perte de courant alternatif a été détectée, et quels que soient les problèmes que rencontrera le MAITRE, en abandonnant le bus, ils sont insignifiants en comparaison des besoins du système total.

RECOMMANDATION 3.1:
Concevoir les MAITRES pour libérer le DTB dans les 200 µs qui suivent le passage au niveau bas de ACFAIL*, sauf pour participer aux activités consécutives à la défaillance d'alimentation.

OBSERVATION 3.10:
Les 200 µs spécifiées dans la RECOMMANDATION 3.1 ont pour but de laisser le temps pour accomplir un arrêt correct du système.

Quels que soient les critères utilisés pour décider de la libération du DTB, l'arbitrage a lieu avant qu'un autre MAITRE ou CONTROLEUR d'INTERRUPTION ne commence à l'utiliser. Cet arbitrage a lieu, soit pendant le dernier transfert de données, soit après ce transfert, selon l'attention que le MAITRE ou le CONTROLEUR d'INTERRUPTION accorde à son DEMANDEUR sur sa carte.

AUTORISATION 3.6:
Les MAITRES et les CONTROLEURS d'INTERRUPTION PEUVENT libérer le DTB aussi bien pendant qu'après le dernier transfert de données.

Par exemple, si le MAITRE avertit son DEMANDEUR sur sa carte qu'il n'a plus besoin du bus pendant le dernier transfert de données, le DEMANDEUR libère BBSY* et l'arbitrage a lieu pendant le dernier transfert. Mais si le MAITRE attend que le dernier transfert soit terminé avant de le signaler à son DEMANDEUR sur sa carte, le DTB reste au repos pendant l'arbitrage. (Cela est présenté dans la section 2.5.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.3.3 *Data Transfer Bus* MASTER

3.3.3.1 *Release of the DTB*

The bus arbitration protocol determines how and when the DTB is granted to the various MASTERS and INTERRUPT HANDLERS in the system. It does not, however, control when MASTERS and INTERRUPT HANDLERS release the DTB.

MASTERS and INTERRUPT HANDLERS use several criteria in deciding when to release the DTB. INTERRUPT HANDLERS give up the bus after their interrupt acknowledge cycle. MASTERS give up the bus when they finish their data transfers.

Some MASTERS also monitor the ACFAIL* and BCLR* IEC 821 BUS signals. Both of these signals inform the MASTER that the DTB is needed for some higher priority activity. In the case of BCLR*, the MASTER'S design determines how long it takes to release the bus. For example, a MASTER on a disk controller board might not be able to relinquish the bus during a disk sector transfer without loss of data, so it might keep the bus until the sector transfer is finished. ACFAIL* informs the MASTER that an a.c. power loss has been detected, and whatever problems the MASTER will face in surrendering the bus are insignificant compared to the needs of the total system.

RECOMMENDATION 3.1:
Design MASTERS to release the DTB within 200 µs after ACFAIL* goes low, except to participate in the ensuing power failure activities.

OBSERVATION 3.10:
The 200 µs specified in RECOMMENDATION 3.1 is intended to provide time for an orderly shut-down of the system.

Whatever criteria are used to decide when to release the DTB, arbitration is done before some other MASTER or INTERRUPT HANDLER begins using it. This arbitration takes place either during the last data transfer or after that transfer, depending on how much notice the MASTER or INTERRUPT HANDLER gives to its on-board REQUESTER.

PERMISSION 3.6:
MASTERS and INTERRUPT HANDLERS MAY release the DTB either during or after their last data transfer.

For example, if the MASTER notifies its on-board REQUESTER that it no longer wants the bus during its last data transfer, the REQUESTER releases BBSY* and arbitration takes place during the last transfer. But if the MASTER waits until the last transfer has completed before signalling its on-board REQUESTER, the DTB remains idle while the arbitration is done. (This was illustrated in Section 2.5.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Les chapitres 2 et 4 contiennent des REGLES qui appartiennent à la libération du DTB.

SUGGESTION 3.3:
Concevoir les cartes MAITRES avec transfert par bloc de telle manière qu'elles signalent à leur DEMANDEUR de relâcher BBSY* pendant le dernier transfert de données du transfert par bloc. S'il est relâché au début du transfert par bloc, des demandes de bus à haute priorité lancées pendant le transfert par bloc pourraient ne pas être prises en compte par l'ARBITRE avant le cycle d'arbitrage suivant.

3.3.3.2 *Acquisition du DTB*

Certaines règles sont imposées pour s'assurer qu'aucune ligne du DTB ne sera commandée vers deux états opposés par deux MAITRES ou CONTROLEURS D'INTERRUPTION prenant le contrôle du DTB.

REGLE 3.12:
Lorsqu'un MAITRE ou un CONTROLEUR D'INTERRUPTION a reçu le contrôle du DTB par son DEMANDEUR sur sa carte, il DOIT attendre de détecter AS* au niveau haut avant de commander ses émetteurs du DTB.

OBSERVATION 3.11:
SI le MAITRE ou le précédent CONTROLEUR D'INTERRUPTION a libéré le bus PENDANT son dernier transfert de données,
ALORS la REGLE 3.12 assure que le transfert de données sera terminé avant qu'un nouveau MAITRE ou CONTROLEUR D'INTERRUPTION ne commence à utiliser le DTB. (Si le MAITRE ou le précédent CONTROLEUR D'INTERRUPTION attendait que le transfert de données soit terminé avant de libérer le bus, AS* serait déjà au niveau haut.)

3.3.3.3 *Autres informations*

RECOMMANDATION 3.2:
Pour permettre un traitement rapide aux demandes d'interruptions et pour l'utilisation optimale du DTB, concevoir des MAITRES de telle manière qu'ils libèrent le DTB dès que possible après qu'ils eurent détecté BCLR* au niveau bas.

AUTORISATION 3.7:
Un MAITRE ou un CONTROLEUR D'INTERRUPTION PEUT avoir plus d'un DEMANDEUR, chacun générant des demandes de bus sur une ligne différente.

OBSERVATION 3.12:
Lorsqu'un MAITRE ou un CONTROLEUR D'INTERRUPTION a deux ou plusieurs DEMANDEURS, il peut exécuter des transferts de données de priorité supérieure en utilisant un DEMANDEUR et des transferts de priorité inférieure en utilisant un autre DEMANDEUR.

3.4 *Fonctionnement typique*

3.4.1 *Arbitrage de deux niveaux différents de demande du bus*

Les figures 3-5 et 3-6, pages 234 à 238, illustrent la suite d'opérations qui a lieu lorsque deux DEMANDEURS envoient des demandes du

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Chapters 2 and 4 contain RULES that pertain to the release of the DTB.

SUGGESTION 3.3:
Design block transfer MASTER boards so that they signal their REQUESTER to release BBSY* during the last data transfer of the block transfer. If it is released at the beginning of the block transfer, high priority bus requests initiated during the block transfer might not be taken into account by the ARBITER until the next arbitration cycle.

3.3.3.2 *Acquisition of the DTB*

To ensure that no DTB line is ever driven to opposite states by two MASTERS or INTERRUPT HANDLERS, when these modules take control of the DTB they are constrained by certain rules.

RULE 3.12:
When a MASTER or INTERRUPT HANDLER is given control of the DTB by its on-board REQUESTER, it MUST wait until it detects AS* high before turning on its DTB drivers.

OBSERVATION 3.11:
IF the previous MASTER or INTERRUPT HANDLER releases the bus DURING its last data transfer,
THEN RULE 3.12 ensures that the data transfer will be finished before the new MASTER or INTERRUPT HANDLER starts using the DTB. (If the previous MASTER or INTERRUPT HANDLER waited until the data transfer was finished before releasing the bus, AS* will already be high).

3.3.3.3 *Other information*

RECOMMENDATION 3.2:
To allow for prompt servicing of interrupt requests and for optimum use of the DTB, design MASTERS so that they release the DTB as soon as possible after they detect BCLR* low.

PERMISSION 3.7:
A MASTER or INTERRUPT HANDLER MAY have more than one REQUESTER, where each REQUESTER generates bus requests on a different bus request line.

OBSERVATION 3.12:
Where a MASTER or INTERRUPT HANDLER has two or more REQUESTERS, it can do high priority data transfers using one REQUESTER and low priority transfers using another REQUESTER.

3.4 *Typical operation*

3.4.1 *Arbitration of two different levels of bus request*

Figures 3-5 and 3-6, pages 235 to 239, illustrate the sequence of events that takes place when two REQUESTERS send simultaneous bus

IECNORM.COM : Click to view the full PDF of IEC 821:1991

bus simultanées à l'ARBITRE PRI sur des lignes de demande de bus différentes. Au début, le DEMANDEUR A commande BR1* au niveau bas et le DEMANDEUR B commande BR2* au niveau bas. L'ARBITRE détecte BR1* et BR2* au niveau bas simultanément et il commande BG2IN* de son propre emplacement (emplacement 1) au niveau bas. Ce signal BG2IN* est surveillé par le DEMANDEUR B (situé aussi dans l'emplacement 1). Lorsque le DEMANDEUR B détecte BG2IN* au niveau bas, il répond en commandant BBSY* au niveau bas. Le DEMANDEUR B libère alors la ligne BR2* et informe son propre MAITRE (MAITRE B) que le DTB est disponible.

Lorsque BBSY* passe au niveau bas, l'ARBITRE commande BG2IN* de l'emplacement 1 au niveau haut.

Lorsque le MAITRE B termine son ou ses transferts de données et signale ce fait en commandant DISPOSITIF DEMANDE LE BUS à l'état faux. Alors, le DEMANDEUR B libère BBSY*, pourvu que BG2IN* ait été reçu au niveau haut et que 30 ns se soient écoulées depuis la libération de BR2*.

L'ARBITRE interprète la libération de BBSY* comme un signal pour arbitrer n'importe quelle demande de bus en cours. Puisque BR1* est la seule demande de bus commandée au niveau bas, l'ARBITRE accorde le DTB au DEMANDEUR A en commandant BG1IN* au niveau bas. Le DEMANDEUR A répond en activant BBSY* au niveau bas. Lorsque le MAITRE A termine son ou ses transferts de données et signale ce fait en commandant DISPOSITIF DEMANDE LE BUS à l'état faux, le DEMANDEUR A libère BBSY*, pourvu que BG1IN* ait été reçu au niveau haut et que 30 ns se soient écoulées depuis la libération de BR1*.

Dans cet exemple, puisqu'aucune ligne de demande de bus n'est commandée au niveau bas lorsque le DEMANDEUR A libère BBSY*, l'ARBITRE attend jusqu'à ce qu'il détecte une demande de bus.

OBSERVATION 3.13:
La description illustrée dans les figures 3-5 et 3-6, pages 234 à 238, serait valable pour les ARBITRES PRI et RRS, à moins de considérer un ARBITRE RRS où la dernière demande active serait le niveau BR2*. Dans ce cas, l'ARBITRE traiterait la demande de BR1* d'abord et la demande de BR2* après.

OBSERVATION 3.14:
BBSY* et l'allocation du bus sont interverrouillés comme indiqué sur la figure 3-6.

1) L'ARBITRE ne commande pas l'allocation du bus au niveau haut tant qu'il ne détecte pas BBSY* au niveau bas.

2) Le DEMANDEUR ne libère BBSY* au niveau haut que lorsqu'il détecte l'allocation du bus au niveau haut.

3) L'ARBITRE ne commande la prochaine allocation du bus que lorsqu'il détecte BBSY* au niveau haut.

4) Le DEMANDEUR suivant ne commande BBSY* au niveau bas que lorsqu'il détecte l'allocation du bus au niveau bas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

requests to a PRI ARBITER on different bus request lines. When the sequence begins, REQUESTER A drives BR1* low and REQUESTER B drives BR2* low. The ARBITER detects BR1* and BR2* low simultaneously, and it drives BG2IN* low to its own slot (slot 1). That BG2IN* signal is monitored by REQUESTER B (also in slot 1). When REQUESTER B detects BG2IN* low, it responds by driving BBSY* low. REQUESTER B then releases the BR2* line and informs its own MASTER (MASTER B) that the DTB is available.

When BBSY* goes low, the ARBITER drives BG2IN* of slot 1 high.

When MASTER B completes its data transfer(s), and signals that fact by driving DEVICE WANTS BUS false, REQUESTER B then releases BBSY*, provided that its BG2IN* has been received high and 30 ns also elapsed since it released BR2*.

The ARBITER interprets the release of BBSY* as a signal to arbitrate any current bus requests. Since BR1* is the only bus request being driven low, the ARBITER grants the DTB to REQUESTER A by driving BG1IN* low. REQUESTER A responds by driving BBSY* low. When MASTER A completes its data transfer(s), and signals that fact by driving DEVICE WANTS BUS false, REQUESTER A releases BBSY*, provided that its BG1IN* has been received high and 30 ns have elapsed since it released BR1*.

In this example, since no bus request lines are low when REQUESTER A releases BBSY*, the ARBITER waits until it detects a bus request.

OBSERVATION 3.13:
The description illustrated in Figures 3-5 and 3-6, pages 235 to 239, would hold for both PRI and RRS ARBITERS, unless we consider an RRS ARBITER where the last active request was level BR2*. In this case, the ARBITER would process the BR1* request first and then proceed to the BR2* request.

OBSERVATION 3.14:
BBSY* and the bus grants are fully interlocked as shown in Figure 3-6.

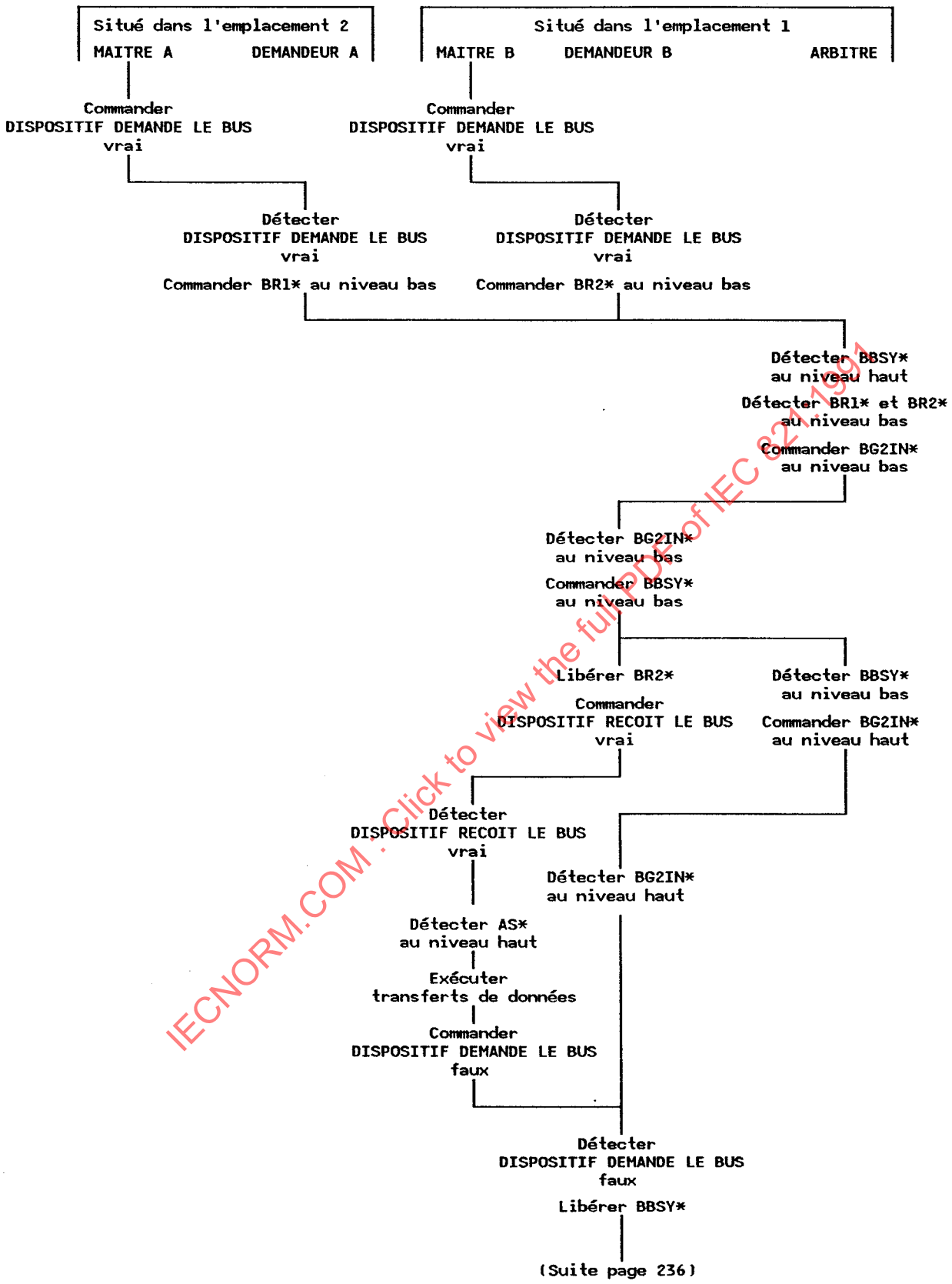
1) The ARBITER does not drive the bus grant high until it detects BBSY* low.

2) The REQUESTER does not release BBSY* to high until it detects the bus grant high.

3) The ARBITER does not drive the next bus grant low until it detects BBSY* high.

4) The next REQUESTER does not drive BBSY* low until it detects the bus grant low.

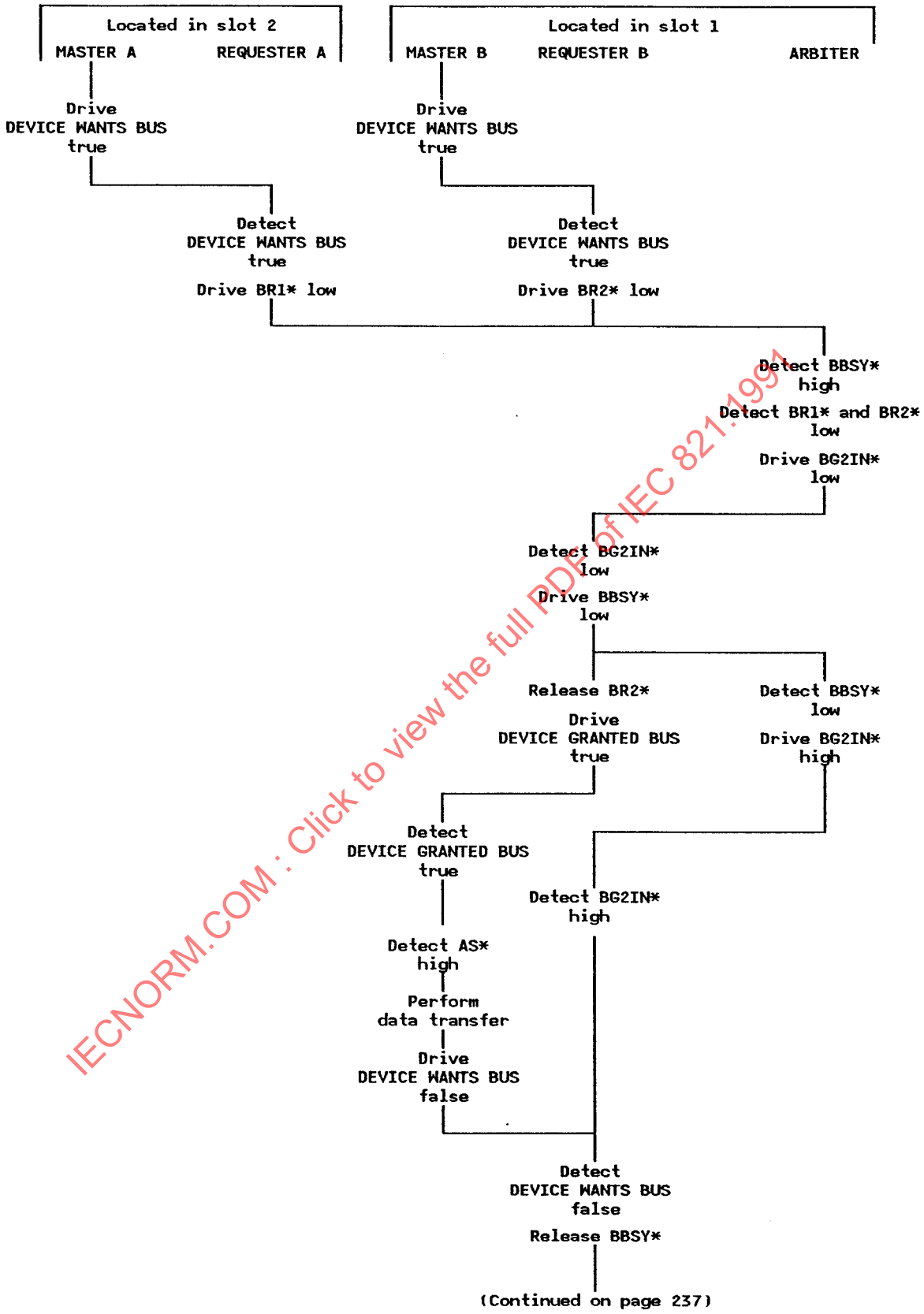
IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:
Le DISPOSITIF DEMANDE LE BUS et le DISPOSITIF RECOIT LE BUS sont des signaux internes à la carte entre le MAITRE et son DEMANDEUR (voir figure 3-4, page 226).

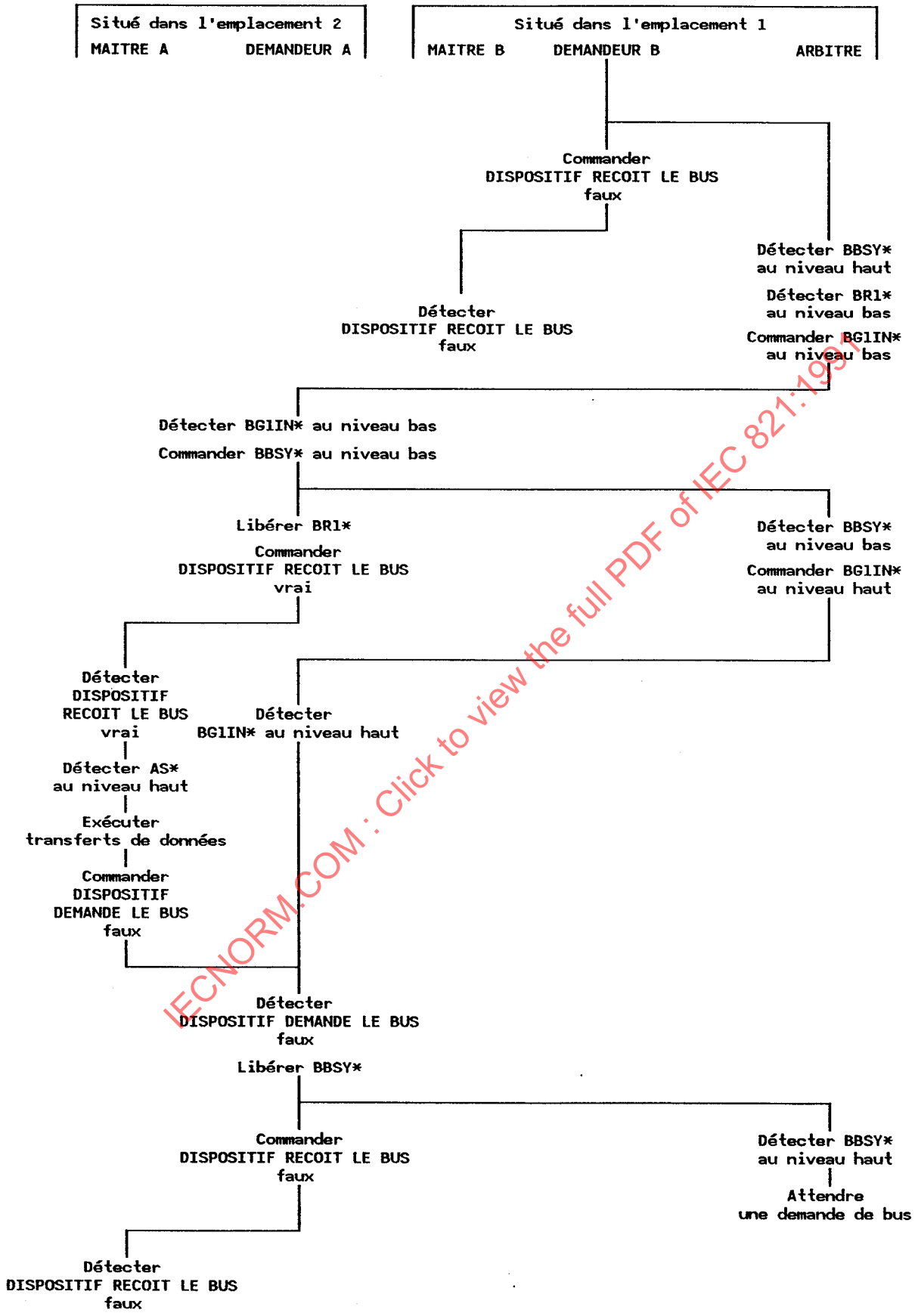
FIG. 3-5. - Organigramme de l'arbitrage: deux DEMANDEURS, deux niveaux de demande



IECNORM.COM : Click to view the full PDF of IEC 821:1991

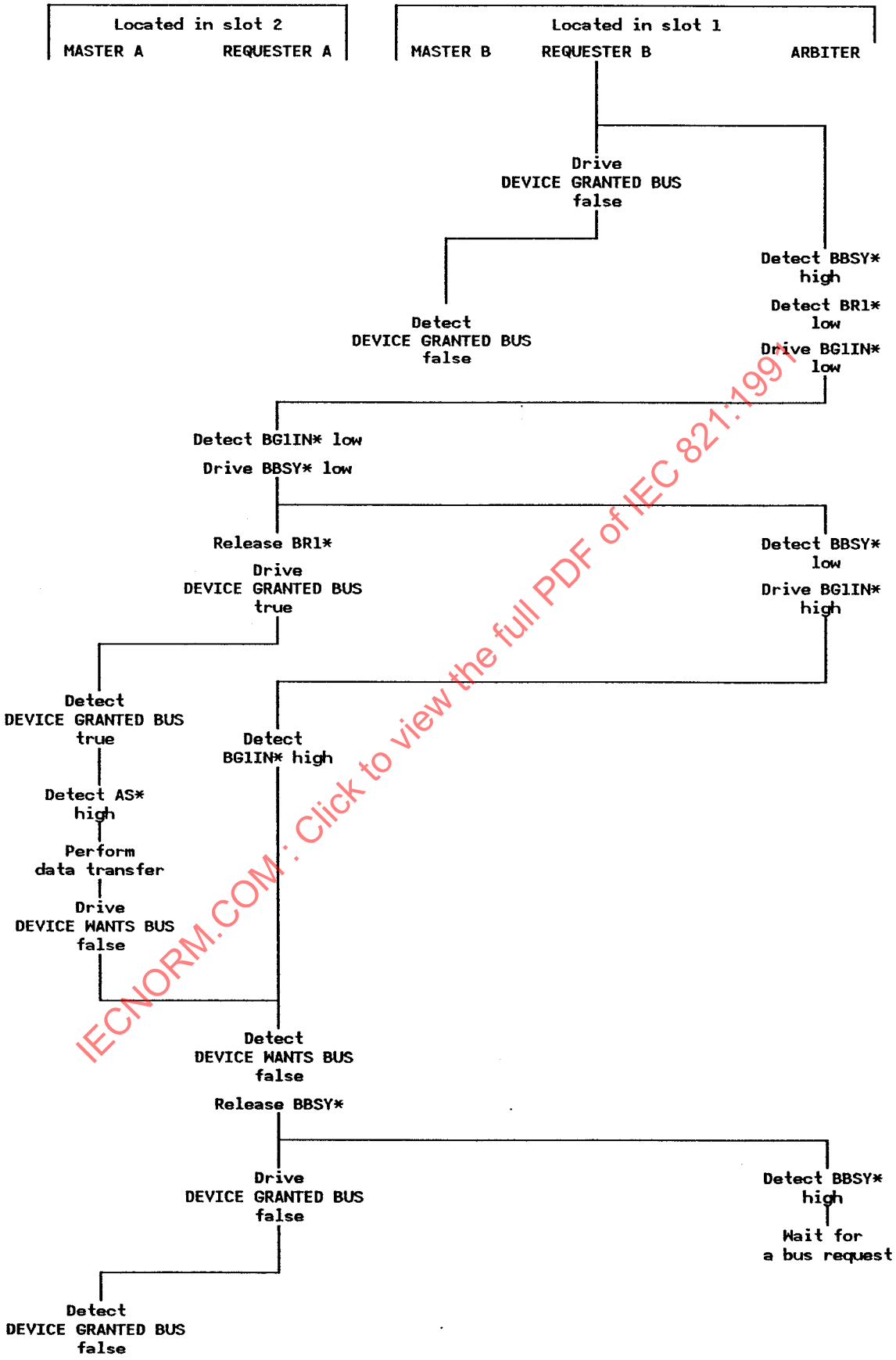
Note:
DEVICE WANTS BUS and DEVICE GRANTED BUS are on-board signals between the MASTER and its REQUESTER (see Figure 3-4, page 227).

FIG. 3-5. - Arbitration flow diagram: two REQUESTERS, two request levels.



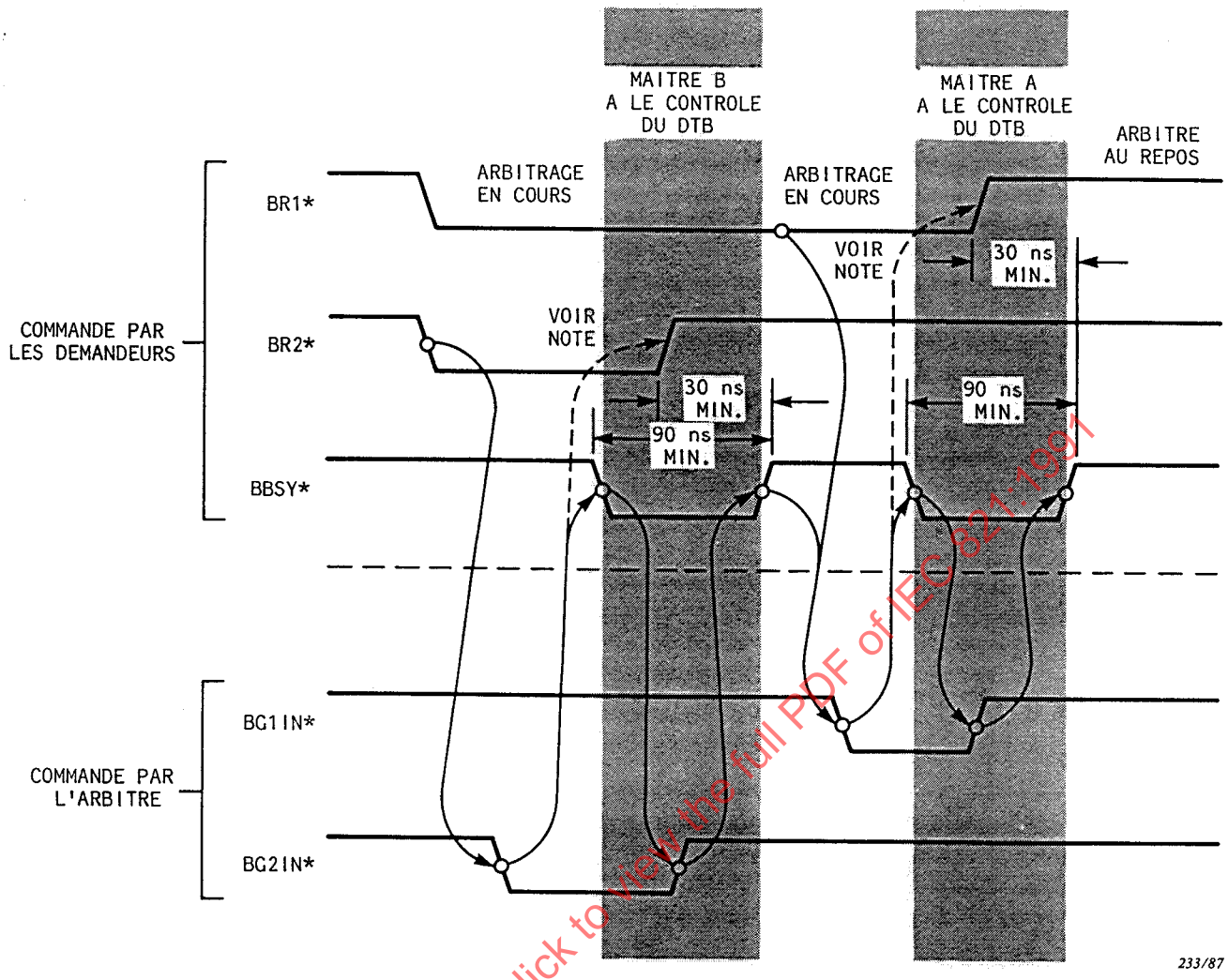
IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIGURE 3-5 (fin).



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIGURE 3-5 (concluded).

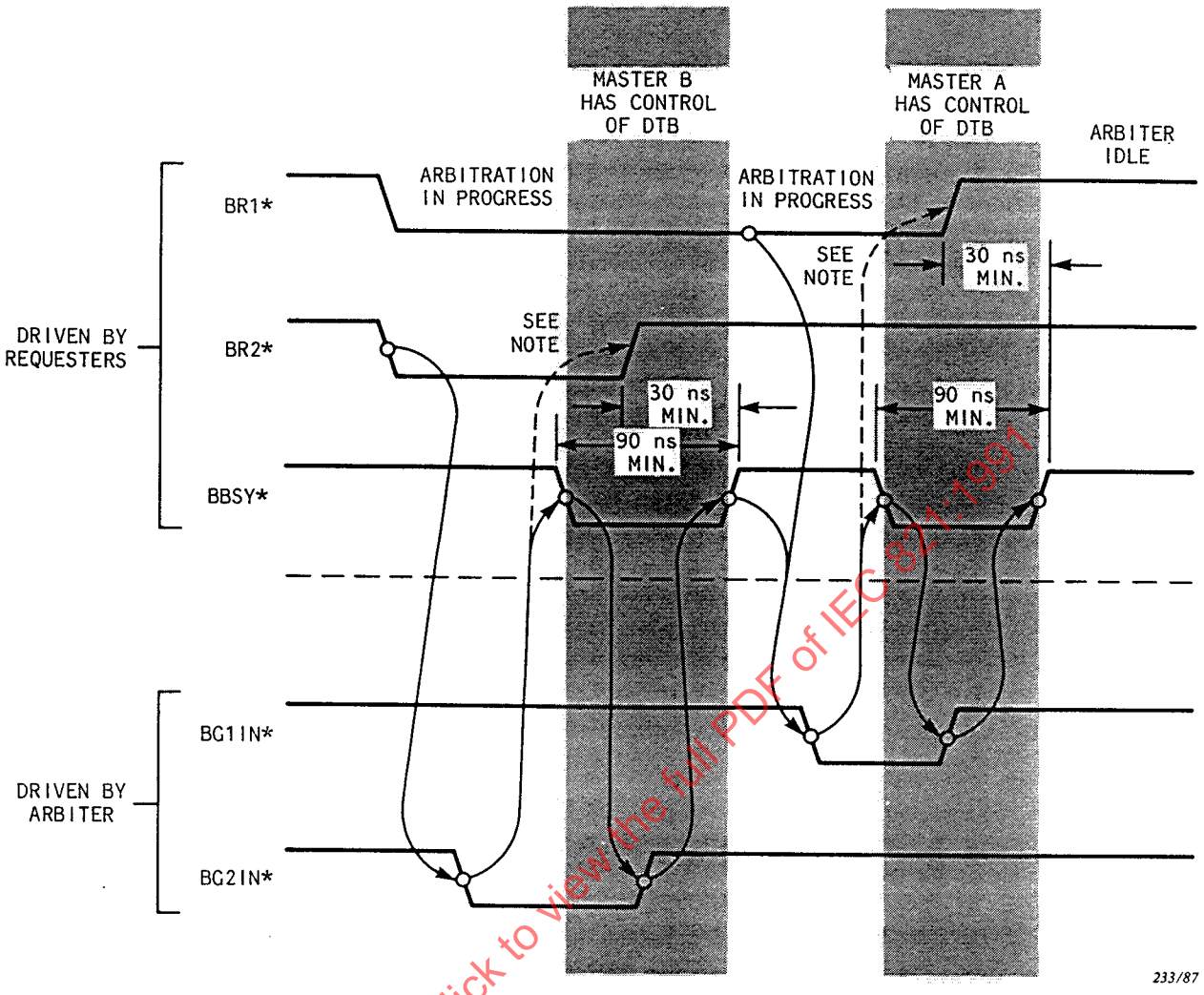


Note:

Dans cet exemple, chaque DEMANDEUR maintient sa ligne de demande de bus au niveau bas tant qu'on ne lui a pas alloué le DTB. Dans certains cas, un DEMANDEUR pourrait libérer sa ligne de demande de bus sans recevoir un signal d'allocation (voir paragraphe 3.3.2).

FIG. 3-6. - Séquence d'arbitrage: deux DEMANDEURS, deux niveaux de demande.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:

In this example, each REQUESTER maintains its bus request line low until it is granted the DTB. In some cases, a REQUESTER might release its bus request line without receiving a bus grant (see Paragraph 3.3.2).

FIG. 3-6. – Arbitration sequence diagram: two REQUESTERS, two request levels.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.4.2 *Arbitrage de deux demandes du bus sur la même ligne*

Les figures 3-7 et 3-8, pages 242 à 246, illustrent la suite des opérations qui ont lieu lorsqu'un DEMANDEUR ROR et un DEMANDEUR RWD envoient des demandes simultanées à l'ARBITRE PRI sur une ligne commune de demande de bus. Dans cet exemple, l'ARBITRE et le DEMANDEUR RWD sont situés sur la carte de contrôle du système dans l'emplacement 1, avec le DEMANDEUR ROR situé dans l'emplacement 2. Au début, les deux DEMANDEURS commandent BR1* au niveau bas simultanément. L'ARBITRE commande ensuite BG1IN* de son propre emplacement, l'emplacement 1 au niveau bas. Ce signal BG1IN* est surveillé par le DEMANDEUR B (également dans l'emplacement 1). Lorsque le DEMANDEUR B détecte BG1IN* au niveau bas, il répond en commandant BBSY* au niveau bas. Il libère alors BR1* et informe le MAITRE B que le DTB est disponible.

OBSERVATION 3.15:
Même si le DEMANDEUR B libère BR1*, le DEMANDEUR A continue à le commander au niveau bas (voir figures 3-7 et 3-8).

Après avoir détecté BBSY* au niveau bas, l'ARBITRE commande BG1IN* au niveau haut. Lorsque le MAITRE B a terminé son ou ses transferts de données, il commande le DISPOSITIF DEMANDE LE BUS à l'état faux. Lorsque le DEMANDEUR B le détecte, et 30 ns après que la libération de BR1* eut été satisfaite, le DEMANDEUR B libère BBSY*.

L'ARBITRE interprète la commande de BBSY* à l'état haut comme un signal pour arbitrer n'importe quelle demande de bus en cours. Puisque la ligne BR1* est toujours au niveau bas, l'ARBITRE commande de nouveau BG1IN* au niveau bas. Lorsque le DEMANDEUR B détecte BG1IN* au niveau bas, il commande BG1OUT* au niveau bas parce qu'il n'a pas besoin du DTB. Ensuite, le DEMANDEUR A détecte le niveau bas sur BG1IN* et répond en commandant BBSY* au niveau bas et BR1* au niveau haut. Quand l'ARBITRE détecte le niveau bas de BBSY*, il commande BG1IN* au niveau haut, ce qui impose au DEMANDEUR B de commander BG1OUT* au niveau haut.

Plus tard, lorsque le MAITRE A a terminé ses transferts de données, il commande LE DISPOSITIF DEMANDE LE BUS à l'état faux, indiquant qu'il a terminé l'utilisation du DTB.

Puisque le DEMANDEUR A est un DEMANDEUR ROR, il ne libère pas BBSY*, mais le maintient au niveau bas. Dans le cas où le MAITRE A a de nouveau besoin du DTB, aucun arbitrage ne sera requis. Dans cet exemple cependant, le DEMANDEUR B commande BR1* au niveau bas indiquant un besoin d'utiliser le DTB, et le DEMANDEUR A qui surveille les lignes de demande de bus libère la ligne BBSY*. Ensuite, l'ARBITRE accorde le DTB au DEMANDEUR B.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.4.2 *Arbitration of two bus requests on the same bus request line*

Figures 3-7 and 3-8, pages 243 to 247, illustrate the sequence of events which takes place when an ROR REQUESTER and an RWD REQUESTER send simultaneous requests to a PRI ARBITER on a common bus request line. In this example, the ARBITER and RWD REQUESTER are located on the system controller board in slot 1, with the ROR REQUESTER located in slot 2. When the sequence begins, both of the REQUESTERS drive BR1* low simultaneously. The ARBITER then drives BG1IN* low to its own slot (slot 1). That BG1IN* signal is monitored by REQUESTER B (also in slot 1). When REQUESTER B detects BG1IN* low, it responds by driving BBSY* low. REQUESTER B then releases BR1* and informs MASTER B that the DTB is available.

OBSERVATION 3.15:
Even though REQUESTER B releases BR1*, REQUESTER A continues to drive it low (see Figures 3-7 and 3-8).

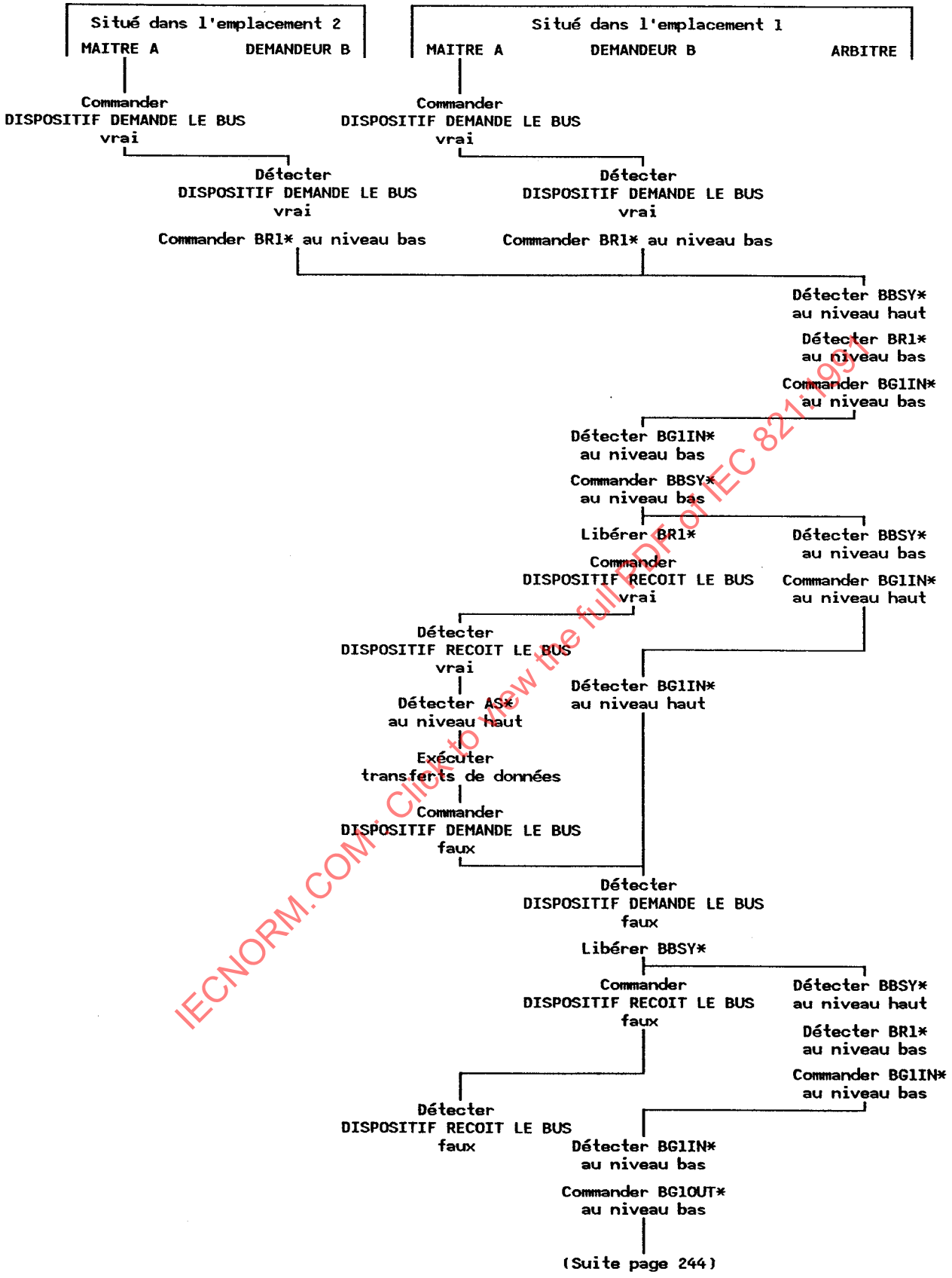
After detecting BBSY* low, the ARBITER drives BG1IN* high. When MASTER B has completed its data transfer(s), it drives DEVICE WANTS BUS false. When REQUESTER B detects this, and when the 30 ns delay since the release of BR1* has been satisfied, REQUESTER B releases BBSY*.

The ARBITER interprets the release of BBSY* as a signal to arbitrate any current bus requests. Since the BR1* line is still low, the ARBITER drives BG1IN* low again. When REQUESTER B detects BG1IN* low, it drives its BG1OUT* low because it does not need the DTB. REQUESTER A then detects the low on its BG1IN* and responds by driving BBSY* low and BR1* high. When the ARBITER detects the low on BBSY*, it drives BG1IN* high, which causes REQUESTER B to drive its BG1OUT* high.

Some time later, when MASTER A has finished its data transfers, it drives DEVICE WANTS BUS false, indicating that it has finished using the DTB.

Since REQUESTER A is an ROR REQUESTER, it does not release BBSY*, but keeps it driven low. In the event that MASTER A needs to use the DTB again, no arbitration will be required. In this example, however, REQUESTER B drives BR1* low, indicating a need to use the DTB, and REQUESTER A, which is monitoring the bus request lines, releases the BBSY* line. The ARBITER then grants the DTB to REQUESTER B.

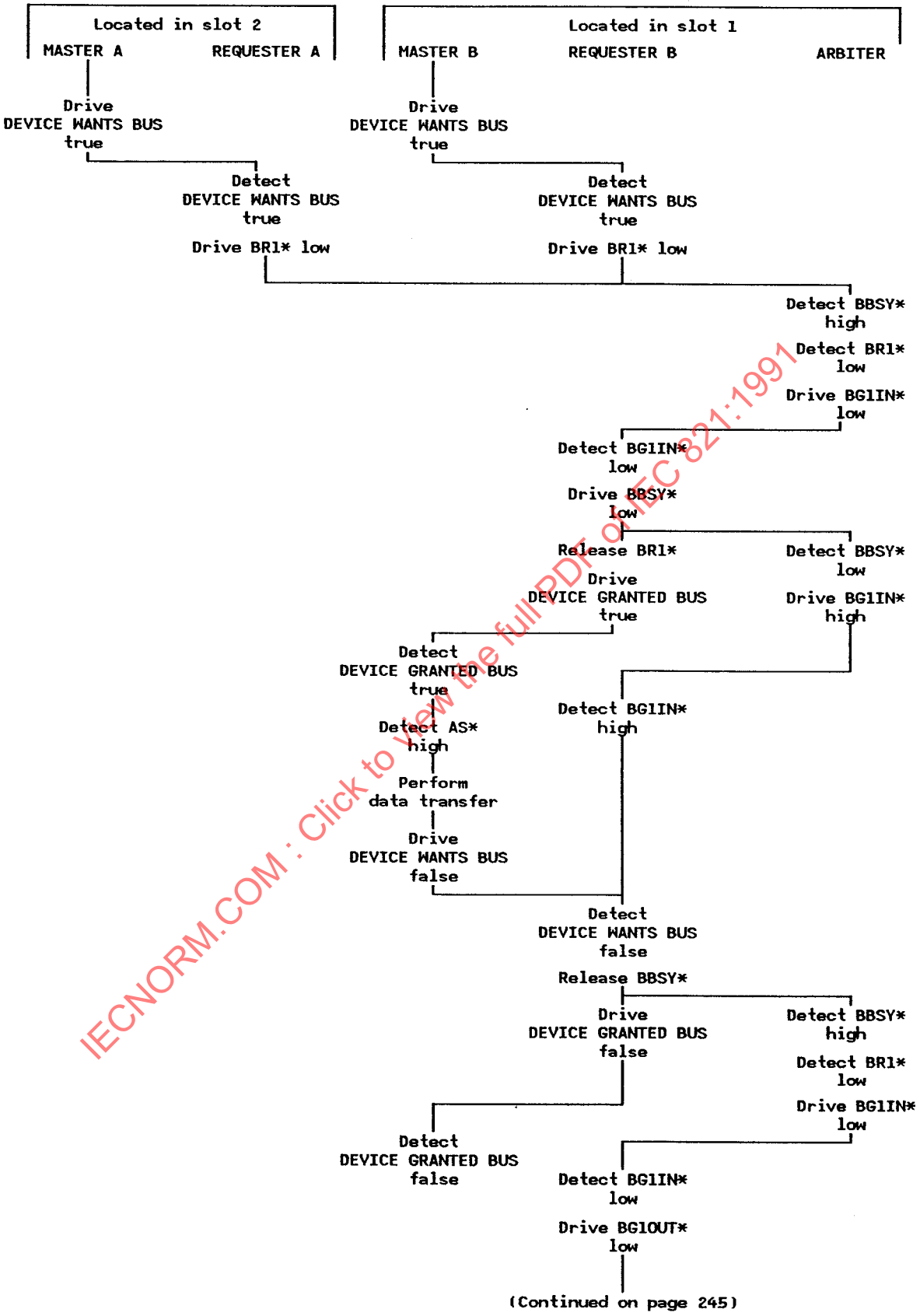
IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:
Le DISPOSITIF DEMANDE LE BUS et le DISPOSITIF RECOIT LE BUS sont des signaux internes à la carte entre le MAITRE et son DEMANDEUR (voir figure 3-4, page 226).

FIG. 3-7. - Organigramme de l'arbitrage: deux DEMANDEURS, même niveau de demande



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:
DEVICE WANTS BUS and DEVICE GRANTED BUS are on-board signals between the MASTER and its REQUESTER (see figure 3-4, page 227).

FIG. 3-7. - Arbitration flow diagram: two REQUESTERS, same request level.

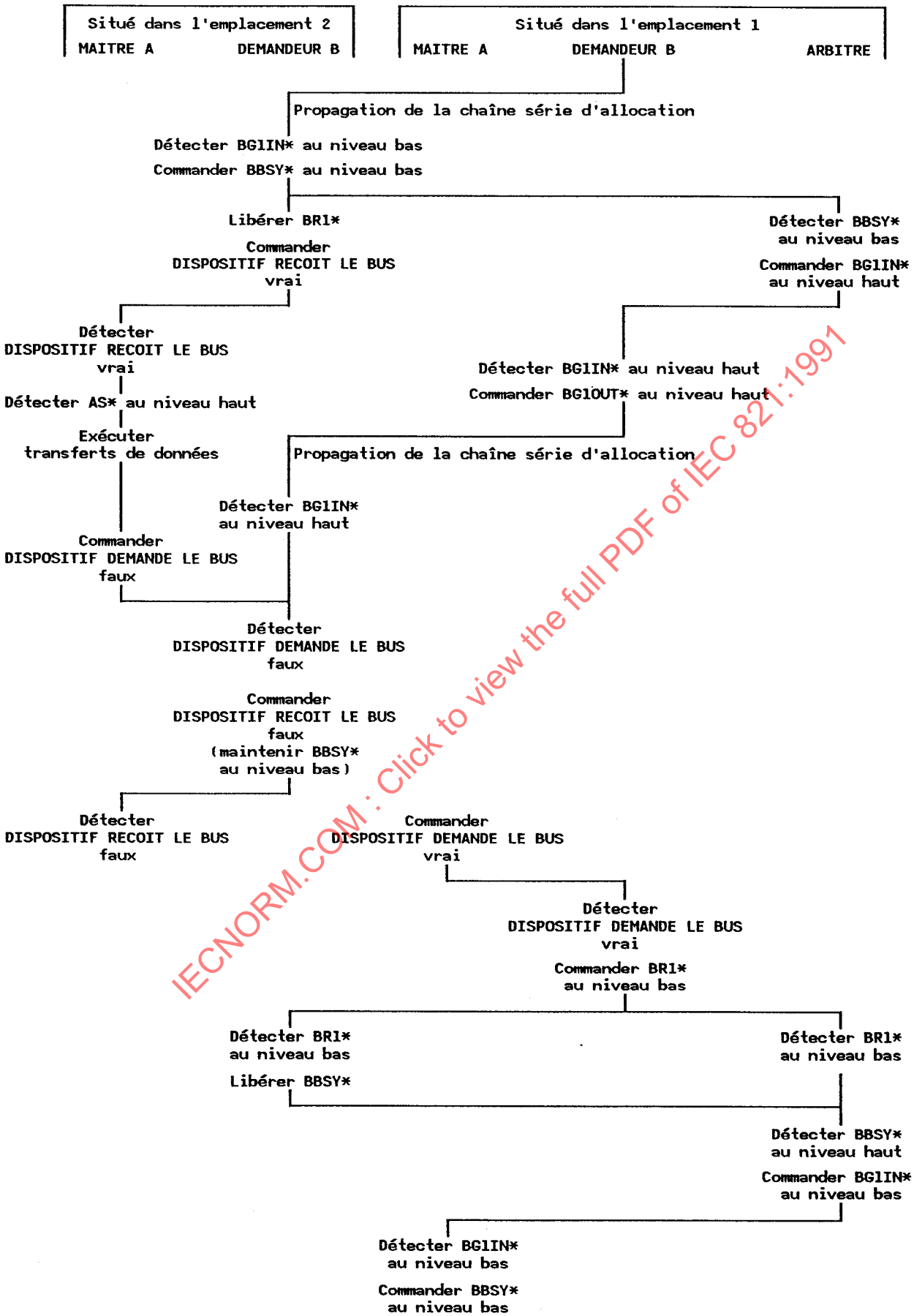
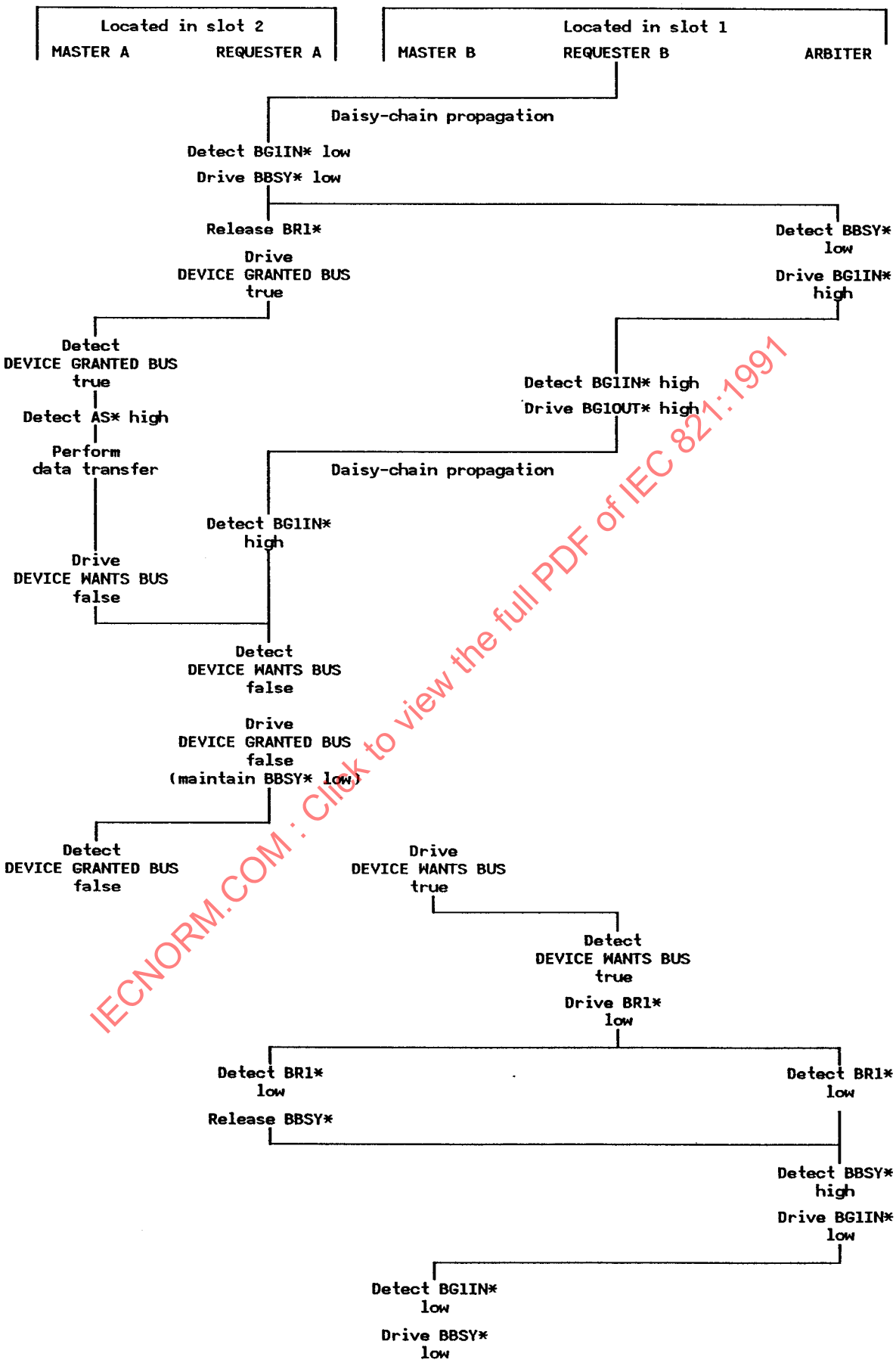


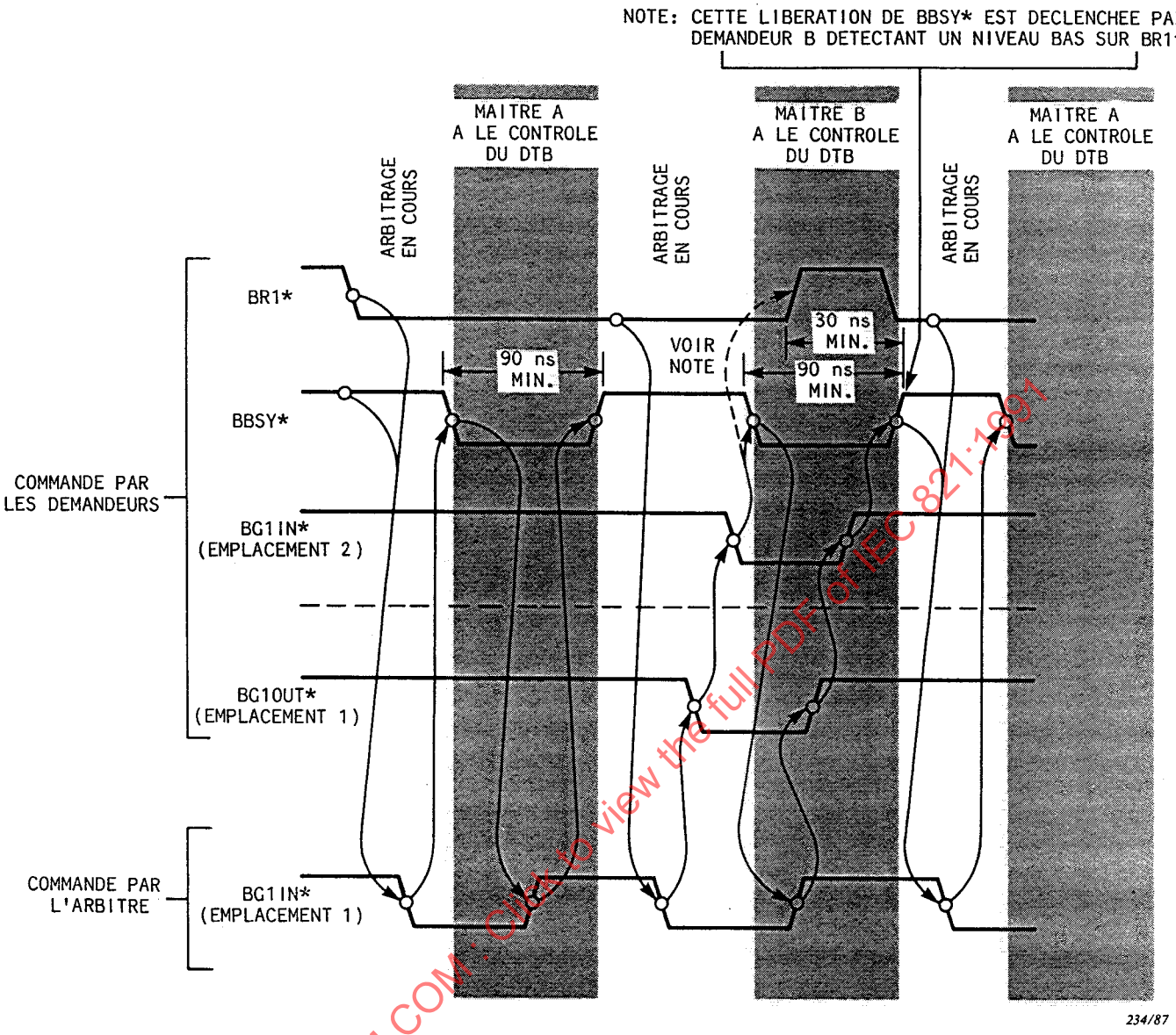
FIGURE 3-7 (fin).

IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIGURE 3-7 (concluded).

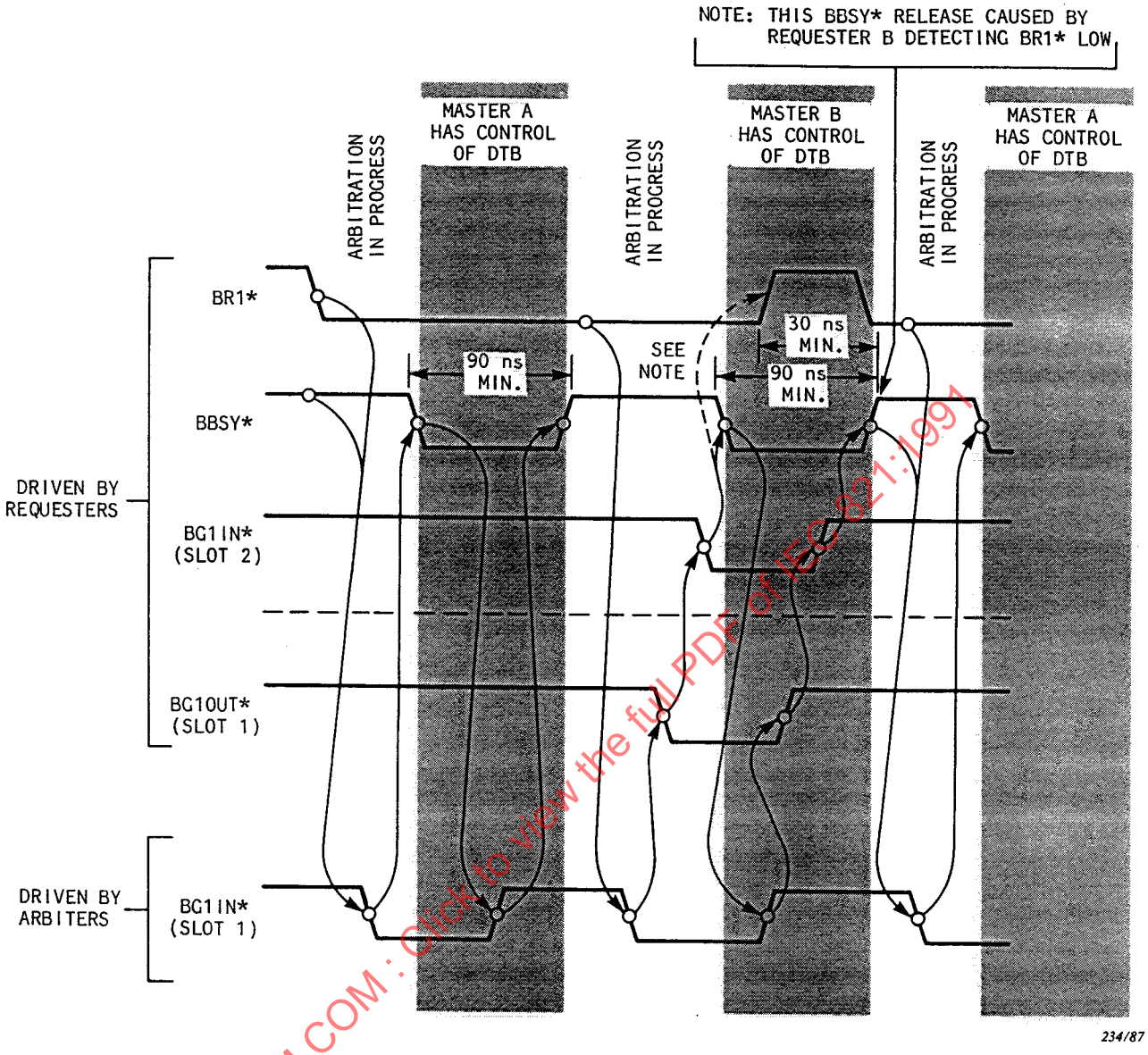


Note:

Dans cet exemple, chaque DEMANDEUR maintient sa ligne de demande de bus au niveau bas tant qu'on ne lui a pas alloué le DTB. Dans certains cas, un DEMANDEUR pourrait libérer sa ligne de demande de bus sans recevoir un signal d'allocation (voir paragraphe 3.3.2).

FIG. 3-8. - Séquence d'arbitrage: deux DEMANDEURS, même niveau de demande.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:

In this example, each REQUESTER maintains its bus request line low until it is granted the DTB. In some cases, a REQUESTER might release its bus request line without receiving a bus grant (see Paragraph 3.3.2).

FIG. 3-8. - Arbitration sequence diagram: two REQUESTERS, same request level.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.5 *Course critique entre les demandes du* MAITRE *et les accords de l'*ARBITRE

Supposons qu'il y ait deux DEMANDEURS: le DEMANDEUR A et le DEMANDEUR B qui partagent une ligne commune de demande de bus. Le DEMANDEUR B, qui est en aval sur la chaîne série demande le bus et l'ARBITRE commande au niveau bas la ligne d'allocation du bus correspondante. Cette allocation du bus arrive au DEMANDEUR A au moment où le MAITRE A signale qu'il a besoin du bus. Si le DEMANDEUR A est mal conçu, cette situation pourrait le faire commander momentanément la ligne BGxOUT* au niveau bas puis au niveau haut de nouveau, y provoquant une impulsion transitoire de très courte durée.

REGLE 3.13:

Les DEMANDEURS DOIVENT être conçus pour assurer qu'aucune impulsion transitoire de niveau bas ne soit générée sur leur ligne BGxOUT*.

OBSERVATION 3.16:

Si le DEMANDEUR est conçu pour mémoriser l'état de la ligne DISPOSITIF DEMANDE LE BUS interne à sa carte sur le front descendant de sa ligne d'entrée de l'allocation du bus et si ce signal est en transition lorsque ce front descendant a lieu, les sorties de cette mémoire pourront parfois osciller ou resteront pendant une courte durée dans la région de seuil entre les niveaux haut et bas. A cause de cela, la norme du BUS CEI 821 n'impose pas de limite de temps au DEMANDEUR pour transmettre l'allocation du bus. Il leur interdit seulement de générer une impulsion transitoire au niveau bas sur sa ligne BGxOUT* qui pourrait être interprétée comme une allocation du bus par le DEMANDEUR en aval dans la chaîne série d'allocation.

AUTORISATION 3.8:

SI un DEMANDEUR détecte que son MAITRE sur sa carte a besoin du bus après qu'il eut reçu l'allocation du bus destinée à un autre DEMANDEUR et avant de passer cette allocation du bus,

ALORS il PEUT considérer l'allocation de bus comme la sienne. Dans ce cas, l'autre DEMANDEUR maintiendra sa demande de bus jusqu'à ce qu'une autre allocation de bus soit donnée.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

3.5 *Race conditions between* MASTER *requests and* ARBITER *grants*

Suppose that there are two REQUESTERS: REQUESTER A and REQUESTER B, that share a common bus request line. REQUESTER B, which is further down the daisy-chain, requests the bus and the ARBITER drives the corresponding bus grant line low. This bus grant arrives at REQUESTER A just as MASTER A signals that it wants the bus. If REQUESTER A is improperly designed, this situation might cause it to momentarily drive its BGxOUT* line low and then high again resulting in a low-going transient.

RULE 3.13:
REQUESTERS MUST be designed to ensure that no momentarily low-going transients are generated on their BGxOUT* line.

OBSERVATION 3.16:
If the REQUESTER is designed such that it latches the state of the on-board DEVICE WANTS BUS line upon the falling edge of its bus grant in line, and if that signal is in transition when the falling edge occurs, the outputs of the latch will sometimes oscillate, or remain in the threshold region between the high and low levels, for a short time. Because of this, the IEC 821 BUS standard does not set a time limit for the REQUESTER to pass along the bus grant. It only prohibits the REQUESTER from generating a low-going transient on its BGxOUT* line which might be interpreted as a bus grant by a REQUESTER further down the daisy-chain.

PERMISSION 3.8:
IF a REQUESTER detects that its on-board MASTER needs the bus between the time that it receives a bus grant intended for another REQUESTER, and the time it would pass that bus grant on,
THEN it MAY treat the bus grant as its own. In this case, the other REQUESTER will maintain its bus request until another bus grant is issued.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPITRE 4: BUS D'INTERRUPTION PRIORITAIRE DU BUS CEI 821

4.1 *Introduction*

Le BUS CEI 821 inclut un bus d'interruption prioritaire qui fournit les lignes de signaux nécessaires pour générer et servir des interruptions. La figure 4-1, page 252, représente un système typique de BUS CEI 821. Des GENERATEURS D'INTERRUPTION utilisent le bus d'interruption prioritaire pour envoyer des demandes d'interruption aux CONTROLEURS D'INTERRUPTION qui répondent à ces demandes.

Un système qui possède une possibilité d'interruption inclut des sous-programmes qui sont invoqués par les interruptions et qui alors s'appellent sous-programmes de service d'interruption. Les systèmes d'interruption peuvent se classer en deux groupes:

a) Les systèmes à contrôleur unique ayant un seul CONTROLEUR D'INTERRUPTION qui reçoit et sert toutes les interruptions.

b) Les systèmes à gestion répartie ayant deux ou plusieurs CONTROLEURS D'INTERRUPTION qui reçoivent et servent les interruptions du bus.

4.1.1 *Systèmes à contrôleur unique*

Dans un système à contrôleur unique, toutes les interruptions sont reçues par un seul CONTROLEUR D'INTERRUPTION et tous les sous-programmes de service d'interruption sont exécutés par un seul processeur. La figure 4-2, page 254, représente la structure relative aux interruptions d'un système à contrôleur unique. Ce type d'architecture est bien adapté aux applications de commande de processus et de la machine où un processeur de supervision coordonne les activités des processeurs dédiés. Les processeurs dédiés possèdent généralement une interface à la machine ou au processus commandé.

Le processeur de supervision est le destinataire de toutes les interruptions du bus, les traitant en tenant compte de leur priorité. Les processeurs dédiés n'ont pas à traiter les interruptions du bus et peuvent se consacrer à la commande de la machine ou du processus.

4.1.2 *Systèmes distribués*

La figure 4-3, page 256, représente la structure relative aux interruptions d'un système distribué. Ce système inclut deux ou plusieurs CONTROLEURS D'INTERRUPTION, chacun servant un seul sous-ensemble d'interruption du bus. En général, chaque CONTROLEUR D'INTERRUPTION réside sur une carte processeur différente. Ce type d'architecture est bien adapté aux applications de traitement réparti où des processeurs multiples et égaux exécutent le logiciel d'application. Comme chacun de ces processeurs égaux exécute une partie du logiciel du système, il peut avoir besoin de communiquer avec les autres processeurs. Dans un système distribué, chaque processeur sert seulement les interruptions qui lui sont envoyées en établissant des voies de communication dédiées parmi tous les processeurs.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPTER 4: IEC 821 BUS PRIORITY INTERRUPT BUS

4.1 *Introduction*

The IEC 821 BUS includes a Priority Interrupt Bus which provides the signal lines needed to generate and service interrupts. Figure 4-1, page 253, shows a typical IEC 821 BUS system. INTERRUPTERS use the Priority Interrupt Bus to send interrupt requests to INTERRUPT HANDLERS which respond to these requests.

Any system which has interrupt capability includes software routines that are called interrupt service routines, and are invoked by the interrupts. Interrupt subsystems can be classified into two groups.

a) Single handler systems, which have only one INTERRUPT HANDLER that receives and services all bus interrupts.

b) Distributed systems, which have two or more INTERRUPT HANDLERS that receive and service bus interrupts.

4.1.1 *Single handler systems*

In a single handler system, all interrupts are received by one INTERRUPT HANDLER, and all interrupt service routines executed by one processor. Figure 4-2, page 255, shows the interrupt structure of a single handler system. This type of architecture is well suited to machine or process control applications, where a supervisory processor coordinates the activities of dedicated processors. The dedicated processors are typically interfaced to the machine or the process being controlled.

The supervisory processor is the destination for all bus interrupts, servicing them in a prioritized manner. The dedicated processors are not required to service interrupts from the bus, and can give primary attention to controlling a machine or process.

4.1.2 *Distributed systems*

Figure 4-3, page 257, shows the interrupt structure of a distributed system. This system includes two or more INTERRUPT HANDLERS, each servicing only a subset of the bus interrupts. In a typical implementation, each of the INTERRUPT HANDLERS resides on a different processor board. This type of architecture is well suited to distributed computing applications, where multiple, co-equal processors execute the application software. As each of the co-equal processors executes part of the system software, it might need to communicate with the other processors. In the distributed system, each processor services only those interrupts directed to it, establishing dedicated communication paths among all processors.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

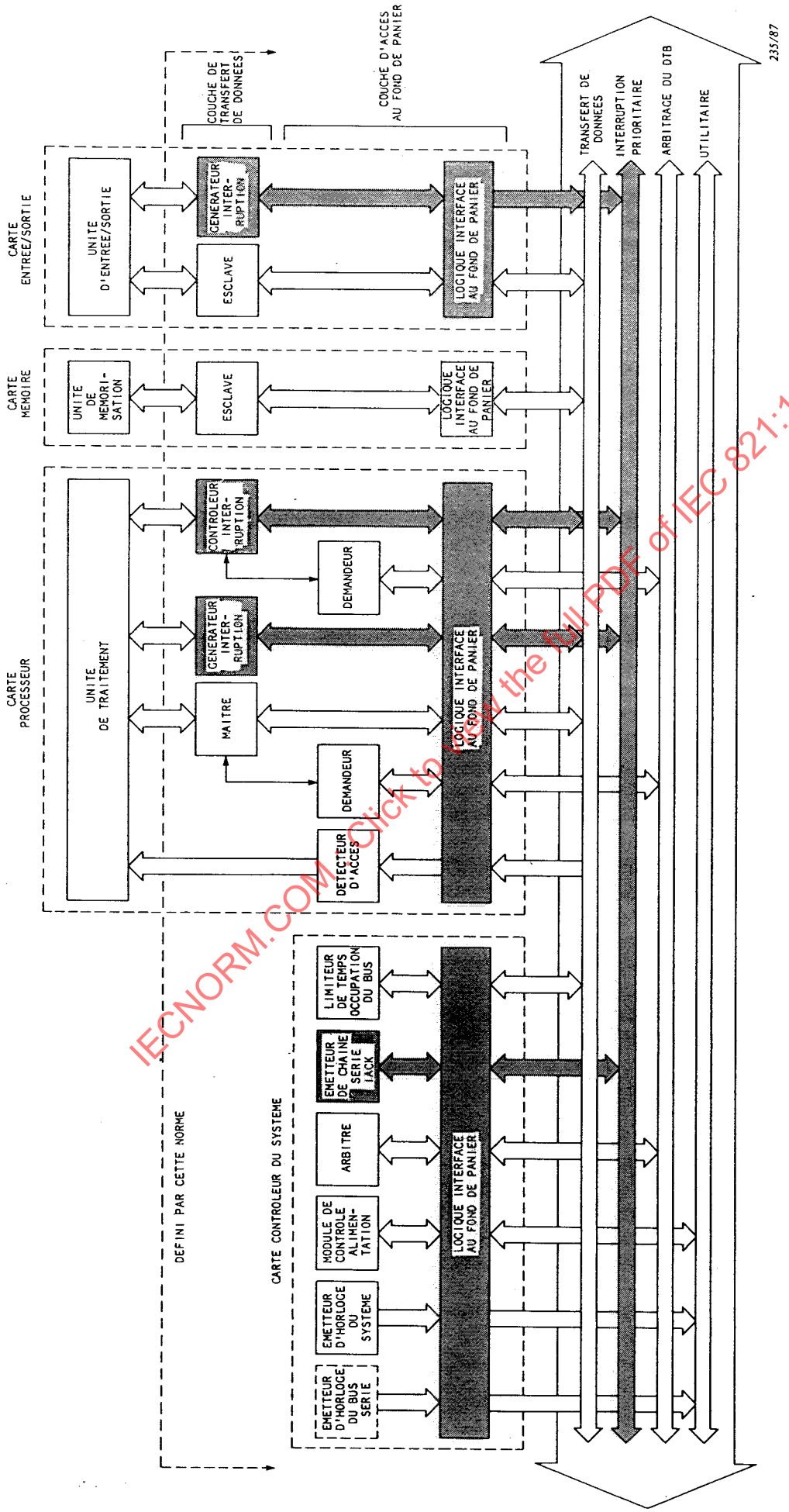


FIG. 4-1. - Schéma-bloc fonctionnel du système d'interruption prioritaire du BUS CEI 821.

IECNORM.COM Click to view the full PDF of IEC 821:1991

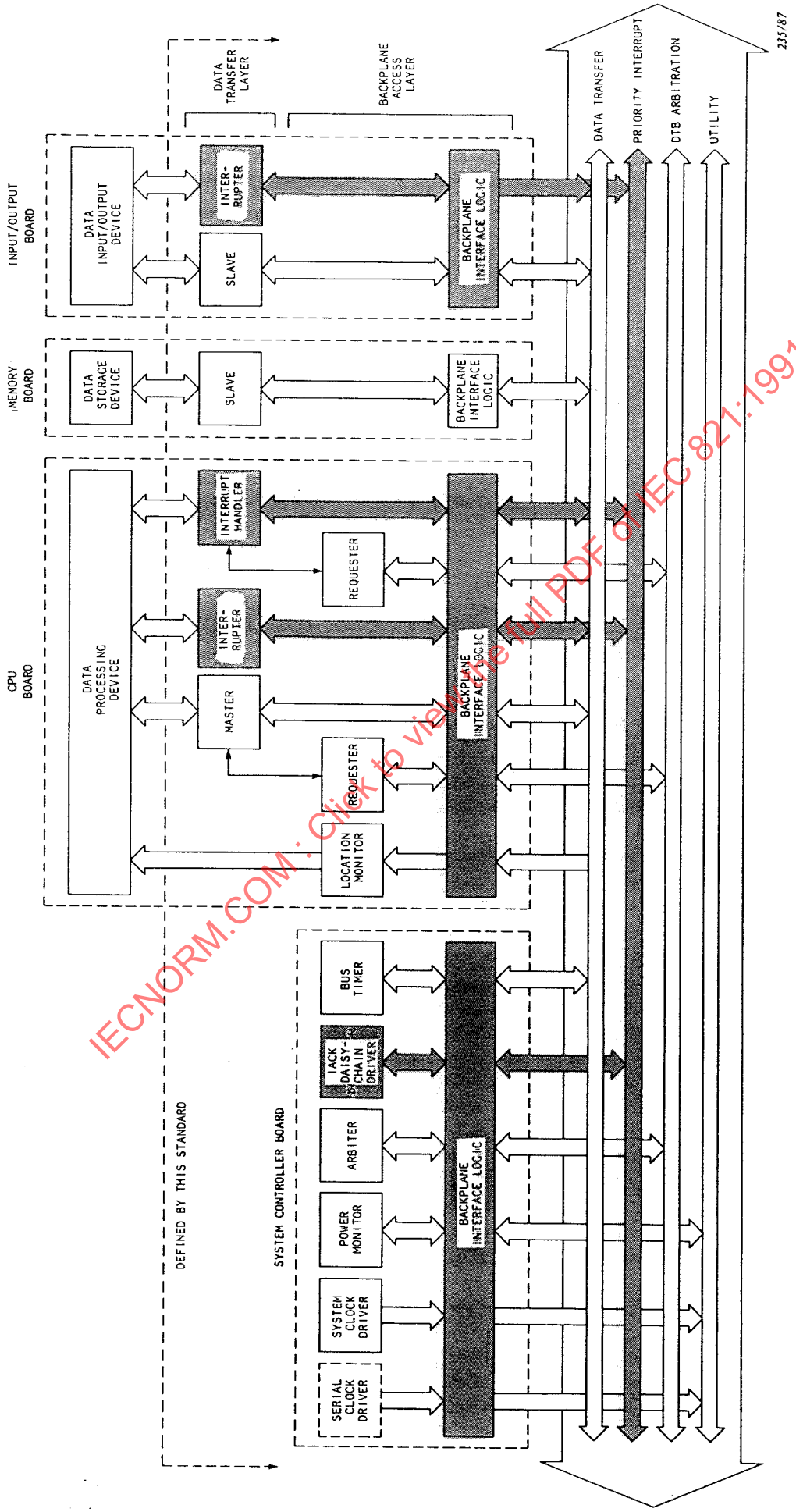


FIG. 4-1. - Priority Interrupt Bus functional block diagram.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

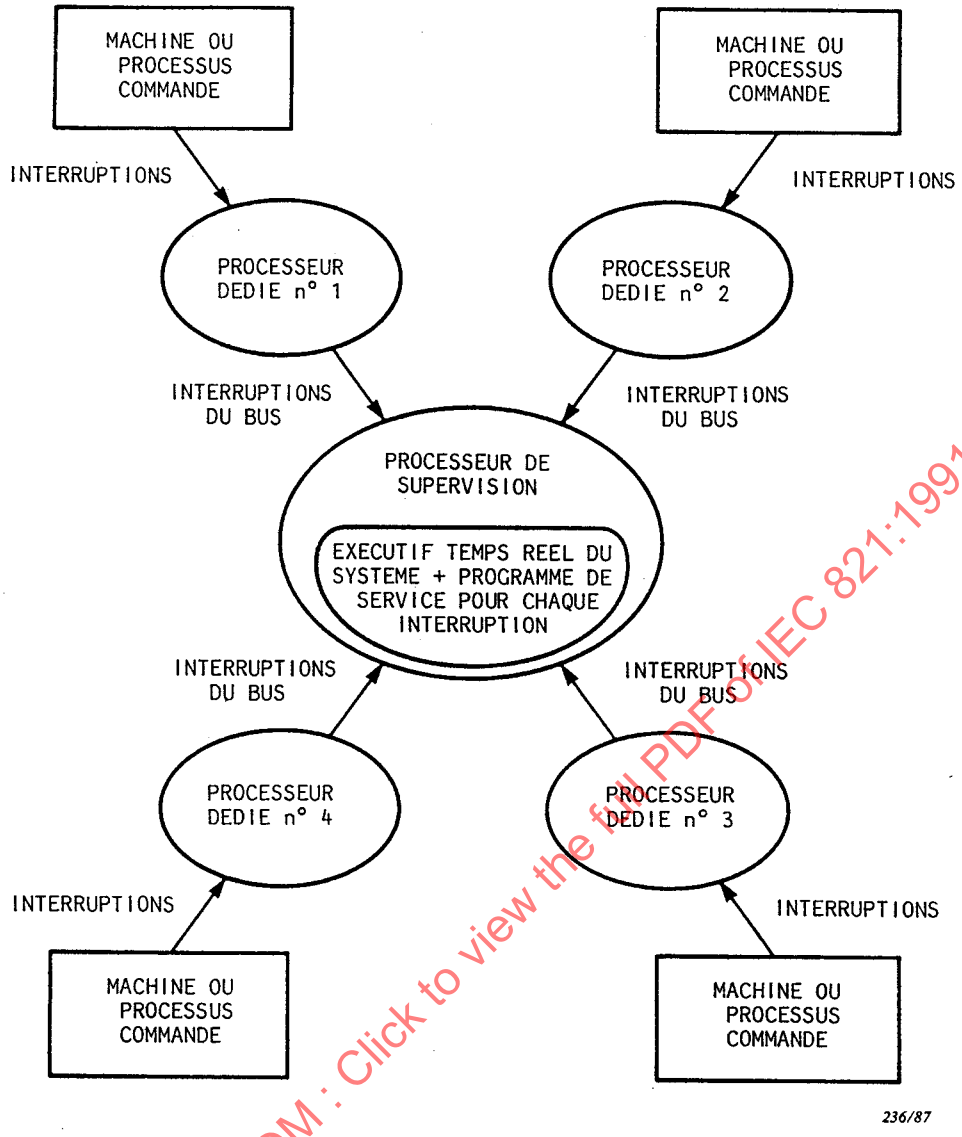


FIG. 4-2. - Structure du sous-système d'interruption: système à contrôleur unique.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

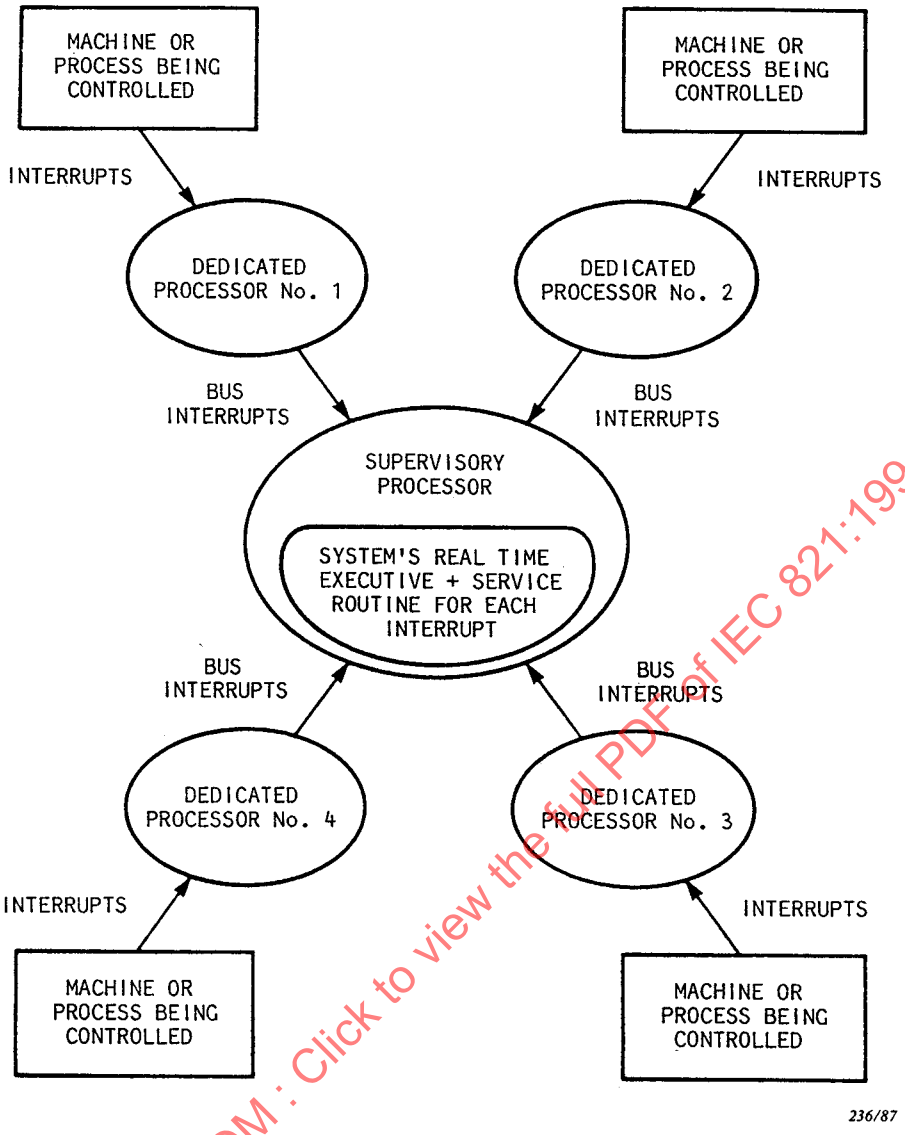


FIG. 4-2. - Interrupt subsystem structure: single handler system.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

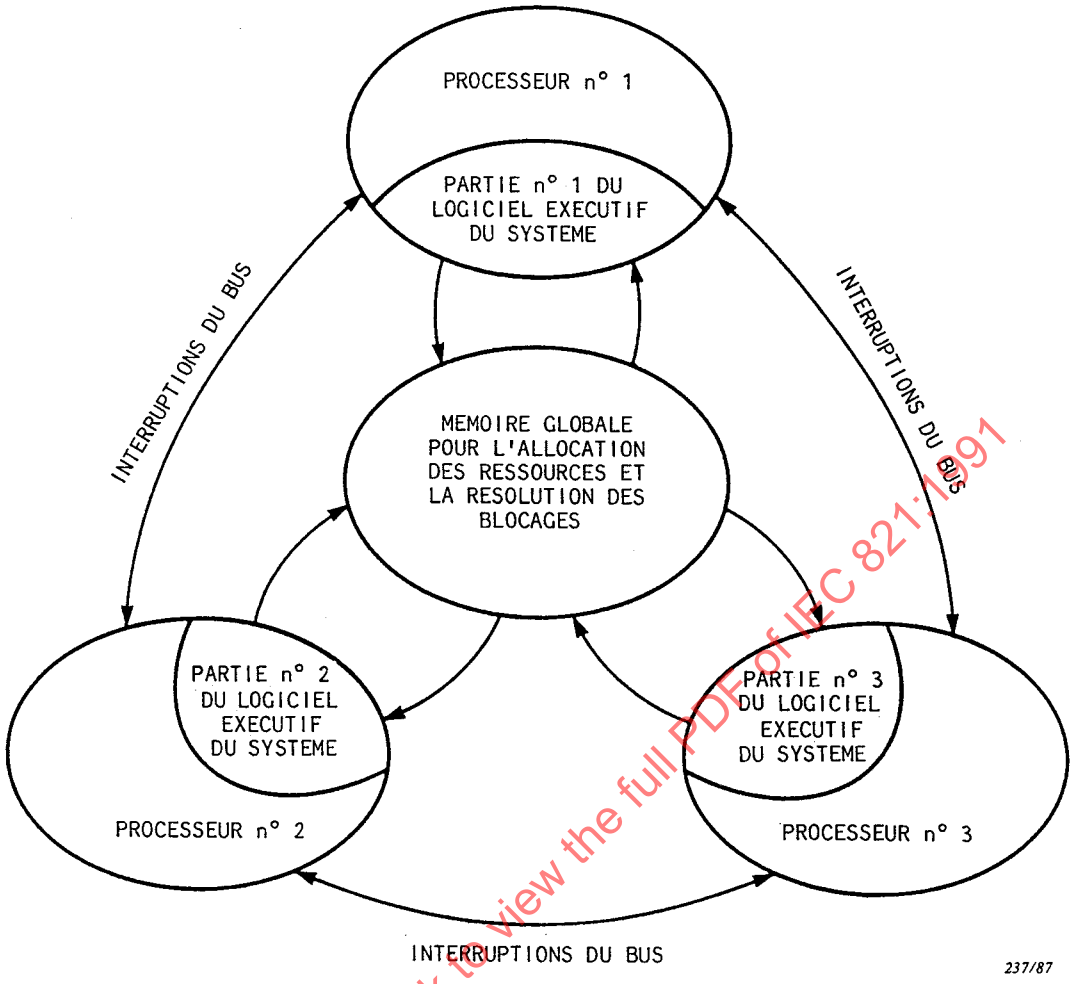


FIG. 4-3. - Structure du sous-système d'interruption: système distribué.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

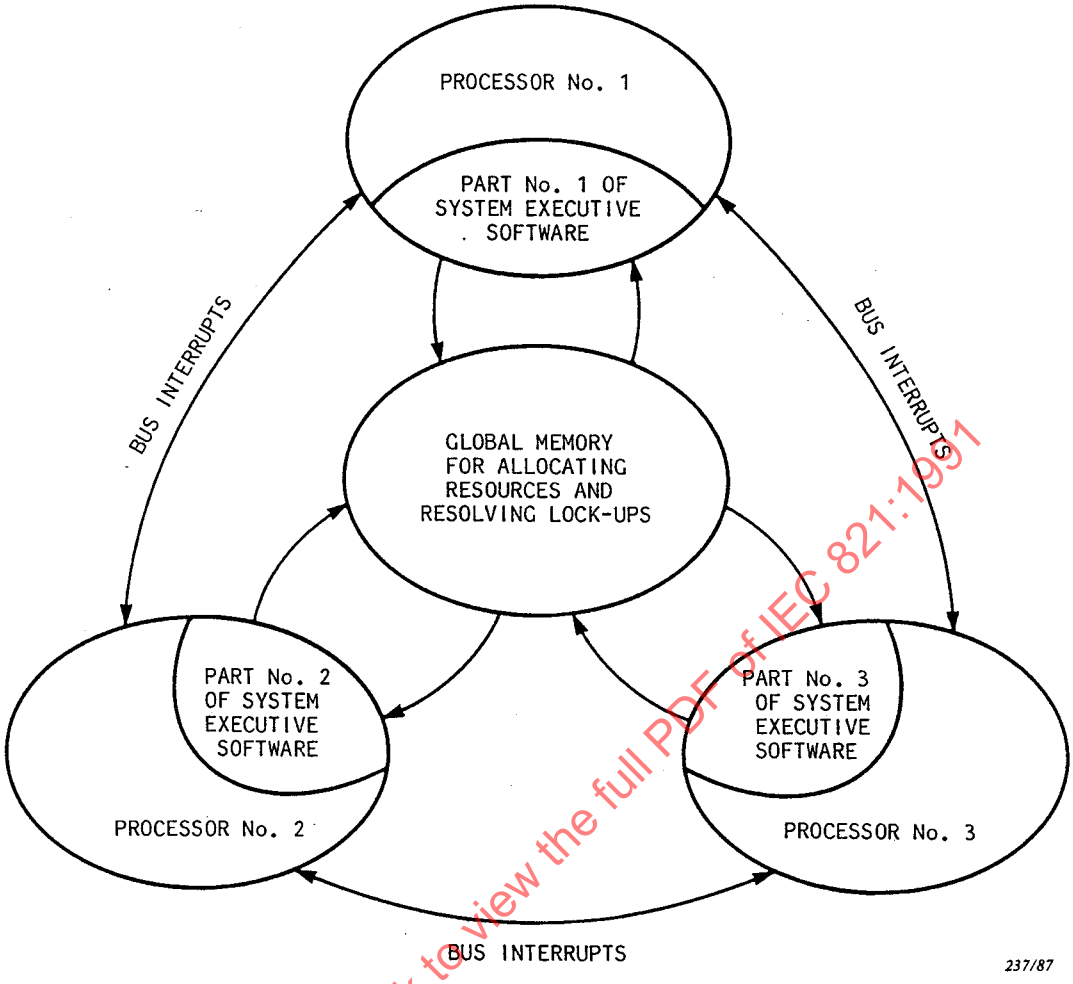


FIG. 4-3. - Interrupt subsystem structure: distributed system.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.2 *Lignes du bus d'interruption prioritaire*

Le bus de transfert de données, le bus d'arbitrage et le bus d'interruption prioritaire sont tous utilisés dans le processus de génération et de traitement des interruptions du bus.

La description qui suit, relative au bus d'interruption prioritaire, suppose que le lecteur a compris le fonctionnement du bus de transfert de données décrit dans le chapitre 2, et du bus d'arbitrage décrit dans le chapitre 3.

Le bus d'interruption prioritaire comprend sept lignes de demande d'interruption, une ligne d'acquittement d'interruption et une chaîne série de reconnaissance d'interruption:

IRQ1*	demande d'interruption 1
IRQ2*	demande d'interruption 2
IRQ3*	demande d'interruption 3
IRQ4*	demande d'interruption 4
IRQ5*	demande d'interruption 5
IRQ6*	demande d'interruption 6
IRQ7*	demande d'interruption 7
IACK*	reconnaissance d'interruption
IACKIN*/IACKOUT*	chaîne série de reconnaissance d'interruption

4.2.1 *Lignes de demande d'interruption*

Les GENERATEURS D'INTERRUPTION émettent des interruptions en commandant une ligne de demandes d'interruption au niveau bas. Dans un système à contrôleur unique, les lignes de requête d'interruption sont hiérarchisées, IRQ7* ayant la priorité la plus élevée.

4.2.2 *Ligne de reconnaissance d'interruption*

La ligne IACK* occupe toute la longueur du bus et se connecte à la broche IACKIN* de l'emplacement 1 (voir figure 4-4, page 260). Lorsqu'elle est commandée au niveau bas, la broche IACKIN* oblige l'EMETTEUR DE CHAINE SERIE IACK situé dans l'emplacement 1, à propager un front descendant le long de la chaîne série de reconnaissance des interruptions.

4.2.3 *Chaîne série de reconnaissance d'interruption - IACKIN*/IACKOUT**

Chacune des sept lignes de demande d'interruption peut être partagée entre deux ou plusieurs modules GENERATEURS D'INTERRUPTION. La chaîne série de reconnaissance d'interruption garantit qu'un seul GENERATEUR D'INTERRUPTION répond au cycle de reconnaissance d'interruption. Cette ligne en chaîne série traverse toutes les cartes sur le BUS CEI 821. Chaque GENERATEUR D'INTERRUPTION commandant au niveau bas une ligne de demande d'interruption attend l'arrivée d'un front descendant sur son entrée IACKIN* de la chaîne série. Ce n'est qu'après avoir reçu ce front descendant qu'un GENERATEUR D'INTERRUPTION répondra à un cycle de reconnaissance d'interruption. Il ne transmet pas le front descendant en aval sur la chaîne série, ce qui garantit qu'aucun autre GENERATEUR D'INTERRUPTION ne répondra à un cycle de reconnaissance d'interruption.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.2 *Priority Interrupt Bus lines*

The Data Transfer Bus, the Arbitration Bus, and the Priority Interrupt Bus are all used in the process of generating and handling bus interrupts.

The following discussion of the Priority Interrupt Bus assumes that the reader understands the operation of the Data Transfer Bus described in Chapter 2, and the Arbitration Bus described in Chapter 3.

The Priority Interrupt Bus consists of seven interrupt request signal lines, one interrupt acknowledge line, and one interrupt acknowledge daisy-chain.

IRQ1*	interrupt request 1
IRQ2*	interrupt request 2
IRQ3*	interrupt request 3
IRQ4*	interrupt request 4
IRQ5*	interrupt request 5
IRQ6*	interrupt request 6
IRQ7*	interrupt request 7
IACK*	interrupt acknowledge
IACKIN*/IACKOUT*	interrupt acknowledge daisy-chain

4.2.1 *Interrupt request lines*

INTERRUPTERS requests interrupts by driving an interrupt request line low. In a single handler system, these interrupt request lines are prioritized, with IRQ7* having the highest priority.

4.2.2 *Interrupt acknowledge line*

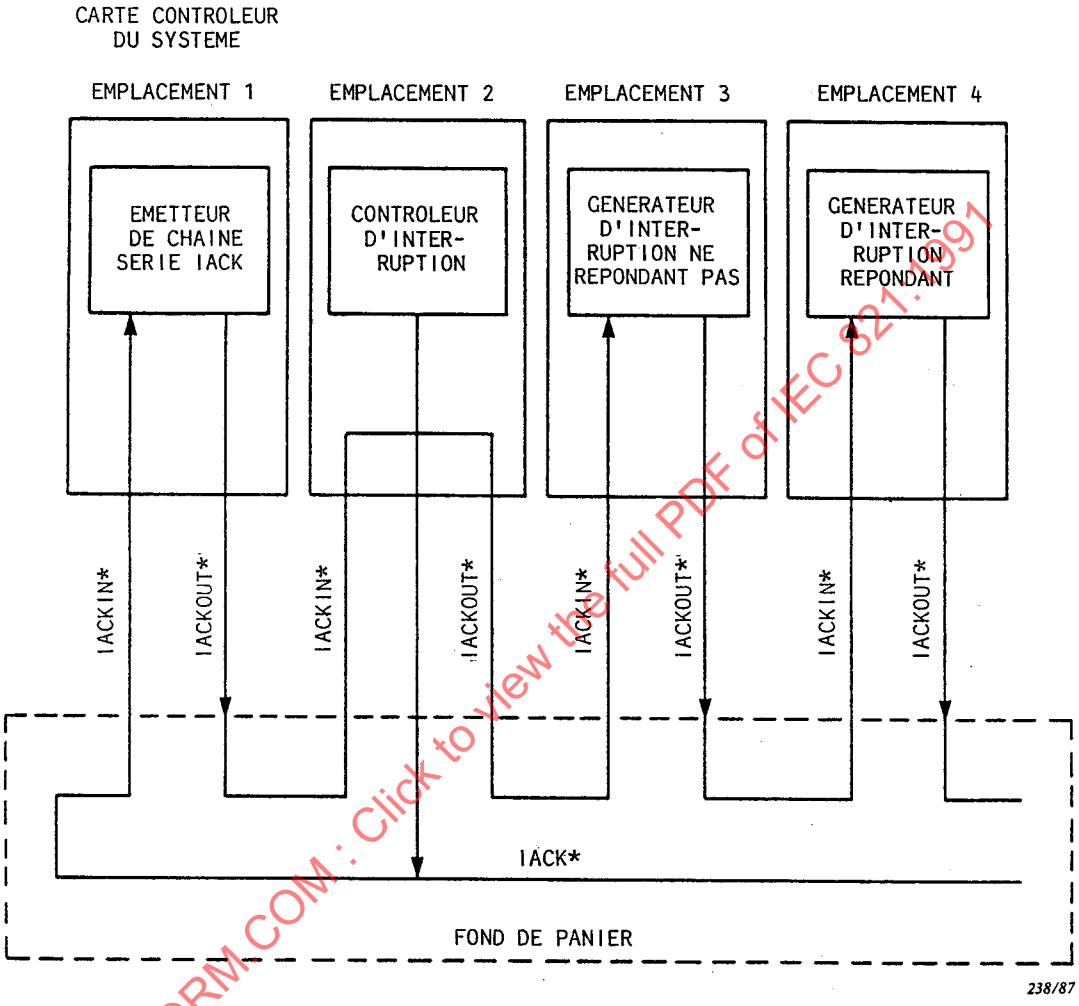
The IACK* line runs the full length of the backplane and is connected to the IACKIN* pin of slot 1 (see Figure 4-4, page 261). When driven low, the IACKIN* pin causes the IACK DAISY-CHAIN DRIVER, located in slot 1, to propagate a falling edge down the interrupt acknowledge daisy-chain.

4.2.3 *Interrupt acknowledge daisy-chain - IACKIN*/IACKOUT**

Each of the seven interrupt request lines can be shared by two or more INTERRUPTER modules. The interrupt acknowledge daisy-chain assures that only one INTERRUPTER responds to the interrupt acknowledge cycle. This daisy-chain line passes through each board on the IEC 821 BUS. Each INTERRUPTER that is driving an interrupt request line low waits for a falling edge to arrive at its IACKIN* daisy-chain input. Only upon receiving this falling edge does an INTERRUPTER respond to an interrupt acknowledge cycle. It does not pass the falling edge on down the daisy-chain, preventing other INTERRUPTERS from responding to the interrupt acknowledge cycle.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REGLE 4.1:
SI un emplacement du fond de panier du BUS CEI 821 n'est pas occupé par une carte et s'il y a des cartes plus en aval le long de la chaîne série de reconnaissance d'interruption,
ALORS des cavaliers DOIVENT être installés à l'emplacement vide pour propager le signal de la chaîne série.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

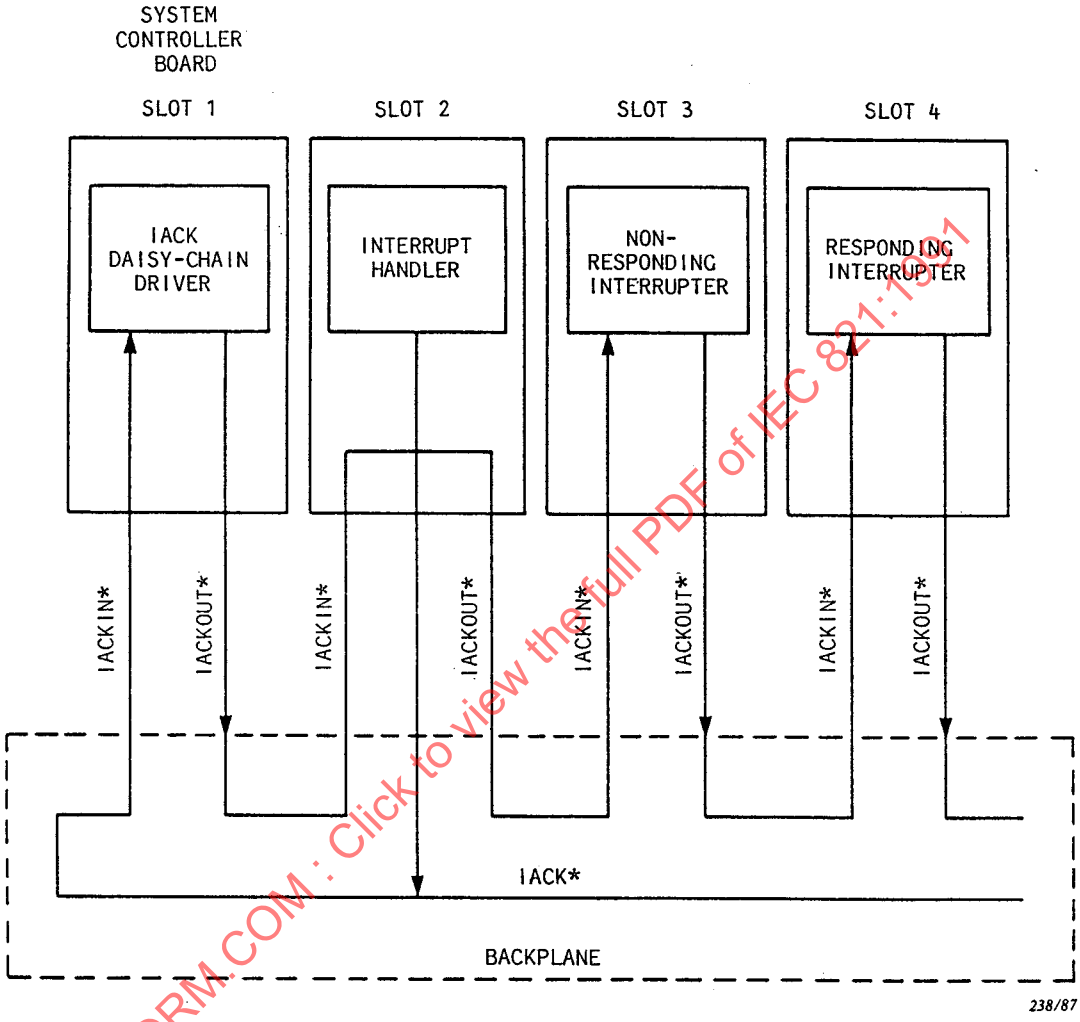
FIG. 4-4. - CHAINE SERIE IACKIN*/IACKOUT*.

4.3 *Modules du bus d'interruption prioritaire – Description générale*

Il y a trois types de modules fonctionnels associés au bus d'interruptions prioritaires: les GENERATEURS D'INTERRUPTION, les CONTROLEURS D'INTERRUPTION et les EMETTEURS DE CHAINE SERIE IACK. Les possibilités des GENERATEURS D'INTERRUPTION et CONTROLEURS D'INTERRUPTION sont décrites par une liste de mnémoniques qui montre quels types de cycle de reconnaissance d'interruption ils peuvent générer et accepter respectivement.

Les paragraphes 4.3.1 à 4.3.3 fournissent les schémas-blocs des trois types de modules du bus d'interruption prioritaire: CONTROLEUR D'INTERRUPTION, GENERATEUR D'INTERRUPTION et EMETTEUR DE CHAINE SERIE IACK.

RULE 4.1:
IF an IEC 821 BUS backplane slot is not occupied by a board, and if there are boards further down the interrupt acknowledge daisy-chain,
THEN jumpers MUST be installed at the empty slot to pass through the daisy-chain signal.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-4. - IACKIN*/IACKOUT* DAISY-CHAIN.

4.3 *Priority Interrupt Bus modules - Basic description*

There are three types of functional modules associated with the Priority Interrupt Bus: INTERRUPTERS, INTERRUPT HANDLERS, and IACK* DAISY-CHAIN DRIVERS. The capabilities of INTERRUPT HANDLERS and INTERRUPTERS are described by a list of mnemonics that show what types of interrupt acknowledge cycle they can generate and accept, respectively.

Paragraphs 4.3.1 through 4.3.3 provide block diagrams for the three types of Priority Interrupt Bus Modules: INTERRUPT HANDLER, INTERRUPTER, and IACK* DAISY-CHAIN DRIVER.

REGLE 4.2:
Les lignes de signaux de sorties indiquées en lignes continues dans les figures 4-5 à 4-7, pages 264 à 276, DOIVENT être commandées par le module à moins qu'il les commandent toujours au niveau haut.

OBSERVATION 4.1:
SI une ligne de sortie n'est pas commandée,
ALORS des adaptateurs d'impédance sur le fond de panier assurent le maintien de la ligne au niveau haut.

REGLE 4.3:
Les lignes de signaux d'entrées indiquées en lignes continues dans les figures 4-5 à 4-7 DOIVENT être surveillées et donner lieu à une réponse appropriée.

OBSERVATION 4.2:
Les REGLES et OBSERVATIONS pour la commande et la surveillance des lignes de signaux indiquées en pointillé dans les figures 4-5 et 4-6 sont données dans les tableaux 4-1 et 4-2.

4.3.1 CONTROLEURS D'INTERRUPTION

Le CONTROLEUR D'INTERRUPTION est utilisé pour accomplir plusieurs tâches:

a) Il hiérarchise les demandes d'interruption qui entrent dans le groupe de lignes de demande d'interruption qui lui sont assignées (la plus élevée des IRQ1*-IRQ7*).

b) Il utilise son DEMANDEUR sur sa carte pour demander le DTB et, quand l'utilisation du DTB lui est accordée, il lance un cycle de reconnaissance d'interruption lisant un MOT D'ETAT/IDentificateur provenant du GENERATEUR D'INTERRUPTION qui a été reconnu.

c) Il lance la séquence appropriée de traitement d'interruption établie sur l'information reçue dans le MOT D'ETAT/IDentificateur.

OBSERVATION 4.3:
La norme du BUS CEI 821 ne précise pas ce qui arrivera pendant la séquence de traitement d'interruption. Le traitement de l'interruption peut ou non impliquer l'usage du BUS CEI 821.

Le CONTROLEUR D'INTERRUPTION utilise le DTB pour lire un MOT D'ETAT/Identificateur du GENERATEUR D'INTERRUPTION. Dans ce cas, le CONTROLEUR D'INTERRUPTION agit comme un MAITRE et le GENERATEUR D'INTERRUPTION agit comme un ESCLAVE. Cependant, il y a quatre différences importantes. Le CONTROLEUR D'INTERRUPTION:

a) commande toujours IACK* au niveau bas;

b) n'est pas tenu de commander les lignes de modification d'adresse;

c) utilise seulement les trois lignes d'adresse les plus basses (A01-A03);

d) ne commande jamais le bus de données.

Le CONTROLEUR D'INTERRUPTION commande toujours IACK* au niveau bas quand il accède au bus. Le MAITRE le commande au niveau haut ou pas du tout.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

RULE 4.2:
Output signal lines shown with solid lines in Figures 4-5 through 4-7, pages 265 to 277, MUST be driven by the module, unless it would always drive them high.

OBSERVATION 4.1:
IF an output line is not driven,
THEN terminators on the backplane ensure that it is high.

RULE 4.3:
Input signal lines shown with solid lines in Figures 4-5 through 4-7 MUST be monitored and responded to in the appropriate fashion.

OBSERVATION 4.2:
RULES and PERMISSIONS for driving and monitoring lines shown with dotted lines in Figures 4-5 and 4-6 are given in Tables 4-1 and 4-2.

4.3.1 INTERRUPT HANDLERS

The INTERRUPT HANDLER is used to accomplish several tasks:

a) It prioritizes the incoming interrupt requests within its assigned group of interrupt request lines (highest of IRQ1*-IRQ7*)

b) It uses its on-board REQUESTER to request the DTB and, when granted use of the DTB, initiates an interrupt acknowledge cycle, reading a STATUS/ID from the INTERRUPTER being acknowledged.

c) It initiates the appropriate interrupt servicing sequence, based on the information received in the STATUS/ID.

OBSERVATION 4.3:
The IEC 821 BUS standard does not dictate what will happen during the interrupt servicing sequence. Servicing of the interrupt might or might not involve use of the IEC 821 BUS.

The INTERRUPT HANDLER uses the DTB to read a STATUS/ID from the INTERRUPTER. In this respect, the INTERRUPT HANDLER acts like a MASTER and the INTERRUPTER acts like a SLAVE. However, there are four important differences. The INTERRUPT HANDLER:

a) always drives IACK* low;

b) is not required to drive the address modifier lines;

c) only uses the lowest three address lines (A01-A03);

d) never drives the data bus.

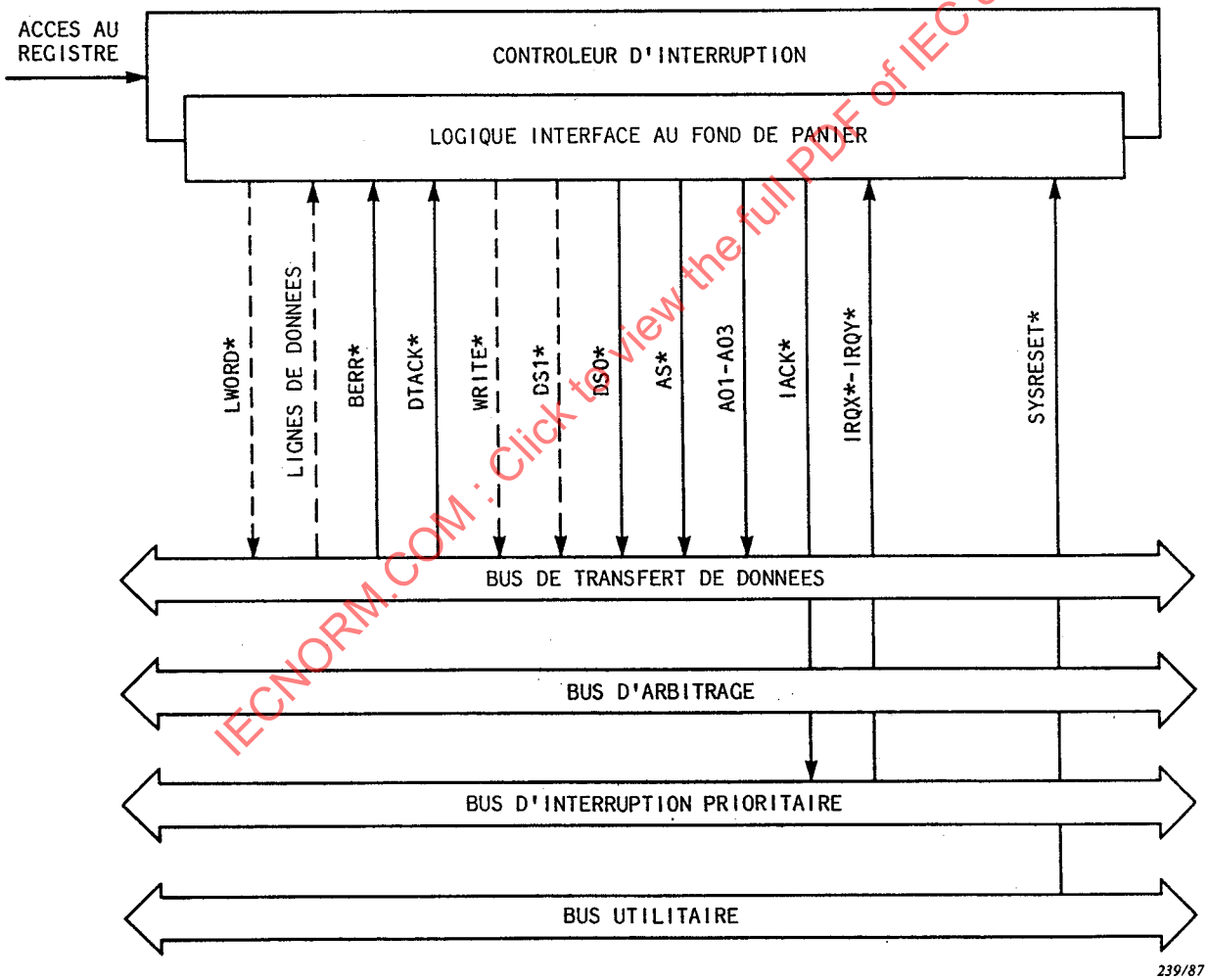
The INTERRUPT HANDLER always drives IACK* low when it accesses the bus. The MASTER either drives it high or does not drive it at all.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Le CONTROLEUR D'INTERRUPTION n'a pas à commander les lignes de modification d'adresse avec un code valide et il commande seulement les trois lignes d'adresse les plus basses (A01-A03) avec une information valide. Les niveaux de ces trois lignes d'adresse indiquent laquelle des sept lignes de demande d'interruption a été reconnue comme indiqué dans le tableau 4-7. Un MAITRE commande 15, 23 ou 31 lignes d'adresse (en fonction du mode d'adressage) avec l'adresse de l'ESCLAVE à accéder et fournit un code modificateur d'adresse sur les lignes de modification d'adresse.

Le CONTROLEUR D'INTERRUPTION ne commande pas les lignes de données (c'est-à-dire il "n'écrit" pas vers le GENERATEUR D'INTERRUPTION) et puisqu'il ne la commande jamais n'a donc pas à commander la ligne WRITE*. Un MAITRE utilise les lignes de données d'un ESCLAVE de manière bidirectionnelle et, pendant l'utilisation normale, commande WRITE* au niveau bas ou haut, comme nécessaire.

Un schéma-bloc du CONTROLEUR D'INTERRUPTION est représenté à la figure 4-5.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:

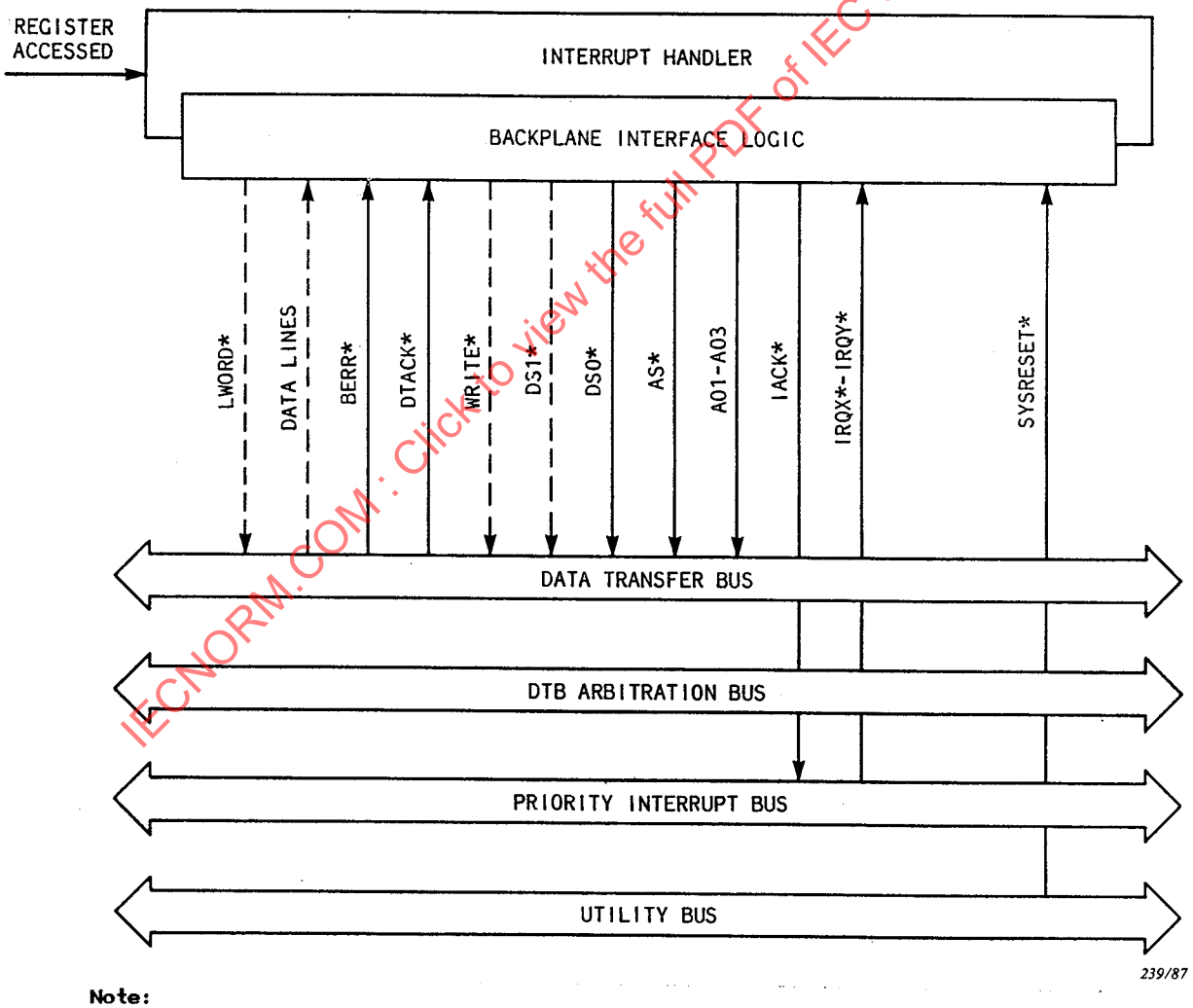
Les REGLES et OBSERVATIONS pour la surveillance et la commande des lignes pointillées sont données dans le tableau 4-1.

FIG. 4-5. - Schéma-bloc: CONTROLEUR D'INTERRUPTION.

The INTERRUPT HANDLER does not have to drive the address modifier lines with a valid code, and it only drives the lowest three address lines (A01-A03) with valid information. The levels of these three address lines indicate which of the seven interrupt request lines is being acknowledged, as shown in Table 4-7. A MASTER drives 15, 23, or 31 address lines (depending on the addressing mode) with the address of the SLAVE being accessed, and provides an address modifier code on the address modifier lines.

The INTERRUPT HANDLER does not drive the data lines (i.e. it does not "write" to the INTERRUPTER) and, since it never drives it low, does not have to drive the WRITE* line. A MASTER uses the data lines to a SLAVE bidirectionally and, during normal use, drives WRITE* low or high as required.

A block diagram of the INTERRUPT HANDLER is shown in Figure 4-5.



Note:

The RULES and PERMISSIONS for monitoring and driving the dotted lines are given in Table 4-1.

FIG. 4-5. - Block diagram: INTERRUPT HANDLER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-1

CONTROLEURS D'INTERRUPTION: REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés

Type de CONTROLEUR D'INTERRUPTION	REGLES et AUTORISATIONS
D08(O)	DOIT surveiller D00-D07. PEUT ou NON commander LWORD* et DS1*. PEUT ou NON surveiller D08-D31
D16	DOIT commander DS1*. DOIT surveiller D00-D15. PEUT ou NON commander LWORD*. PEUT ou NON surveiller D16-D31
D32	DOIT commander DS1* et LWORD*. DOIT surveiller D00-D31
TOUS	NE DOIVENT PAS commander WRITE* au niveau bas

Note:
Les mnémoniques D08(O), D16 et D32 sont définis dans le tableau 4-5.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.2 GENERATEUR D'INTERRUPTION

Le GENERATEUR D'INTERRUPTION fonctionne de la manière suivante:

a) Il demande une interruption au CONTROLEUR D'INTERRUPTION qui surveille sa ligne de demande d'interruption.

b) S' il reçoit un front descendant sur l'entrée de la chaîne série de reconnaissance d'interruption.

Alors s'il demande une interruption
et que les niveaux sur les trois lignes valides d'adresse correspondent à la ligne de demande d'interruption qu'il utilise
et que la taille du MOT D'ETAT/IDentificateur requis est égale ou supérieure à celle qu'il utilise,
Alors il fournit un MOT D'ETAT/IDentificateur.

Sinon il transmet le front descendant en aval sur la chaîne série de reconnaissance d'interruption.

Chaque module GENERATEUR D'INTERRUPTION commande une seule ligne de demande d'interruption. La norme du BUS CEI 821 considère une carte qui génère des demandes d'interruption sur plusieurs lignes d'interruption comme possédant plusieurs modules GENERATEURS D'INTERRUPTION.

Table 4-1

INTERRUPT HANDLERS: RULES and PERMISSIONS for driving and monitoring the dotted lines

Type of INTERRUPT HANDLER	RULES and PERMISSIONS
D08(O)	MUST monitor D00-D07. MAY or MAY NOT drive LWORD* and DS1*. MAY or MAY NOT monitor D08-D31
D16	MUST drive DS1*. MUST monitor D00-D15. MAY or MAY NOT drive LWORD*. MAY or MAY NOT monitor D16-D31
D32	MUST drive DS1* and LWORD*. MUST monitor D00-D31
ALL	MUST NOT drive WRITE* low

Note:
The mnemonics D08(O), D16 and D32 are defined in Table 4-5.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.2 INTERRUPTER

The INTERRUPTER functions as follows:

a) It requests an interrupt from the INTERRUPT HANDLER which monitors its interrupt request line.

b) If it receives a falling edge on the interrupt acknowledge daisy-chain input.

Then if it is requesting an interrupt
and the levels on the three valid address lines correspond to the interrupt request line it is using

and the width of the requested STATUS/ID is either equal to, or greater than the size it is using,
Then it supplies a STATUS/ID.

Else it passes the falling edge down the interrupt acknowledge daisy-chain.

Each INTERRUPTER module drives only one interrupt request line. The IEC 821 BUS standard describes a board that generates interrupt requests on several interrupt lines as having several INTERRUPTER modules.

AUTORISATION 4.1:
Puisque le GENERATEUR D'INTERRUPTION est seulement un modèle conceptuel, la logique sur une carte de BUS CEI 821 PEUT être partagée entre plusieurs modules GENERATEURS D'INTERRUPTION.

Le GENERATEUR D'INTERRUPTION utilise l'une des sept lignes pour demander une interruption. Il surveille alors les trois lignes les plus basses du bus d'adresse A01-A03, IACKIN* et optionnellement IACK* pour déterminer quand son interruption a été reconnue. Quand elle est reconnue, il place son MOT D'ETAT/IDentificateur sur le bus de données et signale au CONTROLEUR D'INTERRUPTION que le MOT D'ETAT/IDentificateur est valide en commandant DTACK* au niveau bas.

Il y a cinq différences principales dans l'utilisation du DTB par le GENERATEUR D'INTERRUPTION et par l'ESCLAVE. Le GENERATEUR D'INTERRUPTION:

a) répond seulement quand son signal IACKIN* est au niveau bas;

b) n'a pas à surveiller les lignes de modification d'adresse;

c) surveille seulement les trois lignes d'adresse les plus basses;

d) ne surveille pas la ligne WRITE*;

e) est autorisé à répondre avec des données d'une taille différente de celle demandée.

L'ESCLAVE surveille AS* et interprète un front descendant sur AS* comme le moment indiquant qu'un cycle de bus valide est en cours. Il procède alors au décodage du nombre approprié de lignes d'adresse (15, 23 ou 31) et des lignes de modification d'adresse et, à partir de cette information, détermine s'il était sélectionné. Cependant, l'ESCLAVE répond seulement si IACK* est au niveau haut.

Le GENERATEUR D'INTERRUPTION interprète d'autre part le front descendant de sa ligne IACKIN* comme un signal qu'il peut répondre au cycle de reconnaissance d'interruption en cours. Il décode seulement les trois lignes d'adresse les plus basses (A01-A03) ignorant les lignes de modification d'adresse.

Le GENERATEUR D'INTERRUPTION n'est pas tenu de surveiller la ligne WRITE* puisqu'il n'y a jamais d'écriture vers lui. Les ESCLAVES doivent surveiller la ligne WRITE* pour faire une distinction entre les opérations de lecture et d'écriture.

Le GENERATEUR D'INTERRUPTION place son MOT D'ETAT/IDentificateur sur le bus et répond avec DTACK* même si les lignes LWORD*, DS1* et DS0* demandent un MOT D'ETAT/IDentificateur dont la taille est supérieure à celle que le GENERATEUR D'INTERRUPTION peut fournir. Par exemple, le CONTROLEUR D'INTERRUPTION peut commander LWORD* et les deux validations de données au niveau bas, indiquant qu'il veut lire un MOT D'ETAT/IDentificateur de 32 bits sur D00-D31, mais un GENERATEUR D'INTERRUPTION D08(O) répondrait encore avec son MOT D'ETAT/IDentificateur de 8 bits sur D00-D07. Par contre, lorsqu'un ESCLAVE ne peut pas présenter la taille demandée de la donnée, il répond en générant BERR* ou ne répond pas du tout, ce qui typiquement génère un signal de limitation de temps d'occupation du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

PERMISSION 4.1:
Since the INTERRUPTER is just a conceptual model, logic on an IEC 821 BUS board MAY be shared between several INTERRUPTER modules.

The INTERRUPTER uses one of seven lines to request an interrupt. It then monitors the lowest three lines of the address bus A01-A03, IACKIN* and optionally IACK*, to determine when its interrupt is being acknowledged. When acknowledged, it places its STATUS/ID on the data bus and signals the INTERRUPT HANDLER that the STATUS/ID is valid by driving DTACK* low.

There are five primary differences in the use of the DTB by the INTERRUPTER and the SLAVE. The INTERRUPTER:

a) only responds when its IACKIN* is low;

b) does not have to monitor the address modifier lines;

c) only monitors the lowest three address lines;

d) does not monitor the WRITE* line;

e) is permitted to respond with data of a different size than that requested.

The SLAVE monitors AS*, and interprets a falling edge on AS* as the signal that a valid bus cycle is in progress. It then proceeds to decode the appropriate number of address lines (15, 23 or 31), and the address modifier lines, and based on this information it determines whether it was addressed. However the SLAVE responds only if IACK* is high.

The INTERRUPTER on the other hand, interprets the falling edge on its IACKIN* line as a signal that it can respond to the interrupt acknowledge cycle in progress. It decodes only the lowest three address lines (A01-A03), ignoring the address modifier lines.

The INTERRUPTER does not need to monitor WRITE*, since it is never written to. SLAVES need to monitor WRITE* so that they can distinguish read cycles from write cycles.

The INTERRUPTER places a STATUS/ID on the bus, and responds with DTACK*, even if the LWORD*, DS1*, and DS0* lines call for a STATUS/ID whose width is greater than the INTERRUPTER is able to provide. For example, the INTERRUPT HANDLER might drive LWORD* and both data strobes low, indicating that it wishes to read 32 bits of STATUS/ID from D00-D31, but a D08(O) INTERRUPTER would still respond with its 8-bit STATUS/ID on D00-D07. In contrast, when a SLAVE cannot provide the requested data width, it either responds with BERR* or does not respond at all, typically resulting in a bus time-out.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 4.4:

Lorsque le GENERATEUR D'INTERRUPTION place un MOT D'ETAT/IDentificateur sur le bus de données, toutes les lignes de données qui ne sont pas commandées sont lues par le CONTROLEUR D'INTERRUPTION comme étant au niveau haut à cause des adaptations du bus. Par exemple, si un GENERATEUR D'INTERRUPTION D16 lance un cycle de reconnaissance d'interruption double octet, un GENERATEUR D'INTERRUPTION D08(O) placera un MOT D'ETAT/IDentificateur 8 bits sur D00-D07. Les 8 bits de rang plus élevé, lus par le CONTROLEUR D'INTERRUPTION de D08-D15, sont lus au niveau 1 (haut), car ils ne sont pas commandés par le GENERATEUR D'INTERRUPTION D08(O).

REGLE 4.4:

Avant de répondre à un cycle de reconnaissance d'interruption, le GENERATEUR D'INTERRUPTION:

1) DOIT avoir une demande d'interruption en attente.
2) Le niveau de cette demande DOIT correspondre au niveau indiqué sur A01-A03.
3) La taille du MOT D'ETAT/IDentificateur requis DOIT être égale ou plus grande que la taille avec laquelle il peut répondre.
4) Il DOIT avoir reçu un front descendant sur son entrée IACKIN* de la chaîne série.

SI une de ces quatre conditions n'est pas satisfaite,
ALORS le GENERATEUR D'INTERRUPTION ne DOIT PAS répondre au cycle de reconnaissance d'interruption.

SI la condition 4) est satisfaite mais si 1), 2) ou 3) ne l'est pas,
ALORS Le GENERATEUR D'INTERRUPTION DOIT propager le front descendant de IACKIN* vers le module GENERATEUR D'INTERRUPTION suivant dans la chaîne série.

Un schéma-bloc du GENERATEUR D'INTERRUPTION est indiqué dans la figure 4-6, page 272. Les REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés sont données dans le tableau 4-2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 4.4:

When an INTERRUPTER places a STATUS/ID on the data bus, any undriven data lines are read by the INTERRUPT HANDLER as high because of the bus terminators. For example, if a D16 INTERRUPT HANDLER initiates a double byte interrupt acknowledge cycle, a D08(O) INTERRUPTER would place an 8-bit STATUS/ID on D00-D07. The upper 8 bits, read by the INTERRUPT HANDLER from D08-D15, are read as ones (high), since they are not driven by the D08(O) INTERRUPTER.

RULE 4.4:

Before responding to an interrupt acknowledge cycle, the INTERRUPTER:

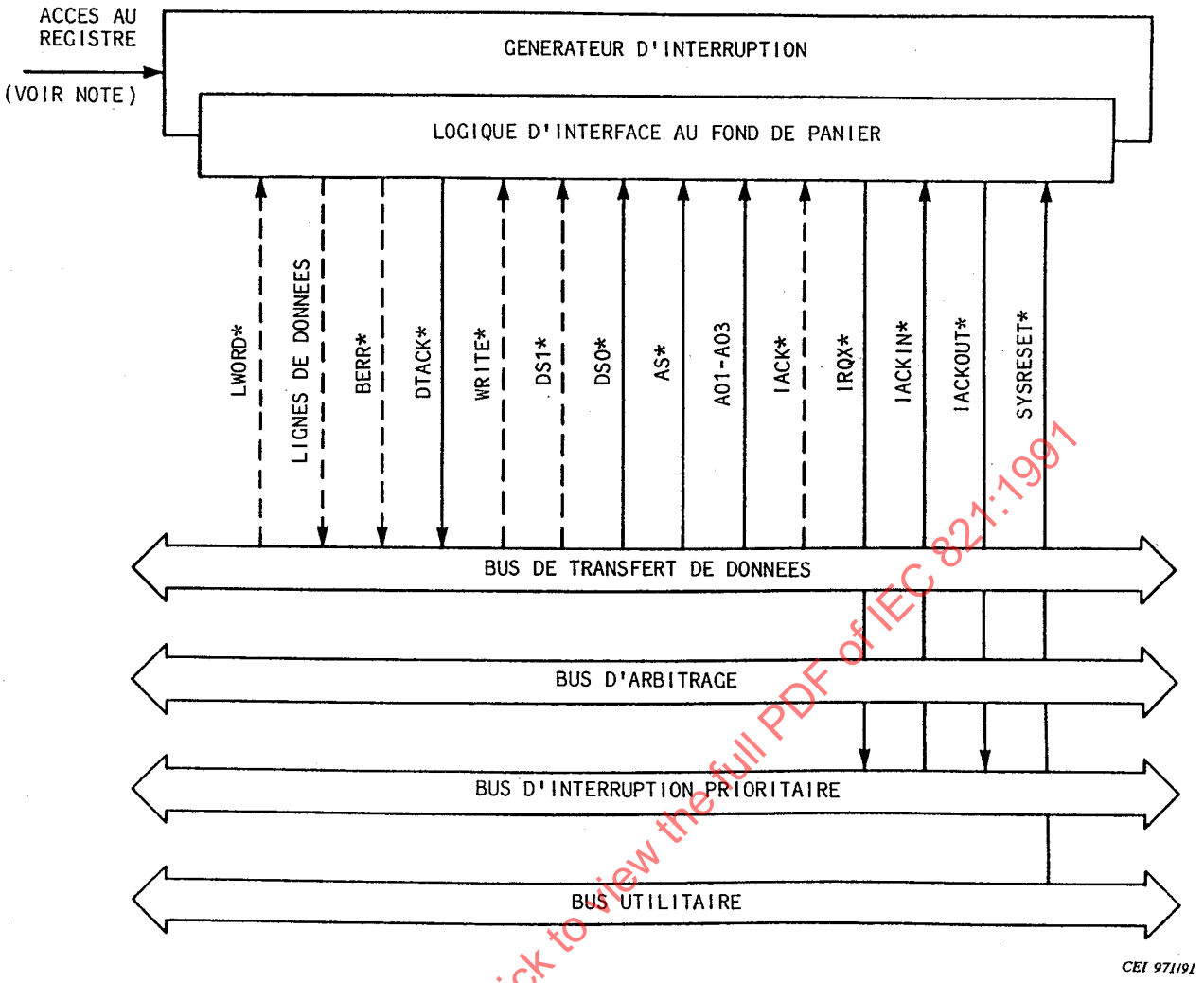
1) MUST have an interrupt request pending.
2) The level of that request MUST match the level indicated on A01-A03.
3) The width of the requested STATUS/ID MUST be equal to or greater than the size it can respond with.
4) It MUST have received an incoming falling edge on its IACKIN* daisy-chain input.

IF any one of these four conditions is not met,
THEN the INTERRUPTER MUST NOT respond to the interrupt acknowledge cycle.

IF condition 4) is met, but either 1), 2), or 3) is not,
THEN the INTERRUPTER MUST pass the falling edge of IACKIN* to the next INTERRUPTER module in the daisy-chain.

A block diagram of the INTERRUPTER is shown in Figure 4-6, page 273. The RULES and PERMISSIONS for driving and monitoring the dotted lines are given in Table 4-2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

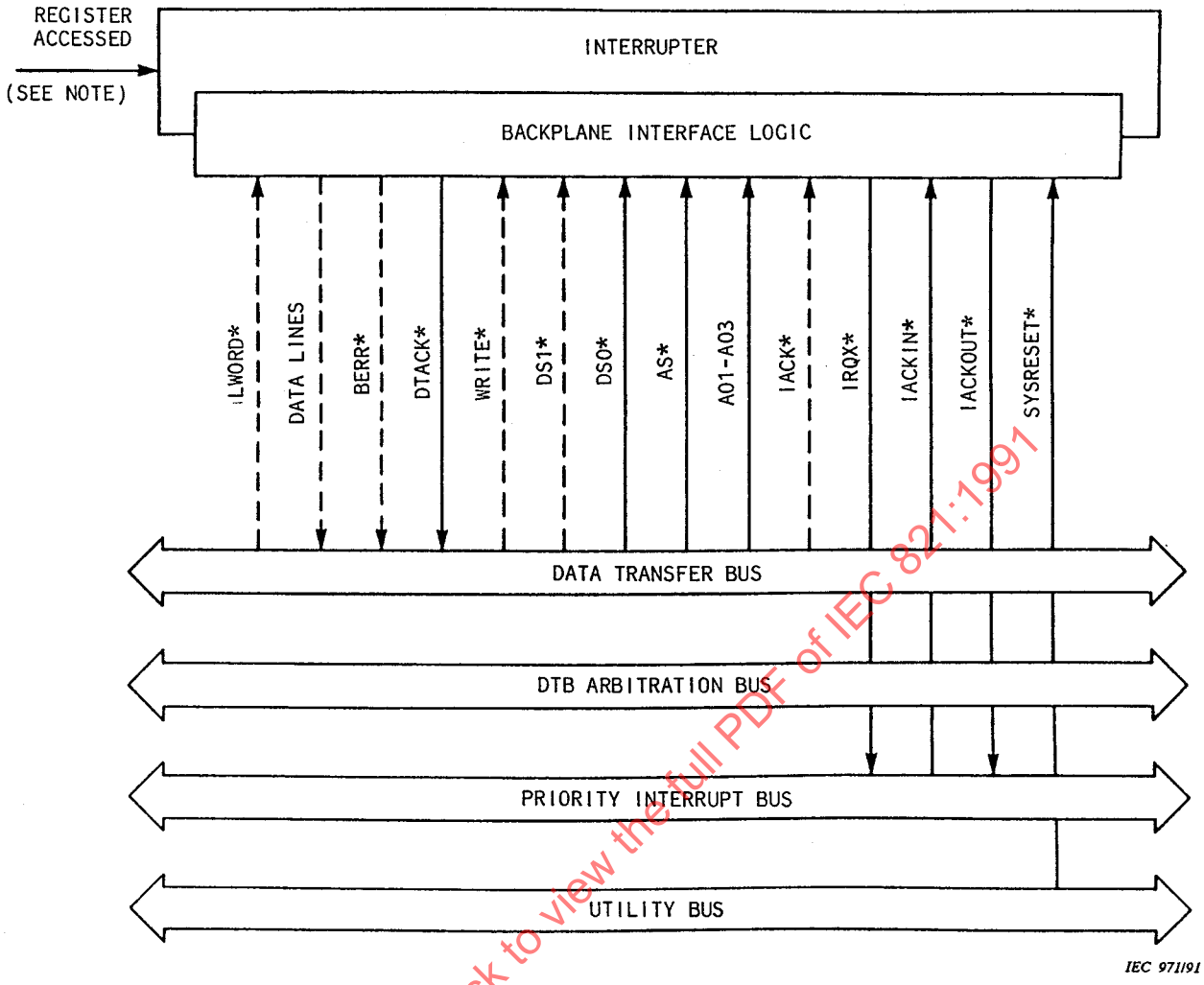


Note:

Ce signal d'entrée est présent seulement sur les GENERATEURS D'INTERRUPTION RORA.

FIG. 4-6. – Schéma-bloc: GENERATEUR D'INTERRUPTION.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:
This input signal is present on RORA INTERRUPTERS only.

FIG. 4-6. - Block diagram: INTERRUPTER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-2

GENERATEURS D'INTERRUPTION: REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés

Type de GENERATEUR D'INTERRUPTION	REGLES et AUTORISATIONS
D08(O)	DOIT commander D00-D07. NE DOIT PAS commander D08-D31 au niveau bas. PEUT ou NON surveiller LWORD* ou DS1*
D16	DOIT surveiller DS1*. DOIT commander D00-D15. NE DOIT PAS commander D16-D31 au niveau bas. PEUT ou NON surveiller LWORD*
D32	DOIT surveiller DS1* et LWORD*. DOIT commander D00-D31
TOUS	PEUVENT ou NON surveiller WRITE* et IACK*. PEUVENT ou NON commander BERR*

Note:
Les mnémoniques D08(O), D16 et D32 sont définis dans le tableau 4-5.

4.3.3 EMETTEUR DE CHAINE SERIE IACK

L'EMETTEUR DE CHAINE SERIE IACK est un autre module qui interagit avec les CONTROLEURS D'INTERRUPTION et les GENERATEURS D'INTERRUPTION pour coordonner le traitement des interruptions. Il génère un front descendant sur la chaîne série de reconnaissance d'interruption chaque fois qu'un CONTROLEUR D'INTERRUPTION lance un cycle de reconnaissance d'interruption.

Un schéma-bloc de l'EMETTEUR DE CHAINE SERIE IACK est donné dans la figure 4-7, page 276.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-2

INTERRUPTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines

Type of INTERRUPTER	RULES and PERMISSIONS
D08(O)	MUST drive D00-D07. MUST not drive D08-D31 low. MAY or MAY NOT monitor LWORD or DS1*
D16	MUST monitor DS1*. MUST drive D00-D15. MUST NOT drive D16-D31 low. MAY or MAY NOT monitor LWORD*
D32	MUST monitor DS1* and LWORD*. MUST drive D00-D31
ALL	MAY or MAY NOT monitor WRITE* and IACK*. MAY or MAY NOT drive BERR*

Note:
The mnemonics D08(O), D16 and D32 are defined in Table 4-5.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.3 IACK DAISY-CHAIN DRIVER

The IACK DAISY-CHAIN DRIVER is another module that interacts with INTERRUPT HANDLERS and INTERRUPTERS to coordinate the servicing of interrupts. It generates a falling edge on the interrupt acknowledge daisy-chain each time an INTERRUPT HANDLER initiates an interrupt acknowledge cycle.

A block diagram of the IACK DAISY-CHAIN DRIVER is given in Figure 4-7, page 277.

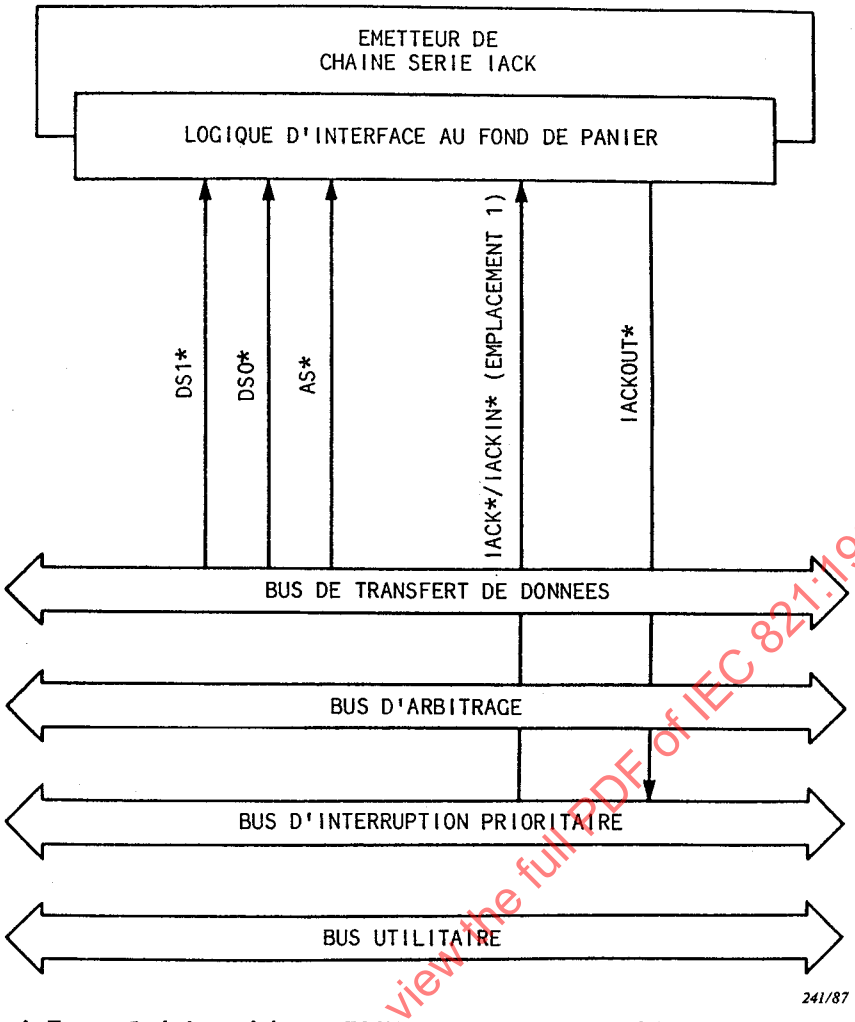


FIG. 4-7. - Schéma-bloc: EMETTEUR DE CHAINE SERIE IACK.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.4 *Possibilités de prise en compte d'une interruption*

Les CONTROLEURS D'INTERRUPTION peuvent être conçus pour prendre en compte des demandes d'interruption reçues sur l'une des sept lignes de demande d'interruption. Le tableau 4-3 montre comment le mnémonique IH() est employé pour décrire les possibilités de prise en compte de l'interruption des CONTROLEURS D'INTERRUPTION.

Tableau 4-3

Utilisation du mnémonique IH() pour spécifier les possibilités de traitement d'interruption

Le mnémonique suivant	Quand appliqué à un	Signifie qu'il
IH(x-y)	CONTROLEUR D'INTERRUPTION	Peut générer des cycles de reconnaissance d'interruption en réponse à des demandes d'interruption sur les lignes IRQx* à IRQy*
IH(x)	CONTROLEUR D'INTERRUPTION	Peut générer des cycles de reconnaissance d'interruption en réponse à des demandes d'interruption sur les lignes IRQx*

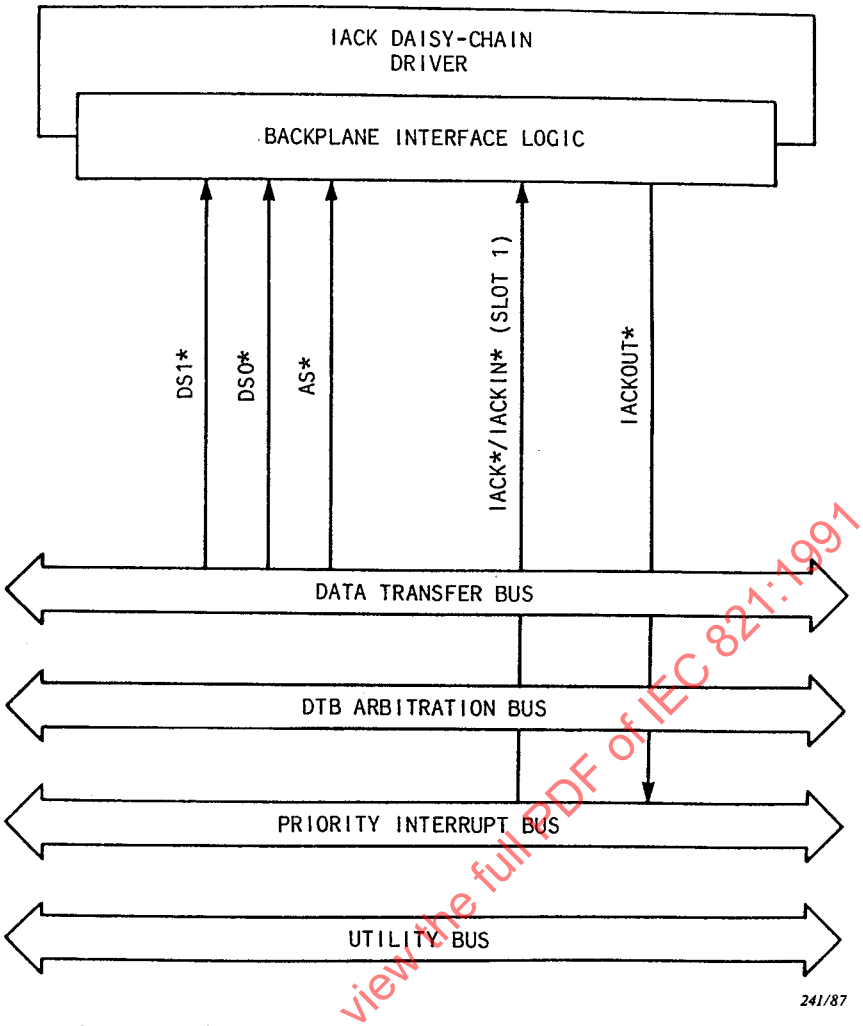


FIG. 4-7. - Block diagram: IACK DAISY-CHAIN DRIVER.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.4 *Interrupt handling capabilities*

INTERRUPT HANDLERS can be designed to handle interrupt requests received on one to seven interrupt request lines. Table 4-3 shows how the IH() mnemonic is used to describe the interrupt handling capabilities of INTERRUPT HANDLERS.

Table 4-3

Use of the IH() mnemonic to specify interrupt handling capabilities

The following mnemonic	When applied to an	Means that it
IH(x-y)	INTERRUPT HANDLER	Can generate interrupt acknowledge cycles in response to interrupt requests on lines IRQ* through IRQy*
IH(x)	INTERRUPT HANDLER	Can generate interrupt acknowledge cycles in response to interrupt requests on line IRQ*

4.3.5 *Possibilités de demande d'interruption*

Les GENERATEURS D'INTERRUPTION peuvent être conçus pour générer une demande d'interruption sur l'une des sept lignes de demande d'interruption. Le tableau 4-4 montre comment le mnémonique I() est employé pour décrire les possibilités de demande d'interruption des GENERATEURS D'INTERRUPTION.

Tableau 4-4

Utilisation du mnémonique I() pour spécifier les possibilités de génération d'une demande d'interruption

Le mnémonique suivant	Quand appliqué à un	Signifie qu'il
I(x)	GENERATEUR D'INTERRUPTION	Peut générer une demande d'interruption sur la ligne IRQx*

4.3.6 *Possibilités de transferts du MOT D'ETAT/IDentificateur*

Il y a trois possibilités de transferts du MOT D'ETAT/IDentificateur: D08(O), D16 et D32. Le tableau 4-5 montre comment ces mnémoniques sont utilisés pour décrire les possibilités de prise en compte des interruptions des GENERATEURS D'INTERRUPTION et CONTROLEURS D'INTERRUPTION.

Tableau 4-5

Mnémoniques qui spécifient les possibilités de transfert du MOT D'ETAT/IDentificateur

Le mnémonique suivant	Quand appliqué à un	Signifie qu'il
D08(O)	GENERATEUR D'INTERRUPTION	Répond à des cycles de reconnaissance d'interruption 8, 16 et 32 bits en fournissant un MOT D'ETAT IDentificateur 8 bits sur D00-D07.
	CONTROLEUR D'INTERRUPTION	Génère des cycles de reconnaissance d'interruption 8 bits en réponse à des demandes sur la ou les lignes de demande d'interruption et lit un MOT D'ETAT/IDentificateur 8 bits de D00-D07
D16	GENERATEUR D'INTERRUPTION	Répond à des cycles de reconnaissance d'interruption 16 et 32 bits en fournissant un MOT D'ETAT/IDentificateur 16 bits sur D00-D15.
	CONTROLEUR D'INTERRUPTION	Génère des cycles de reconnaissance d'interruption 16 bits en réponse à des demandes sur la ou les lignes de demande d'interruption et lit un MOT D'ETAT/IDentificateur 16 bits de D00-D15

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.5 *Interrupt request capabilities*

INTERRUPTERS can be designed to generate an interrupt request on any of the seven interrupt request lines. Table 4-4 shows how the I() mnemonic is used to describe the interrupt request capabilities of INTERRUPTERS.

Table 4-4

Use of the I() mnemonic to specify interrupt request generation capabilities

The following mnemonic	When applied to an	Means that it
I(x)	INTERRUPTER	Can generate interrupt request on line IRQx*

4.3.6 *STATUS/ID transfer capabilities*

There are three STATUS/ID transfer capabilities: D08(O), D16 and D32. Table 4-5 shows how these mnemonics are used to describe the interrupt handling capabilities of INTERRUPT HANDLERS and INTERRUPTERS.

Table 4-5

Mnemonics that specify STATUS/ID transfer capabilities

The following mnemonic	When applied to an	Means that it
D08(O)	INTERRUPTER	Responds to 8-bit, 16-bit, and 32-bit interrupt acknowledge cycles by providing an 8-bit STATUS/ID on D00-D07.
	INTERRUPT HANDLER	Generates 8-bit interrupt acknowledge cycles in response to the requests on the interrupt request line(s) and reads an 8-bit STATUS/ID from D00-D07
D16	INTERRUPTER	Responds to 16-bit and 32-bit interrupt acknowledge cycles by providing a 16-bit STATUS/ID on D00-D15.
	INTERRUPT HANDLER	Generates 16-bit interrupt acknowledge cycles in response to the requests on the interrupt request line(s) and reads a 16-bit STATUS/ID from D00-D15

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-5 (suite)

Le mnémonique suivant	Quand appliqué à un	Signifie qu'il
D32	GENERATEUR D'INTERRUPTION	Répond à des cycles de reconnaissance d'interruption 32 bits en fournissant un MOT D'ETAT/IDentificateur 32 bits sur D00-D31.
	CONTROLEUR D'INTERRUPTION	Génère des cycles de reconnaissance d'interruption 32 bits en réponse à des demandes sur la ou les lignes de demande d'interruption et lit un MOT D'ETAT/IDentificateur 32 bits de D00-D31

4.3.7 *Possibilités de libération de l'interruption*

De nombreux circuits intégrés de contrôleurs de périphériques génèrent des demandes d'interruption. Malheureusement, il n'y a aucune méthode normalisée pour indiquer à ces circuits à quel moment ils doivent retirer leur demande d'interruption. Trois méthodes sont utilisées:

a) Lorsque le processeur concerné détecte une demande d'interruption provenant d'un dispositif périphérique, il entre dans une routine de traitement de l'interruption et LIT un registre d'état du périphérique. Ce cycle de lecture du registre d'état est considéré, par le dispositif périphérique, comme un signal pour retirer sa demande d'interruption.

b) Lorsque le processeur concerné détecte une demande d'interruption provenant d'un dispositif périphérique, il entre dans une routine de traitement de l'interruption et ECRIT dans un registre de contrôle du périphérique. Ce cycle d'écriture dans le registre de contrôle est considéré, par le dispositif périphérique, comme un signal pour retirer sa demande d'interruption.

c) Lorsque le processeur concerné détecte une demande d'interruption provenant d'un dispositif périphérique, il lit un MOT D'ETAT/IDentificateur du dispositif périphérique. Ce cycle de lecture est considéré, par le dispositif périphérique, comme un signal pour retirer sa demande d'interruption.

La norme du BUS CEI 821 désigne les GENERATEURS D'INTERRUPTION qui utilisent les méthodes *a)* et *b)* par GENERATEURS D'INTERRUPTION à libération lors de l'accès à un registre (RORA) et ceux qui utilisent la méthode *c)* par GENERATEURS D'INTERRUPTION à libération lors de la reconnaissance de l'interruption (ROAK). La figure 4-8, page 284, montre comment un GENERATEUR D'INTERRUPTION ROAK libère sa ligne de demande d'interruption quand le CONTROLEUR D'INTERRUPTION lit le MOT D'ETAT/IDentificateur, tandis qu'un GENERATEUR D'INTERRUPTION RORA libère sa ligne de demande d'interruption lorsque le sous-programme de traitement de l'interruption accède à un registre de contrôle ou d'état.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Table 4-5 (continued)

The following mnemonic	When applied to an	Means that it
D32	INTERRUPTER	Responds to 32-bit interrupt acknowledge cycles by providing a 32-bit STATUS/ID on D00-D31.
	INTERRUPT HANDLER	Generates 32-bit interrupt acknowledge cycles in response to the requests on the interrupt request line(s) and reads a 32-bit STATUS/ID from D00-D31

4.3.7 *Interrupt release capabilities*

Many widely used peripheral ICs generate interrupt requests. Unfortunately, there is no standard method for indicating to these ICs when it is time for them to remove their interrupt request from the bus. Three methods are used:

a) When the relevant processor senses an interrupt request from a peripheral device, it enters an interrupt service routine and READS a status register in the device. The peripheral device interprets this read cycle on its status register as a signal to remove its interrupt request.

b) When the relevant processor senses an interrupt request from a peripheral device, it enters an interrupt service routine and WRITES to a control register in the device. The peripheral device interprets this write cycle on its control register as a signal to remove its interrupt request.

c) When the relevant processor senses an interrupt request from a peripheral device, it reads a STATUS/ID from the device. The peripheral device interprets this read cycle as a signal to remove its interrupt request.

The IEC 821 BUS standard calls INTERRUPTERS that use methods *a)* and *b)* Release On Register Access (RORA) INTERRUPTERS, and those that use method *c)* Release On Acknowledge (ROAK) INTERRUPTERS. Figure 4-8, page 285, shows how an ROAK INTERRUPTER releases its interrupt request line when the INTERRUPT HANDLER reads its STATUS/ID and how an RORA INTERRUPTER releases its interrupt request upon an access to a control or status register.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 4.5:
L'ESCLAVE qui a fourni l'accès au registre de contrôle ou d'état du GENERATEUR D'INTERRUPTION se trouve généralement sur la même carte que le GENERATEUR D'INTERRUPTION, et lui envoie un signal sur la carte après avoir accédé aux registres.

REGLE 4.5:
Un GENERATEUR D'INTERRUPTION RORA ne DOIT PAS libérer sa ligne de demande d'interruption avant que DSA* soit descendu au niveau bas pendant le cycle d'accès au registre. Il DOIT libérer la ligne de demande d'interruption dans les 2 µs après que le dernier signal de validation de donnée fut passé au niveau haut à la fin du cycle d'accès au registre.

REGLE 4.6:
Un GENERATEUR D'INTERRUPTION ROAK ne DOIT PAS libérer sa ligne de demande d'interruption avant que DSA* soit descendu au niveau bas pendant le cycle de reconnaissance qui acquitte son interruption, et DOIT libérer sa ligne de demande d'interruption dans les 500 ns après que le dernier signal de validation de donnée fut passé au niveau haut à la fin du cycle lecture du MOT D'ETAT/IDentificateur.

REGLE 4.7:
Les deux GENERATEURS D'INTERRUPTION RORA et ROAK DOIVENT fournir un MOT D'ETAT/IDentificateur lors du cycle de reconnaissance d'interruption qui a été déclenché suite à leur demande d'interruption.

REGLE 4.8:
Après qu'un CONTROLEUR D'INTERRUPTION eut déclenché un cycle de reconnaissance d'interruption et lu le MOT D'ETAT/IDentificateur d'un GENERATEUR D'INTERRUPTION RORA, il DOIT ignorer le niveau bas sur la ligne de demande d'interruption pendant 2 µs après que le signal REGISTRE ACCEDE sur sa carte fut passé à l'état vrai.

OBSERVATION 4.6:
La REGLE 4.8 évite que le CONTROLEUR D'INTERRUPTION interprète de manière erronée le niveau bas sur cette ligne comme une nouvelle demande d'interruption.

OBSERVATION 4.7:
Le MAITRE qui accède au registre d'état ou de contrôle du GENERATEUR D'INTERRUPTION se trouve généralement sur la même carte que le CONTROLEUR D'INTERRUPTION et il génère, sur la carte, un signal au CONTROLEUR D'INTERRUPTION quand il a terminé l'accès au registre.

AUTORISATION 4.2:
SI une procédure est établie pour permettre au MAITRE de signaler au CONTROLEUR D'INTERRUPTION un accès aux registres d'état ou de contrôle du GENERATEUR D'INTERRUPTION.
ALORS le MAITRE et le CONTROLEUR D'INTERRUPTION PEUVENT résider sur des cartes différentes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 4.5:
The SLAVE that provided the access to the INTERRUPTER's control or status register is typically on the same board as the INTERRUPTER, and generates an on-board signal to the INTERRUPTER when it has completed the register access.

RULE 4.5:
An RORA INTERRUPTER MUST NOT release its interrupt request line before DSA* has fallen during the register access cycle. It MUST release the interrupt request line within 2 µs after the last data strobe goes high at the end of the register access cycle.

RULE 4.6:
An ROAK INTERRUPTER MUST NOT release its interrupt request line before DSA* has fallen during the interrupt acknowledge cycle which acknowledges its interrupt, and it MUST release its interrupt request line within 500 ns after the last data strobe goes high at the end of the STATUS/ID read cycle.

RULE 4.7:
Both RORA and ROAK INTERRUPTERS MUST provide a STATUS/ID during the interrupt acknowledge cycle that was initiated in response to their interrupt request.

RULE 4.8:
After an INTERRUPT HANDLER initiates an interrupt acknowledge cycle, and reads the STATUS/ID from an RORA INTERRUPTER, it MUST ignore the low level on the interrupt request line for 2 µs after its on-board signal REGISTER ACCESSED goes true.

OBSERVATION 4.6:
RULE 4.8 prevents the INTERRUPT HANDLER from misinterpreting the low level on that line as a new interrupt request.

OBSERVATION 4.7:
The MASTER that accesses the INTERRUPTER'S control or status register is typically on the same board as the INTERRUPT HANDLER, and it generates an on-board signal to the INTERRUPT HANDLER when it has completed the register access.

PERMISSION 4.2:
IF a procedure is established to allow the MASTER to signal the INTERRUPT HANDLER an access to the INTERRUPTER'S control or status registers,
THEN the MASTER and INTERRUPT HANDLER MAY reside on different boards.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

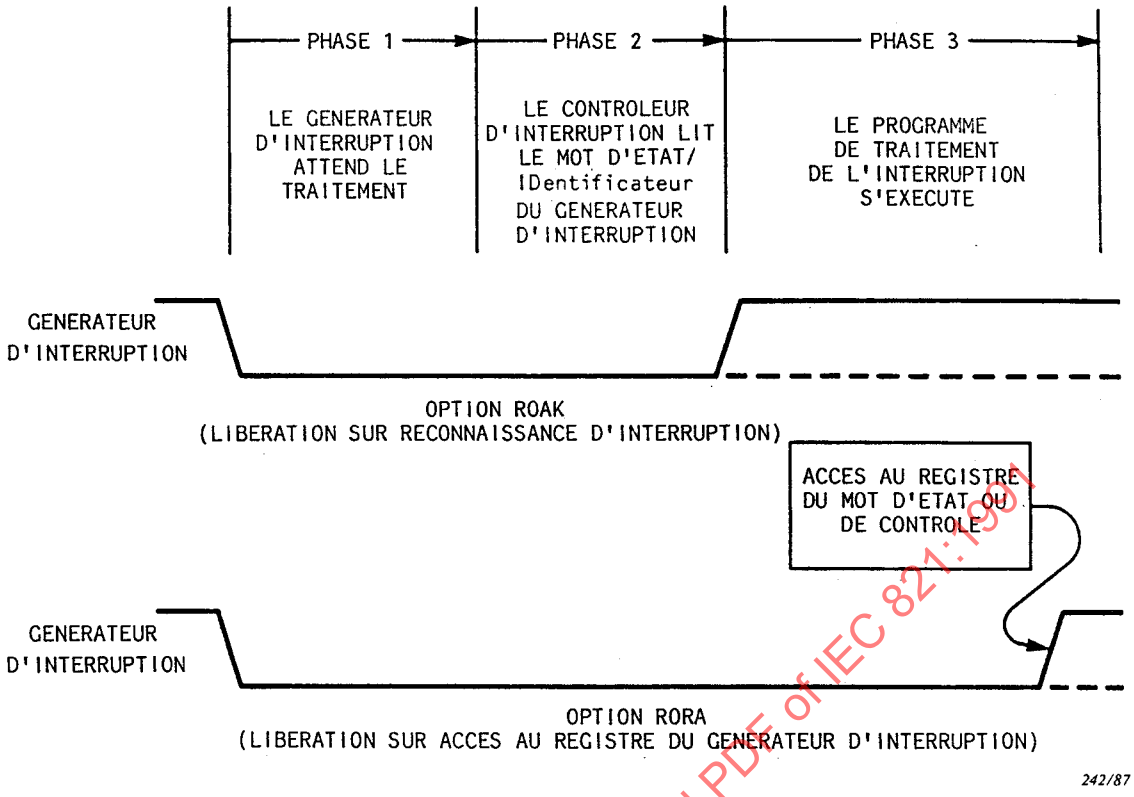


FIG. 4-8. - Libération des lignes de demande d'interruption par les GENERATEURS D'INTERRUPTION ROAK et RORA

Le tableau 4-6 montre comment les mnémoniques RORA et ROAK sont utilisés pour décrire les GENERATEURS D'INTERRUPTION.

Tableau 4-6

Mnémoniques qui spécifient les possibilités de libération des demandes d'interruption

Le mnémonique suivant	Quand appliqué à un	Signifie qu'il
RORA	GENERATEUR D'INTERRUPTION	Libère sa ligne de demande d'interruption quand un MAITRE accède à un registre d'état ou de contrôle placé sur sa carte
ROAK	GENERATEUR D'INTERRUPTION	Libère sa ligne de demande d'interruption quand son MOT D'ETAT/IDentificateur est lu pendant un cycle de reconnaissance d'interruption

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.8 *Interaction entre les modules du bus d'interruption prioritaire*

Dans les discussions suivantes, plusieurs signaux locaux sont définis pour décrire l'interaction entre les modules GENERATEUR D'INTERRUPTION, CONTROLEUR D'INTERRUPTION et le reste de la logique

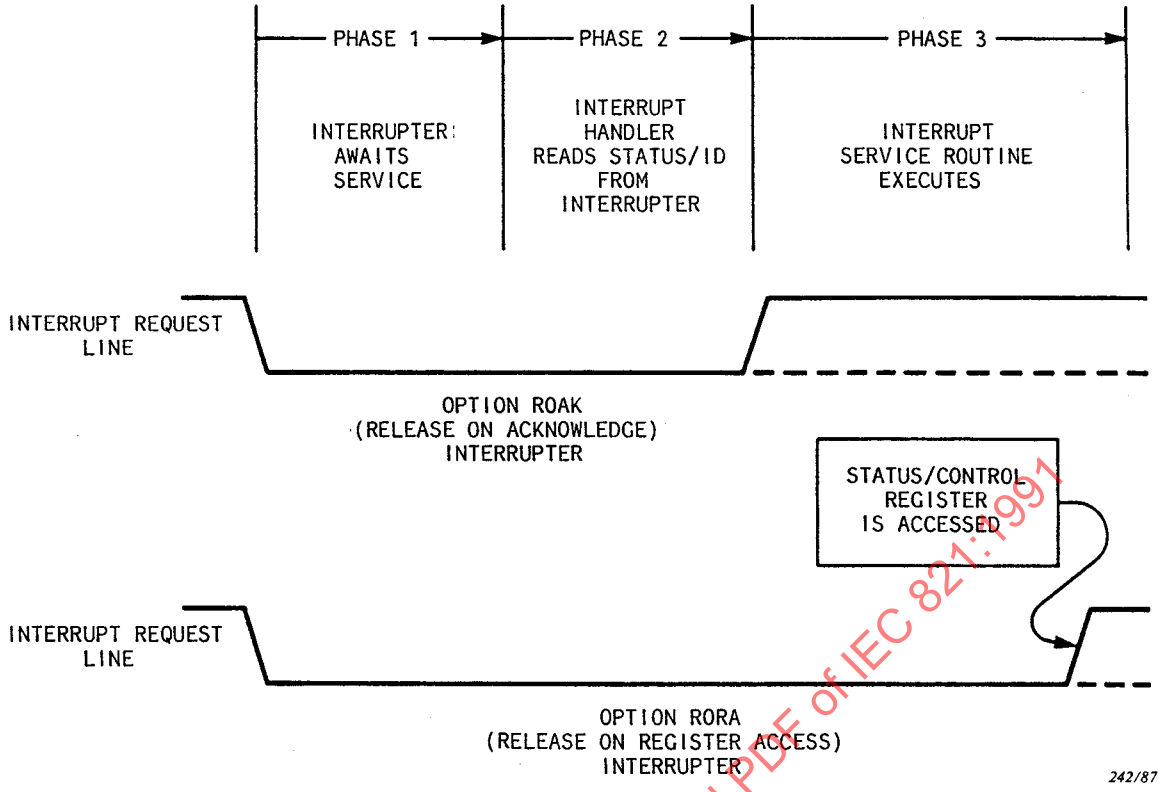


FIG. 4-8. - Release of the interrupt request lines by ROAK and RORA INTERRUPTERS.

Table 4-6 shows how the RORA and ROAK mnemonics are used to describe INTERRUPTERS.

Table 4-6

Mnemonics that specify interrupt request release capabilities

The following mnemonic	When applied to an	Means that it
RORA	INTERRUPTER	Releases its interrupt request line when some MASTER accesses an on-board status or control register
ROAK	INTERRUPTER	Releases its interrupt request line when its STATUS/ID is read during an interrupt acknowledge cycle

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.3.8 *Interaction between Priority Interrupt Bus modules*

In the following discussions, several on-board signals are defined to describe the interaction between the INTERRUPTER and INTERRUPT HANDLER modules and other on-board logic. These signals are only

locale de la carte. Ces signaux sont seulement destinés à illustrer l'information qui est échangée avec les modules, plutôt qu'à définir leur conception.

AUTORISATION 4.3:
Les cartes de BUS CEI 821 PEUVENT être conçues avec des signaux locaux qui diffèrent de ceux utilisés dans les discussions suivantes.

La figure 4-4, page 260, représente un exemple de routage de la chaîne série IACKIN*/IACKOUT* à travers une configuration typique de cartes sur le BUS CEI 821.

La ligne IACK* parcourt toute la longueur du fond de panier et peut être commandée par n'importe quel CONTROLEUR D'INTERRUPTION ayant le contrôle du DTB. Le fond de panier relie la ligne IACK* à la broche IACKIN* de l'emplacement 1. L'EMETTEUR DE CHAINE SERIE IACK est situé dans l'emplacement 1 et surveille le niveau de sa ligne IACKIN*.

Lorsque le CONTROLEUR D'INTERRUPTION commande IACK* (et la broche IACKIN* de l'emplacement 1) au niveau bas, puis commande DSA* avec un niveau bas, l'EMETTEUR DE CHAINE SERIE IACK génère un front descendant sur sa broche IACKOUT*. Cette broche est connectée à la broche IACKIN* de l'emplacement 2. Un cavalier sur la carte de l'emplacement 2 propage le front descendant sur la broche IACKIN* vers la broche IACKOUT* et, à travers le fond de panier, vers la broche IACKIN* de la carte de l'emplacement 3. Le GENERATEUR D'INTERRUPTION de l'emplacement 3 n'ayant pas de demande d'interruption en attente, il transmet alors le front descendant vers sa broche IACKOUT*. Le GENERATEUR D'INTERRUPTION de l'emplacement 4 détecte le front descendant sur sa ligne IACKIN* et répond en plaçant son MOT D'ETAT/IDentificateur sur le bus de données, puis en commandant DTACK* au niveau bas.

AUTORISATION 4.4:
Un GENERATEUR D'INTERRUPTION PEUT être placé sur la carte contrôleur du système dans l'emplacement 1 avec l'EMETTEUR DE LA CHAINE SERIE IACK. La figure 4-9, page 288, montre comment ces deux modules seraient connectés.

AUTORISATION 4.5:
Plusieurs GENERATEURS D'INTERRUPTION PEUVENT se trouver sur une carte. La figure 4-10, page 290, montre comment cela pourrait être réalisé.

OBSERVATION 4.8:
Dans certains cas, les concepteurs de carte ne peuvent pas savoir si la carte en cours de conception sera installée dans l'emplacement 1 ou dans un autre emplacement du BUS CEI 821.

RECOMMANDATION 4.1:
SI une carte possède à la fois un EMETTEUR DE CHAINE SERIE IACK et un GENERATEUR D'INTERRUPTION et PEUT ou non être installée dans l'emplacement 1,
ALORS la concevoir comme indiqué dans la figure 4-9.

AUTORISATION 4.6:
Plusieurs cartes comportant des EMETTEURS DE CHAINES SERIES IACK PEUVENT être installées dans un système de BUS CEI 821.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

intended to illustrate the information which is passed to and from the modules, rather than to define their designs.

PERMISSION 4.3:
IEC 821 BUS boards MAY be designed with on-board signals that differ from those used in the following discussions.

Figure 4-4, page 261, shows how the IACKIN*/IACKOUT* daisy-chain is routed through a typical configuration of boards on the IEC 821 BUS.

The IACK* line runs the full length of the backplane and can be driven by any INTERRUPT HANDLER that has control of the DTB. The backplane connects IACK* to the IACKIN* pin of slot 1. The IACK DAISY-CHAIN DRIVER resides in slot 1 and monitors the level of slot 1's IACKIN* line.

When an INTERRUPT HANDLER drives IACK* (and slot 1's IACKIN*) low, and then drives DSA* low, the IACK DAISY-CHAIN DRIVER generates a falling edge on its IACKOUT* pin. This pin is connected to the IACKIN* pin of slot 2. A jumper on the board in slot 2 routes the falling edge on the IACKIN* pin to the IACKOUT* pin, and through the backplane to the IACKIN* pin of the board in slot 3. The INTERRUPTER in slot 3 does not have a pending interrupt request, so it passes on the falling edge to its IACKOUT* pin. The INTERRUPTER in slot 4 then detects the falling edge on its IACKIN* line and responds by placing its STATUS/ID on the data bus, and then driving DTACK* low.

IECNORM.COM : Click to view the full PDF of IEC 821:1990

PERMISSION 4.4:
An INTERRUPTER MAY reside on the system controller board, installed in slot 1, along with the IACK DAISY-CHAIN DRIVER. Figure 4-9, page 289, shows how the two modules would be connected.

PERMISSION 4.5:
More than one INTERRUPTER MAY reside on a board. Figure 4-10, page 291, shows how this might be done.

OBSERVATION 4.8:
In some cases, board designers might not know whether or not the board they are designing will be installed in slot 1, or in some other slot of an IEC 821 BUS system.

RECOMMENDATION 4.1:
IF a board includes both an IACK DAISY-CHAIN DRIVER and an INTERRUPTER, and might or might not be installed in slot 1,
THEN design it as shown in Figure 4-9.

PERMISSION 4.6:
Several boards containing IACK DAISY-CHAIN DRIVERS MAY be installed in an IEC 821 BUS system.

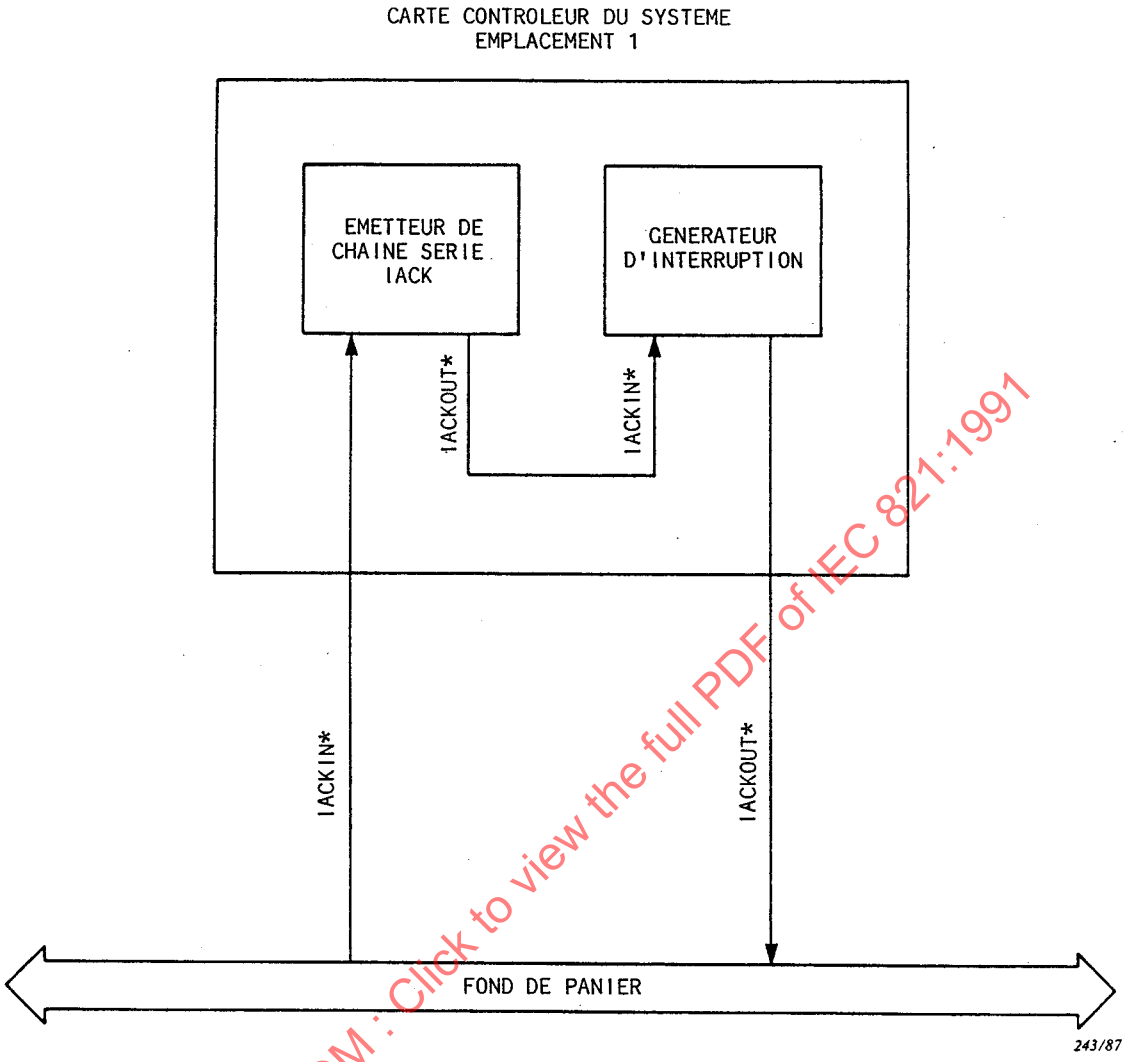


FIG. 4-9. - Un EMETTEUR DE CHAINE SERIE IACK et un GENERATEUR D'INTERRUPTION sur la même carte.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

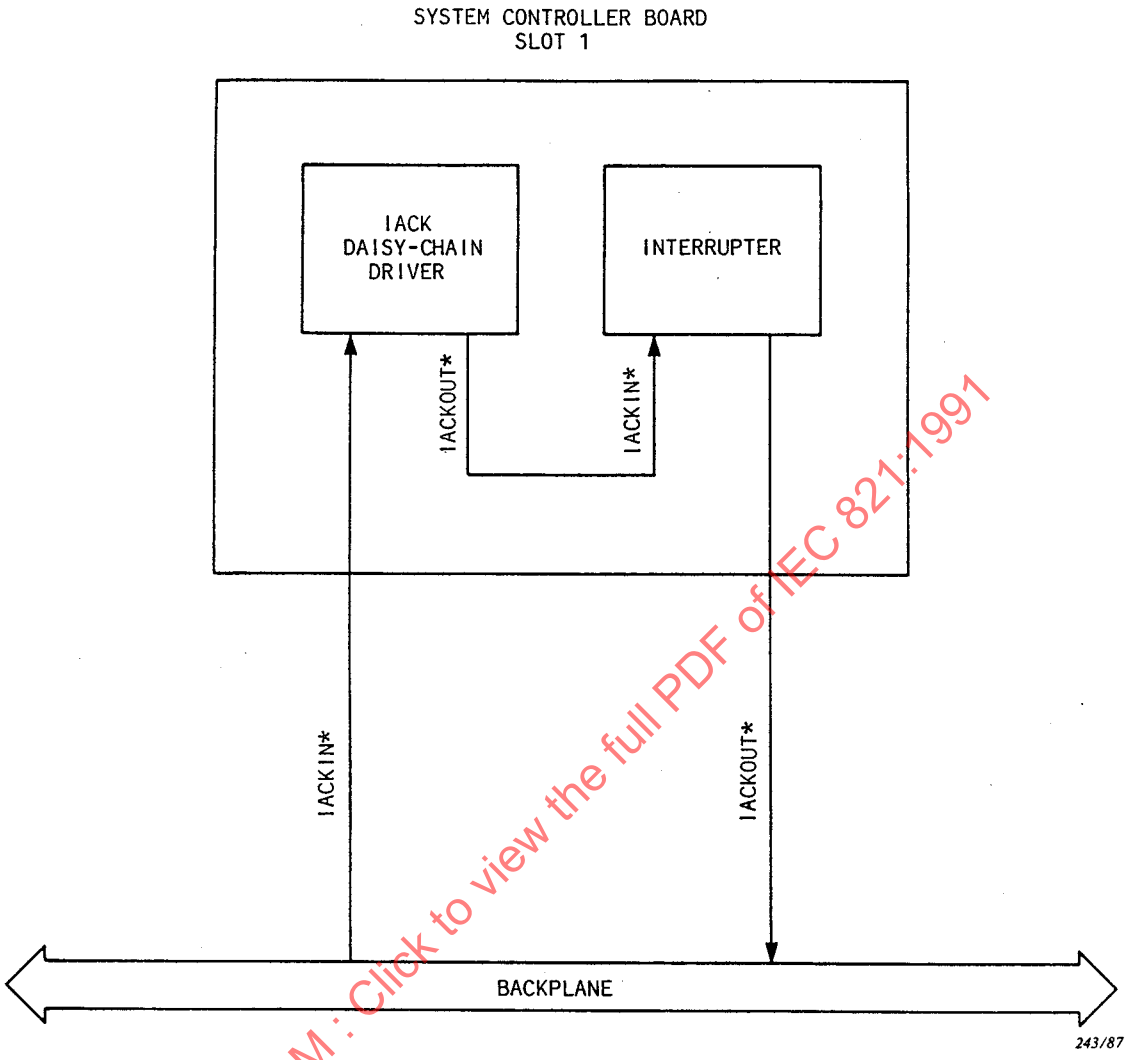


FIG. 4-9. — An IACK DAISY-CHAIN DRIVER and an INTERRUPTER on the same board.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

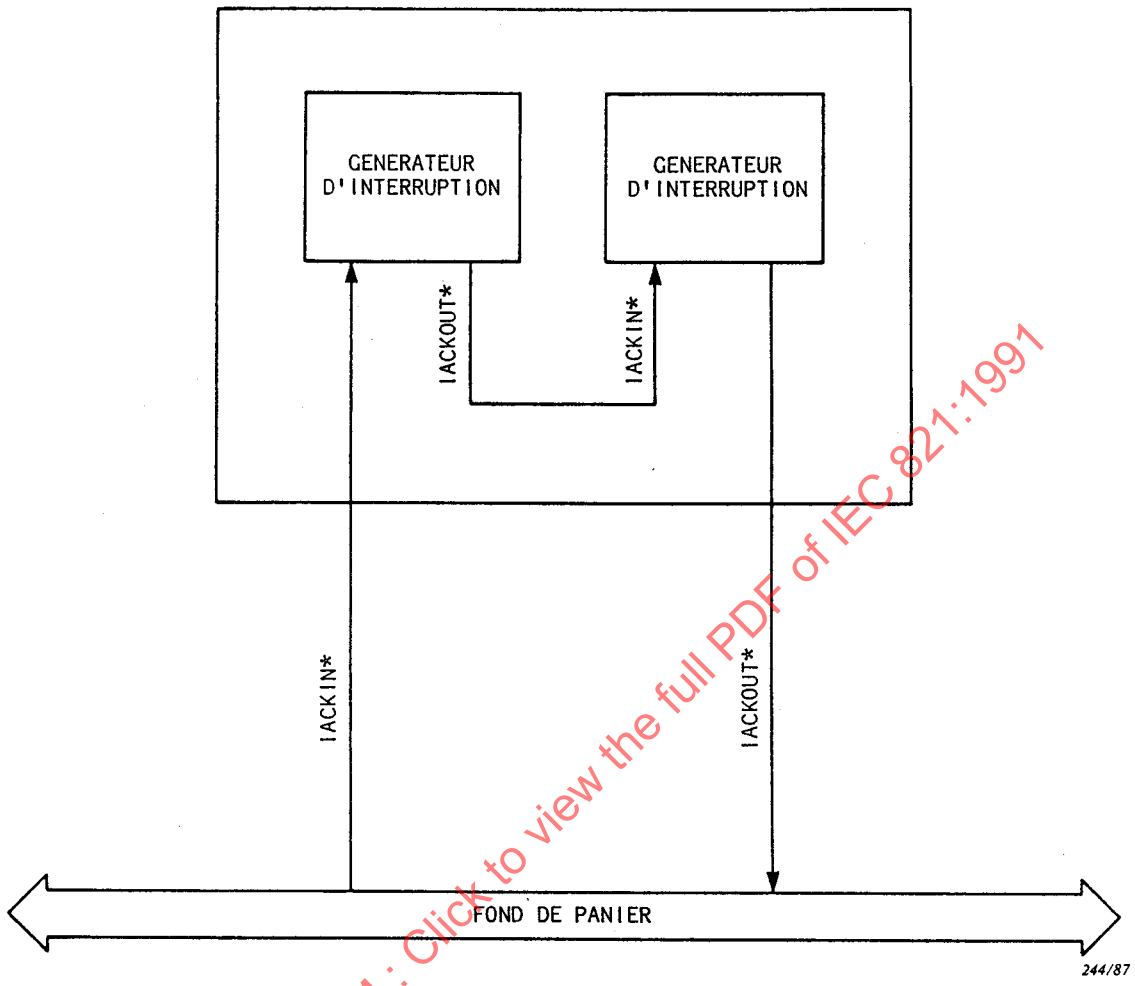


FIG. 4-10. - Deux GENERATEURS D'INTERRUPTION sur la même carte.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

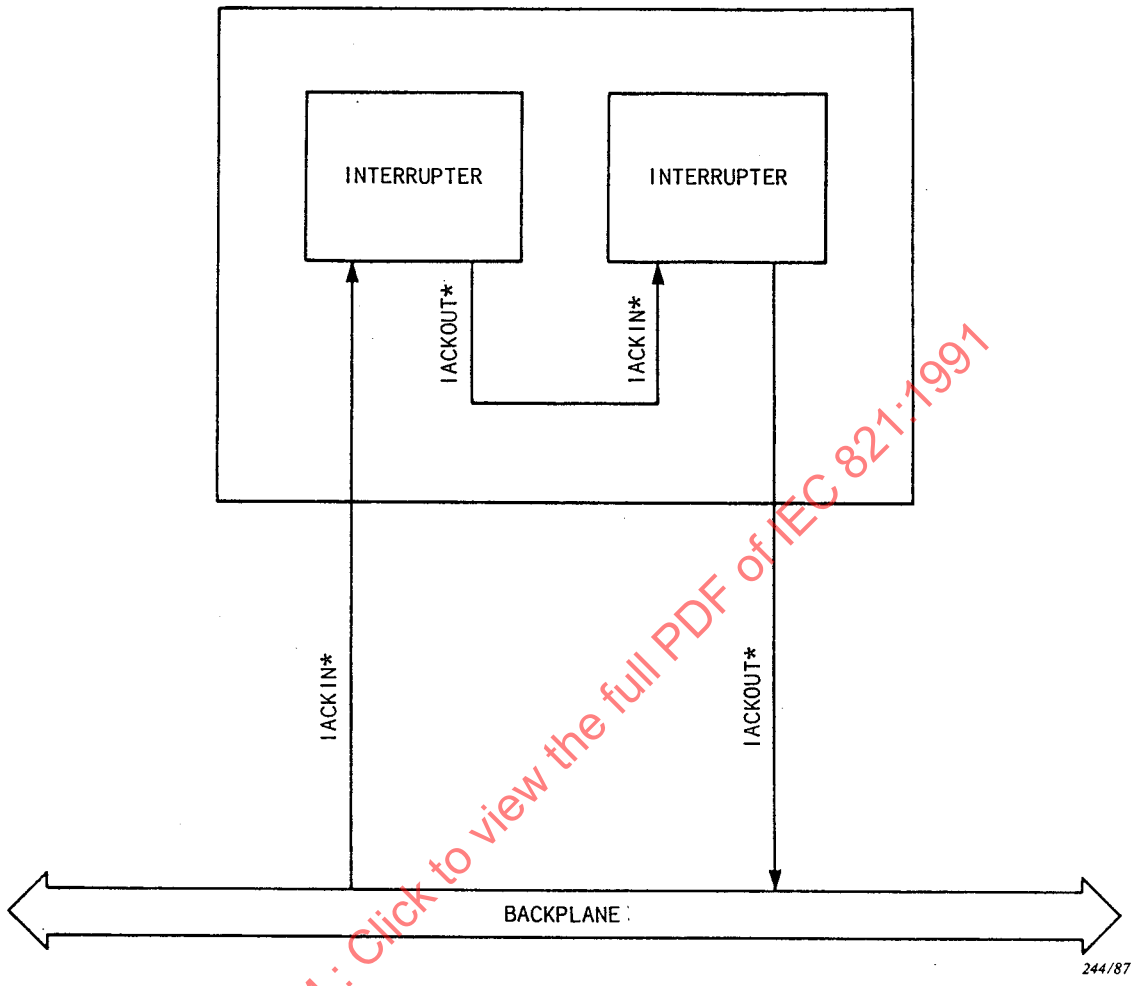


FIG. 4-10. - Two INTERRUPTERS on the same board.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4 *Fonctionnement typique*

Une séquence typique d'interruption est divisée en trois phases:

Phase 1: la phase de demande d'interruption.
Phase 2: la phase de reconnaissance d'interruption.
Phase 3: la phase de traitement d'interruption.

La figure 4-11 illustre les relations de temps entre ces trois phases.

La phase 1 commence lorsqu'un GENERATEUR D'INTERRUPTION commande au niveau bas une ligne de demande d'interruption et se termine lorsque le CONTROLEUR D'INTERRUPTION obtient le contrôle du DTB. Pendant la phase 2, le CONTROLEUR D'INTERRUPTION utilise le DTB pour lire le MOT D'ETAT/IDentificateur du GENERATEUR D'INTERRUPTION. Pendant la phase 3, un sous-programme de traitement d'interruption est exécuté (cela peut ou non entraîner des transferts de données sur le BUS CEI 821).

Le protocole du sous-système d'interruption décrit l'interaction du module requise pendant les phases 1 et 2. Tout transfert de données ayant lieu pendant la phase 3 sera conforme au protocole du bus de transfert de données décrit dans le chapitre 2.

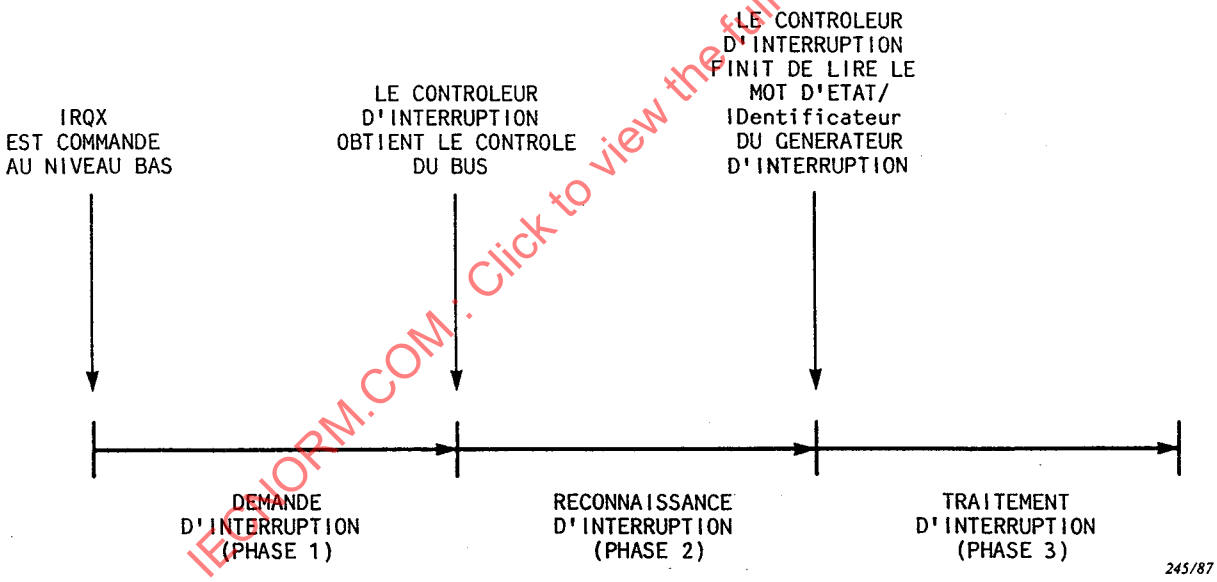


FIG. 4-11. - Les trois phases d'une séquence d'interruption.

4.4.1 *Fonctionnement des interruptions à contrôleur unique*

Dans les systèmes d'interruptions à contrôleur unique, les sept lignes de demande d'interruption sont toutes surveillées par un seul CONTROLEUR D'INTERRUPTION. Les lignes de demande d'interruption ont un ordre de priorité de manière que IRQ7* ait la priorité la plus élevée et IRQ1* ait la priorité la plus basse. Lorsque le CONTROLEUR D'INTERRUPTION détecte des demandes simultanées sur deux lignes de demande d'interruption, il reconnaît en premier la demande ayant la priorité la plus élevée.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4 *Typical operation*

A typical interrupt sequence is divided into three phases:

Phase 1: the interrupt request phase.
Phase 2: the interrupt acknowledge phase.
Phase 3: the interrupt service phase.

Figure 4-11 illustrates the timing relationships between the three phases.

Phase 1 starts when an INTERRUPTER drives an interrupt request line low and ends when the INTERRUPT HANDLER gains control of the DTB. During phase 2 the INTERRUPT HANDLER uses the DTB to read the INTERRUPTER'S STATUS/ID. During phase 3 an interrupt service routine is executed (this might or might not involve data transfers on the IEC 821 BUS.)

The protocol for the interrupt subsystem describes the module interaction required during phase 1 and phase 2. Any data transfers which take place during phase 3 will follow the Data Transfer Bus protocol described in Chapter 2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

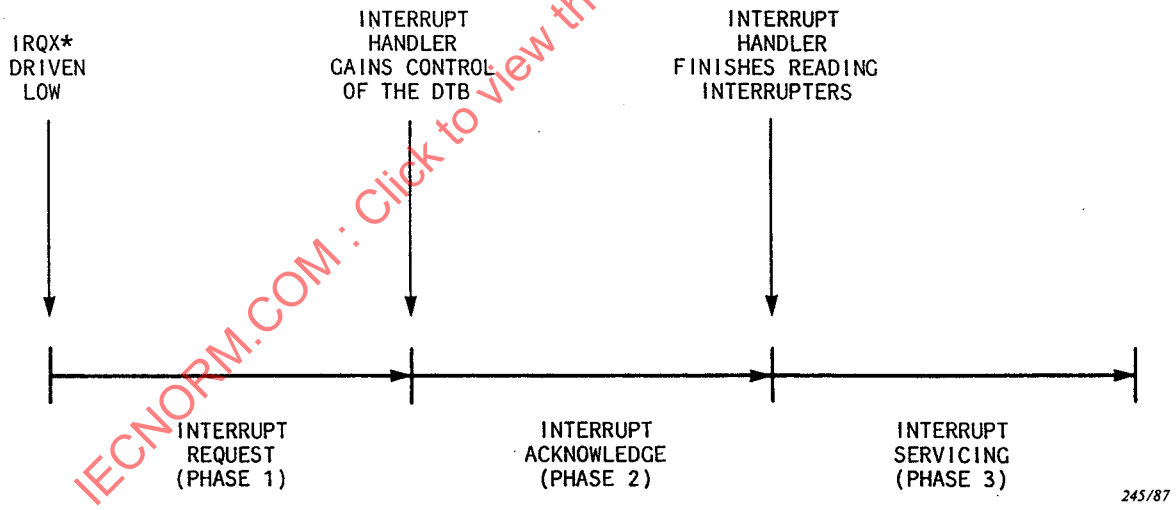


FIG. 4-11. - The three phases of an interrupt sequence.

4.4.1 *Single handler interrupt operation*

In single handler interrupt systems, the seven interrupt request lines are all monitored by a single INTERRUPT HANDLER. The interrupt request lines are prioritized such that IRQ7* has the highest priority, and IRQ1* has the lowest priority. When the INTERRUPT HANDLER detects simultaneous requests on two interrupt request lines, it acknowledges the highest priority request first.

4.4.2 *Fonctionnement des interruptions distribuées*

Les systèmes à interruptions distribuées contiennent deux à sept CONTROLEURS D'INTERRUPTION. Dans la description suivante, les systèmes à interruptions distribuées seront séparés en deux groupes:

a) les systèmes à interruptions distribuées avec sept CONTROLEURS D'INTERRUPTION,

b) les systèmes à interruptions distribuées avec deux à six CONTROLEURS D'INTERRUPTION.

4.4.2.1 *Systèmes à interruptions distribuées avec sept* CONTROLEURS D'INTERRUPTION

Dans des systèmes à interruptions distribuées avec sept CONTROLEURS D'INTERRUPTION, chacune des lignes de demande d'interruption est surveillée par un CONTROLEUR D'INTERRUPTION séparé. Chaque CONTROLEUR D'INTERRUPTION obtient le contrôle du DTB avant de lire le MOT D'ETAT/IDentificateur du GENERATEUR D'INTERRUPTION qui commande sa ligne de demande d'interruption.

OBSERVATION 4.9:
Il n'y a aucune relation spécifiée entre la ligne de demande d'interruption traitée par un CONTROLEUR D'INTERRUPTION et la ligne de demande de bus utilisée par le DEMANDEUR sur sa carte. Par exemple, un CONTROLEUR D'INTERRUPTION qui traite IRQ7* peut avoir un DEMANDEUR qui utilise BR0*, et un CONTROLEUR D'INTERRUPTION qui traite IRQ1* peut avoir un DEMANDEUR qui utilise BR3*. Cela montre clairement qu'il n'y a pas de priorité d'interruption évidente entre les lignes traitées par différents CONTROLEURS D'INTERRUPTION.

La figure 4-12, page 296, représente un système à interruptions distribuées où le CONTROLEUR D'INTERRUPTION A surveille la ligne IRQ2* et a un DEMANDEUR sur sa carte qui demande le DTB à l'aide de BR2*. Le CONTROLEUR D'INTERRUPTION B surveille IRQ5* et a un DEMANDEUR sur sa carte qui demande le DTB à l'aide de BR3*. Deux GENERATEURS D'INTERRUPTION commandent simultanément IRQ2* et IRQ5* au niveau bas et les deux CONTROLEURS D'INTERRUPTION entraînent leurs DEMANDEURS locaux à commander BR2* et BR3* au niveau bas simultanément. Dans cet exemple, l'arbitrage prioritaire est utilisé et, les deux demandes de bus étant au niveau bas, l'ARBITRE alloue le contrôle du DTB d'abord au DEMANDEUR du CONTROLEUR D'INTERRUPTION B et le CONTROLEUR D'INTERRUPTION A attend que B finisse d'utiliser le DTB.

OBSERVATION 4.10:
Si l'arbitrage à priorité tournante est utilisé, l'un ou l'autre des CONTROLEURS D'INTERRUPTION décrit dans la figure 4-12 peut recevoir le bus en premier.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4.2 *Distributed interrupt operation*

Distributed interrupt systems contain from two to seven INTERRUPT HANDLERS. For purposes of the following discussion, distributed interrupt systems will be considered in two groups:

a) distributed interrupt systems with seven INTERRUPT HANDLERS,

b) distributed interrupt systems with two to six INTERRUPT HANDLERS.

4.4.2.1 *Distributed interrupt systems with seven* INTERRUPT HANDLERS

In distributed interrupt systems with seven INTERRUPT HANDLERS, each of the interrupt request lines is monitored by a separate INTERRUPT HANDLER. Each INTERRUPT HANDLER gains control of the DTB before it reads the STATUS/ID from the INTERRUPTER driving its interrupt request line.

OBSERVATION 4.9:
There is no specified relationship between the interrupt request line that an INTERRUPT HANDLER services and the bus request line used by its on-board REQUESTER. For example, an INTERRUPT HANDLER that services IRQ7* might have a REQUESTER that uses BR0*, and an INTERRUPT HANDLER that services IRQ1* might have a REQUESTER that uses BR3*. It is clear from this that there is no implied interrupt priority between lines serviced by different INTERRUPT HANDLERS.

Figure 4-12, page 297, illustrates a distributed interrupt system where INTERRUPT HANDLER A monitors IRQ2* and has an on-board REQUESTER which requests the DTB on BR2*. INTERRUPT HANDLER B monitors IRQ5* and has an on-board REQUESTER which requests the DTB on BR3*. Two INTERRUPTERS simultaneously drive IRQ2* and IRQ5* low, and the two INTERRUPT HANDLERS cause their on-board REQUESTERS to drive BR2* and BR3* low simultaneously. In this example, priority arbitration is used and, since both bus requests go low together, the ARBITER first grants control of the DTB to INTERRUPT HANDLER B's REQUESTER, and INTERRUPT HANDLER A waits until B has finished using the DTB.

OBSERVATION 4.10:
If round-robin arbitration is used, either of the INTERRUPT HANDLERS described in Figure 4-12 might be granted the bus first.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4.2.2 *Systèmes à interruptions distribuées avec deux à six* CONTROLEURS D'INTERRUPTION

Il est aussi possible de définir une configuration de système à interruptions distribuées où deux ou plusieurs lignes de demandes d'interruption sont surveillées par un seul CONTROLEUR D'INTERRUPTION. La figure 4-13, page 298, présente une configuration de système avec deux CONTROLEURS D'INTERRUPTION dans laquelle le CONTROLEUR D'INTERRUPTION A surveille les lignes IRQ1*-IRQ4* et le CONTROLEUR D'INTERRUPTION B surveille les lignes IRQ5*-IRQ7*. Dans ce cas, les lignes IRQ1*-IRQ4* sont hiérarchisées; IRQ4* = la priorité la plus élevée du CONTROLEUR D'INTERRUPTION A. Les lignes IRQ5*-IRQ7* sont aussi hiérarchisées; IRQ7* = la priorité la plus élevée du CONTROLEUR D'INTERRUPTION B. L'arbitrage du DTB détermine toujours lequel des CONTROLEURS D'INTERRUPTION reçoit en premier le contrôle du DTB.

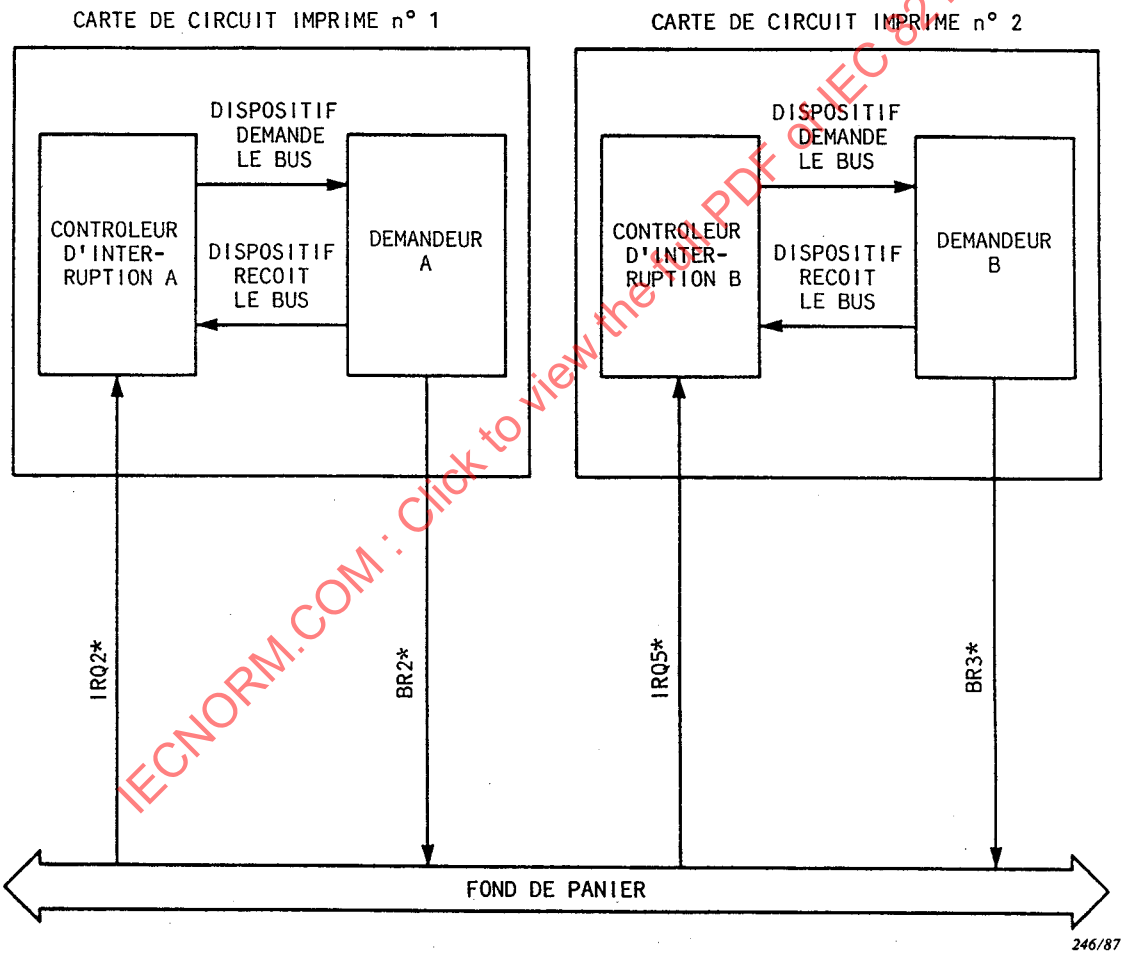
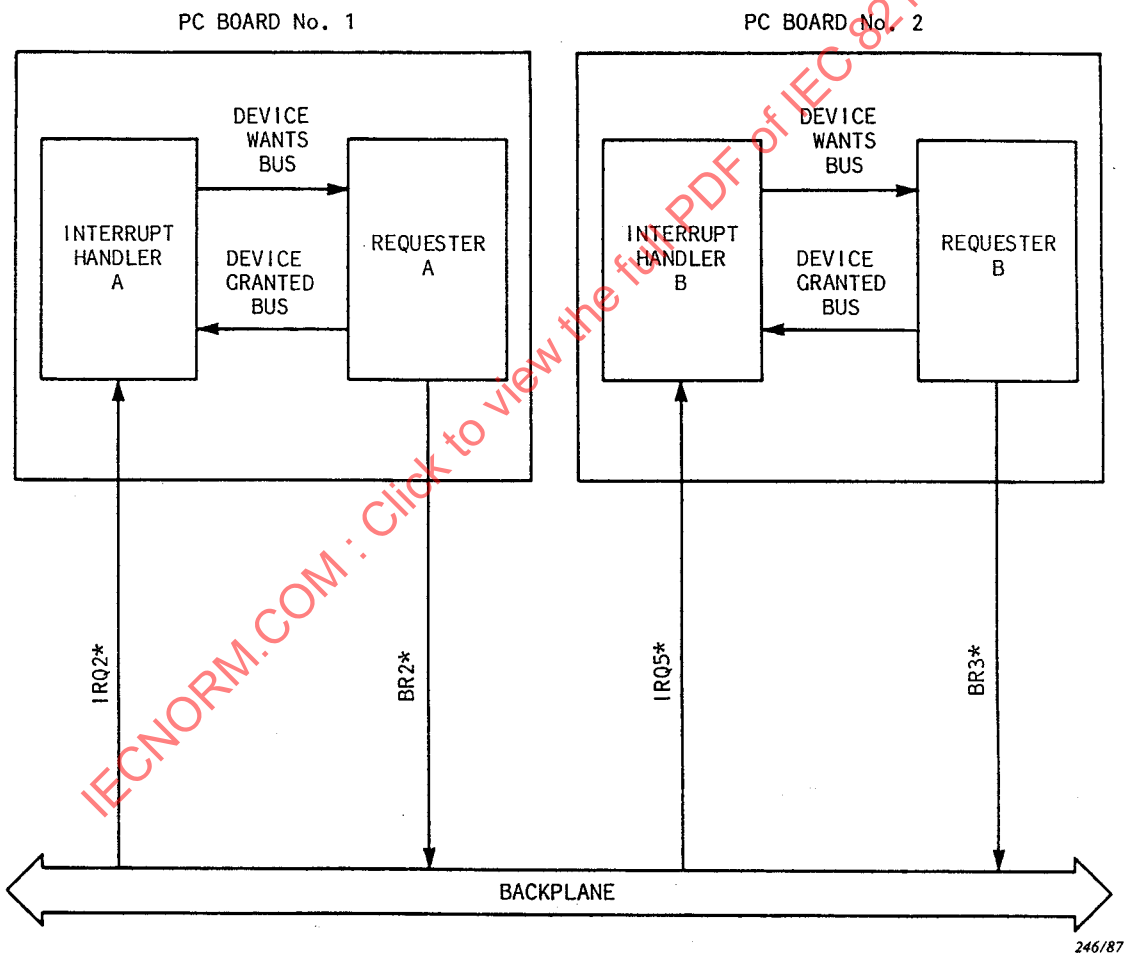


FIG. 4-12. - Deux CONTROLEURS D'INTERRUPTION surveillant chacun une ligne de demande d'interruption.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4.2.2 *Distributed interrupt systems with two to six* INTERRUPT HANDLERS

It is also possible to configure a distributed interrupt system in which two or more of the interrupt request lines are monitored by a single INTERRUPT HANDLER. Figure 4-13, page 299, illustrates a system configured with two INTERRUPT HANDLERS in which INTERRUPT HANDLER A monitors IRQ1*-IRQ4*, and INTERRUPT HANDLER B monitors IRQ5*-IRQ7*. In this case the IRQ1*-IRQ4* lines are prioritized: IRQ4* = highest priority for INTERRUPT HANDLER A, and the IRQ5*-IRQ7* lines are prioritized; IRQ7* = highest priority for INTERRUPT HANDLER B. The DTB arbitration still determines which INTERRUPT HANDLER is granted the use of the DTB first.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-12. - Two INTERRUPT HANDLERS, each monitoring one interrupt request line.

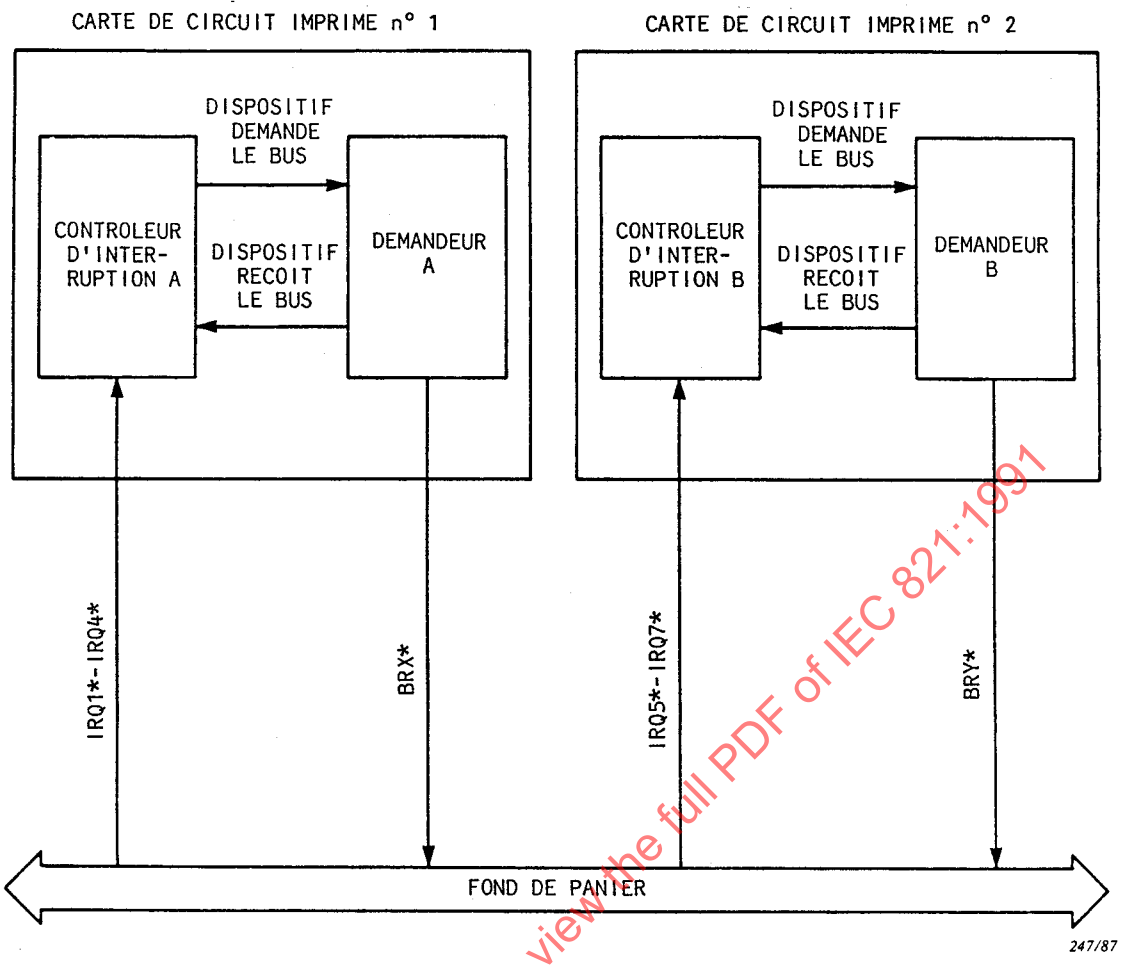


FIG. 4-13. - Deux CONTROLEURS D'INTERRUPTION surveillant chacun plusieurs lignes de demande d'interruption.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4.3 *Exemple: fonctionnement typique d'un système d'interruption à contrôleur unique*

La figure 4-14, page 302, présente le fonctionnement d'un système d'interruption à contrôleur unique dans lequel un CONTROLEUR D'INTERRUPTION surveille et gère la priorité des sept lignes d'interruption. En haut du diagramme, un MAITRE, dont le GENERATEUR D'INTERRUPTION a reçu l'allocation du bus via BR2*, utilise le DTB pour transférer des données. Un GENERATEUR D'INTERRUPTION à l'emplacement 4 demande une interruption en commandant IRQ4* au niveau bas. Lorsque le CONTROLEUR D'INTERRUPTION détecte IRQ4* au niveau bas, il positionne son signal DISPOSITIF DEMANDE LE BUS vers son DEMANDEUR sur sa carte pour indiquer qu'il a besoin du bus. Ce DEMANDEUR commande alors BR3* au niveau bas. Détectant la demande de bus, l'ARBITRE commande le signal BCLR* au niveau bas pour indiquer l'attente du DTB par un DEMANDEUR de niveau de priorité plus élevé. (Cet exemple s'applique à l'option d'ARBITRE PRI.) Lorsque le MAITRE A détecte le signal BCLR* au niveau bas, il arrête le transfert de données et permet à son DEMANDEUR d'abandonner le contrôle du DTB en positionnant le signal BBSY* au niveau haut.

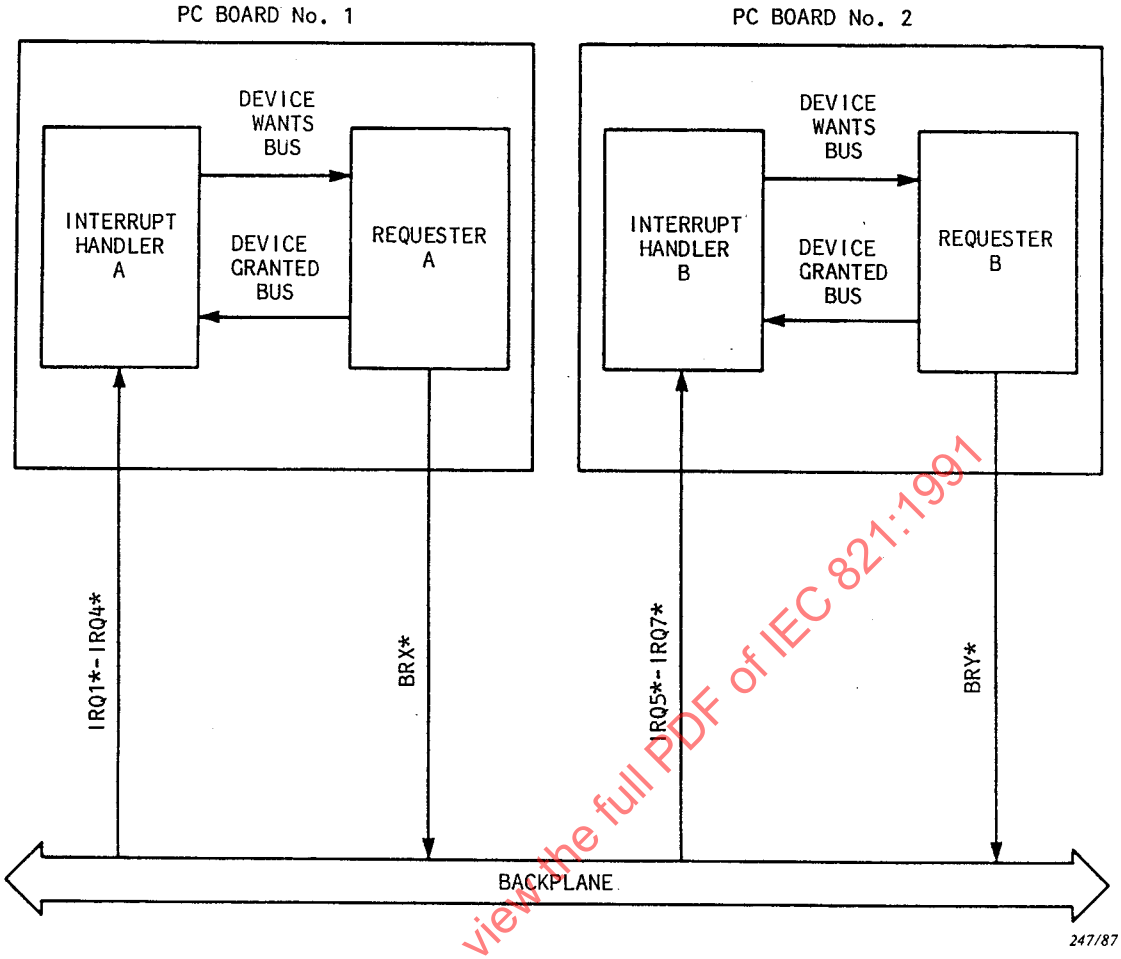


FIG. 4-13. - Two INTERRUPT HANDLERS, each monitoring several interrupt request lines.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.4.3 *Example: typical single handler interrupt system operation*

Figure 4-14, page 303, illustrates the operation of a single handler interrupt system in which one INTERRUPT HANDLER monitors and prioritizes all seven interrupt lines. At the top of the diagram, a MASTER, whose REQUESTER was granted the bus using BR2*, is using the DTB to move data. An INTERRUPTER in slot 4 requests an interrupt by driving IRQ4* low. When the INTERRUPT HANDLER detects the low level on IRQ4* it drives its DEVICE WANTS BUS signal to its on-board REQUESTER, indicating that it needs the bus. This REQUESTER then drives BR3* low. Upon detecting the bus request, the ARBITER drives BCLR* low, indicating that a higher priority REQUESTER is waiting for the DTB. (This example assumes a PRI ARBITER.) When MASTER A detects the low level on BCLR*, it stops moving data and allows its requester to relinquish control of the DTB by releasing BBSY* to high.

OBSERVATION 4.11:
Le MAITRE actif n'est pas obligé d'abandonner le DTB dans un temps spécifié mais une réponse rapide à la ligne BCLR* permet de traiter l'interruption plus rapidement.

Lorsque l'ARBITRE détecte BBSY* au niveau haut, il alloue le DTB au DEMANDEUR B, qui informe son CONTROLEUR D'INTERRUPTION que le DTB est disponible (voir figure 2-26, page 200). Le CONTROLEUR D'INTERRUPTION émet alors sur A01-A03 un code de 3 bits indiquant la reconnaissance de la demande d'interruption sur la ligne IRQ4* (voir tableau 4-7). En même temps, il commande la ligne IACK* au niveau bas, pour signaler la reconnaissance d'une interruption et commande AS* au niveau bas. Le niveau bas sur la ligne IACK* est transmis par une piste du fond de panier à la broche IACKIN* de l'emplacement 1, et provoque la génération par l'EMETTEUR DE CHAINE SERIE IACK* d'un front descendant qui se propage en aval sur la chaîne série IACKIN*/ IACKOUT*.

Lorsque le GENERATEUR D'INTERRUPTION détecte un front descendant sur IACKIN*, il vérifie si les niveaux de A01-A03 correspondent à la ligne de demande d'interruption qu'il commande au niveau bas. Puisque le codage des 3 bits est égal au niveau de la ligne sur laquelle il génère sa demande d'interruption lorsque le GENERATEUR D'INTERRUPTION détecte le ou les signaux de validation de donnée à l'état bas, il place son MOT D'ETAT/IDentificateur sur le bus de données et commande la ligne DTACK* au niveau bas. Lorsque le CONTROLEUR D'INTERRUPTION détecte le niveau bas de DTACK*, il lit le MOT D'ETAT/IDentificateur et active le sous-programme de traitement d'interruption correspondant.

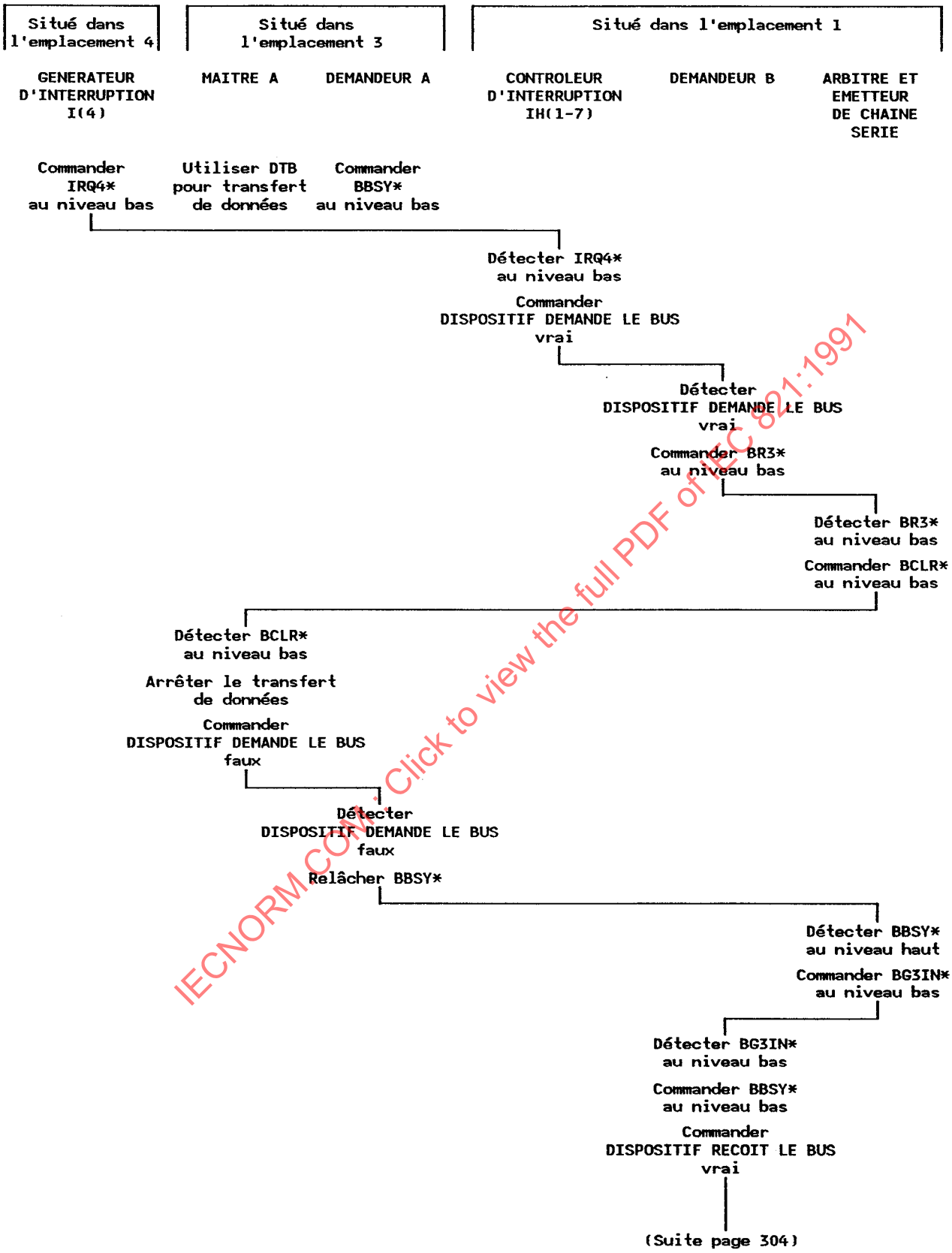
IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 4.11:
The active MASTER is not required to relinquish the DTB within any specified time, but a prompt response to the BCLR* line allows the interrupt to be serviced quicker.

When the ARBITER detects BBSY* high, it grants the DTB to REQUESTER B, which informs its INTERRUPT HANDLER that the DTB is available (see Figure 2-26, page 201). The INTERRUPT HANDLER then drives a 3-bit code on A01-A03, indicating that it is acknowledging the interrupt request on the IRQ4* line (see Table 4-7). At the same time, it drives IACK* low, indicating that it is acknowledging an interrupt, and drives AS* low. The low level on IACK* is connected, by a signal trace in the backplane, to the IACKIN* pin of slot 1 and causes the IACK DAISY-CHAIN DRIVER to generate a falling edge down the IACKIN*/IACKOUT* daisy-chain.

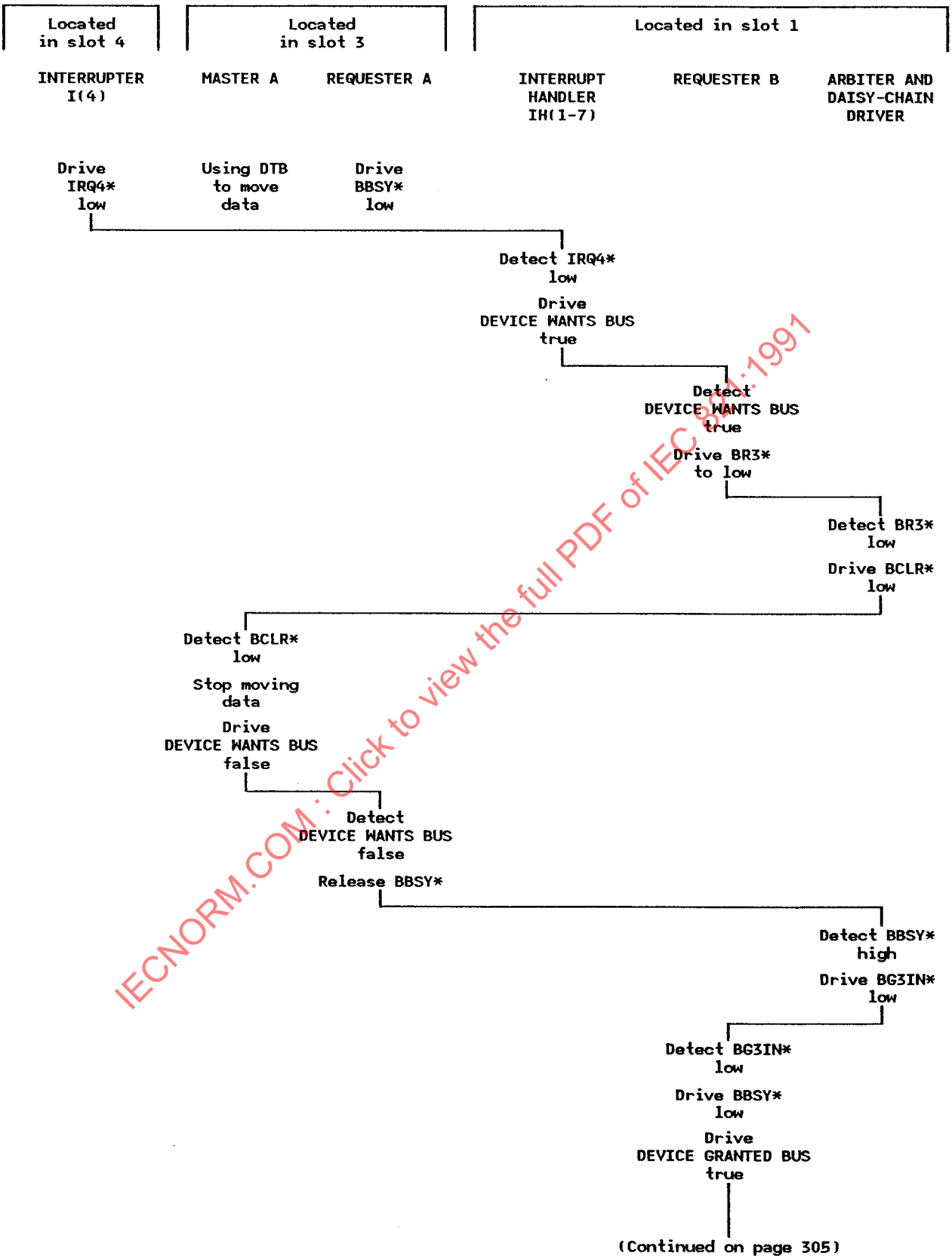
When the INTERRUPTER detects a falling edge on IACKIN* it checks the levels of A01-A03 to see if they match the interrupt request line which it is driving low. Since the 3-bit code matches the line on which it is making its interrupt request, when the INTERRUPTER detects the data strobe(s) low, it places its STATUS/ID on the data bus and drives the DTACK* line low. When the INTERRUPT HANDLER detects the low on DTACK*, it reads the STATUS/ID and activates the appropriate interrupt service routine.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



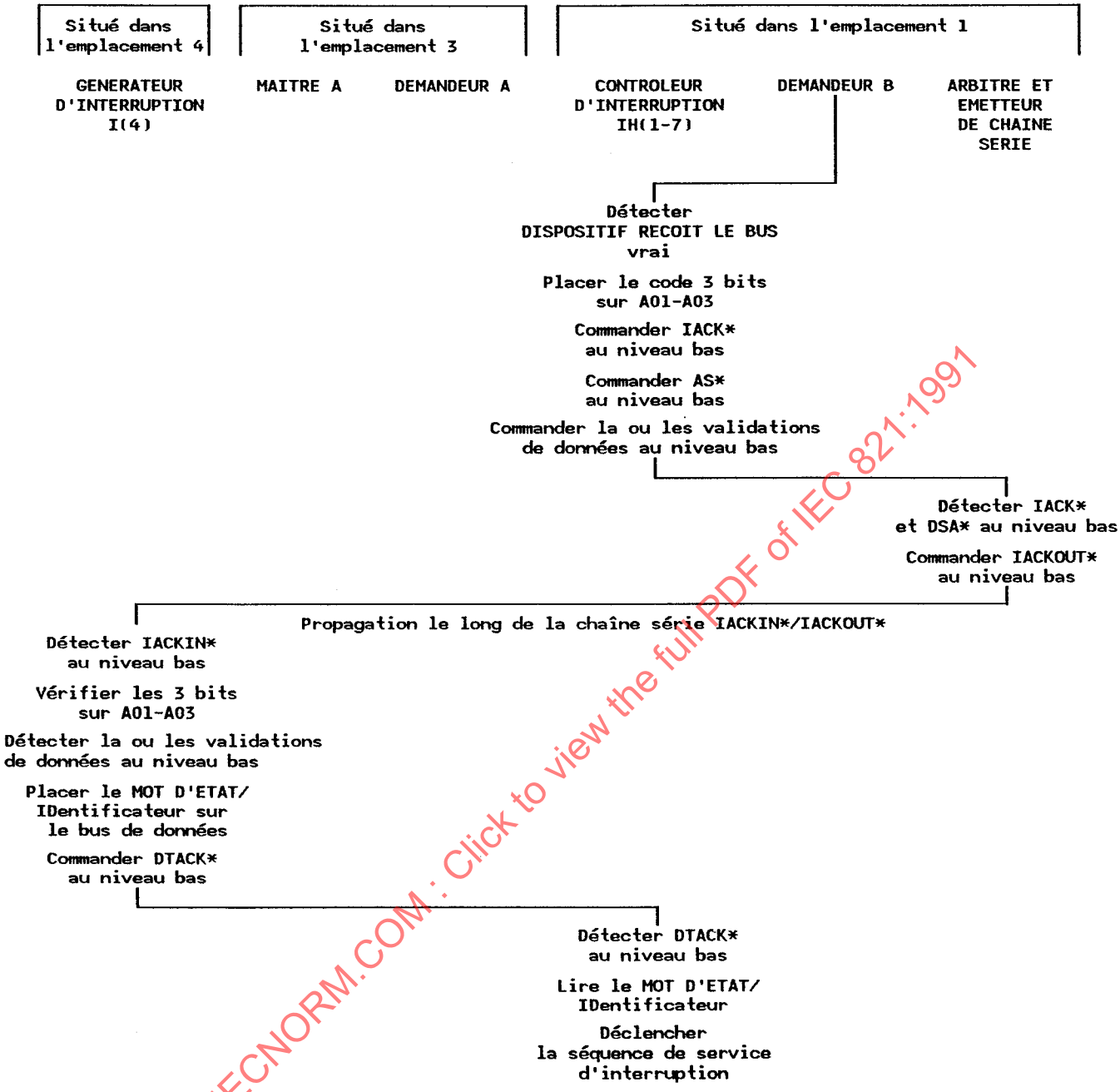
IECNORM.COM : Click to view the full PDF of IEC 821:1991

Fig. 4-14. - Organigramme du fonctionnement typique d'un système d'interruption à contrôleur unique d'interruption.



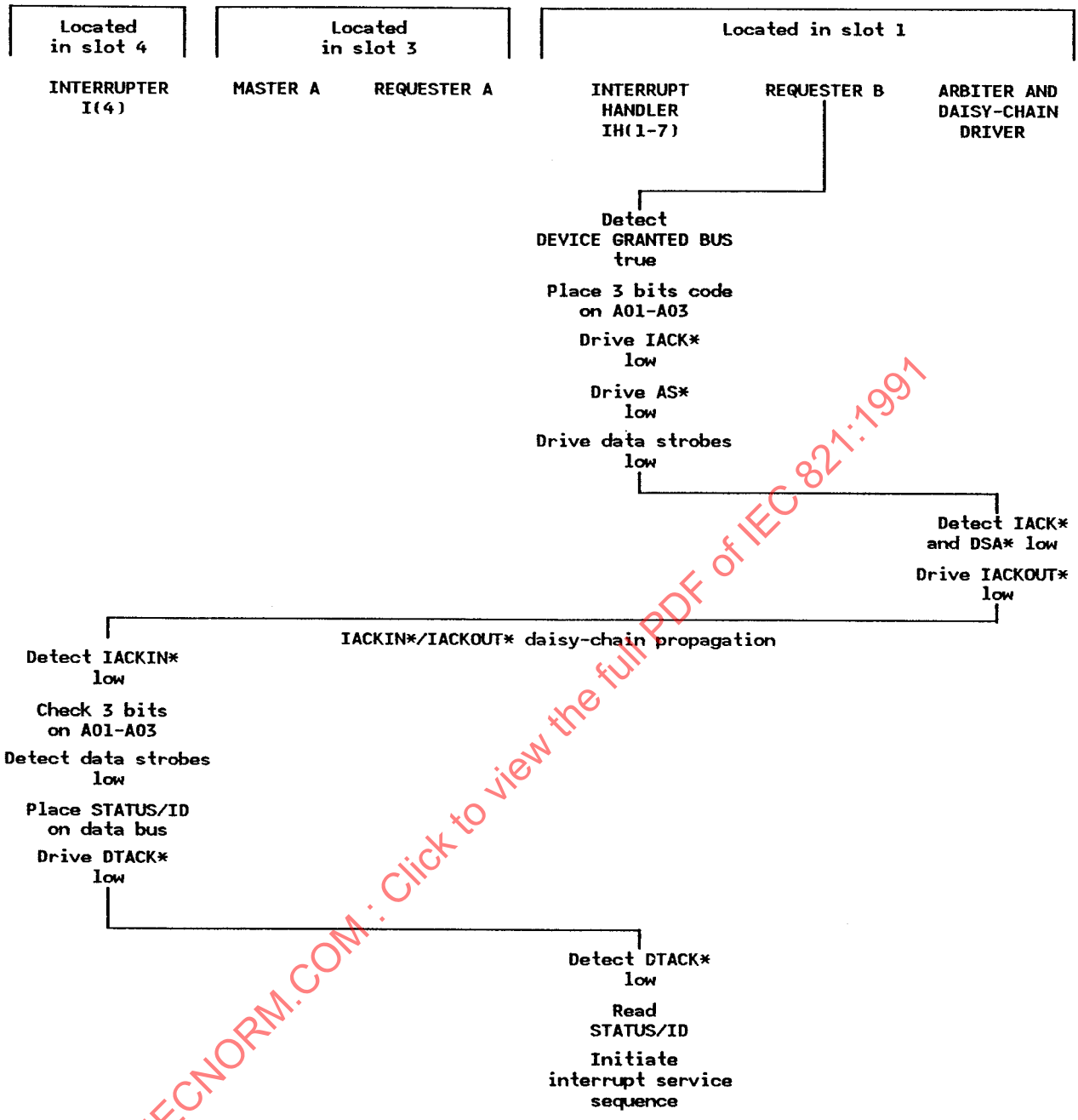
IECNORM.COM : Click to view the full PDF of IEC 821:1991

Fig. 4-14. - Typical single handler interrupt system operation flow diagram.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIGURE 4-14 (fin).



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIGURE 4-14 (concluded).

Tableau 4-7

Code de la reconnaissance d'interruption sur 3 bits

LIGNE D'INTERRUPTION RECONNUE	Utilisation du bus d'adresse pour diffuser le code de reconnaissance d'interruption sur 3 bits		
	A03	A02	A01
IRQ1*	L	L	H
IRQ2*	L	H	L
IRQ3*	L	H	H
IRQ4*	H	L	L
IRQ5*	H	L	H
IRQ6*	H	H	L
IRQ7*	H	H	H

H = niveau haut
L = niveau bas

4.4.4 *Exemple: priorité de deux interruptions dans un système à interruptions distribuées*

La figure 4-15, page 308, illustre le fonctionnement d'un système à interruptions distribuées à deux CONTROLEURS D'INTERRUPTION. Le CONTROLEUR D'INTERRUPTION A surveille IRQ1*-IRQ4* pendant que le CONTROLEUR D'INTERRUPTION B surveille IRQ5*-IRQ7*. Le CONTROLEUR D'INTERRUPTION A considère IRQ4* comme son interruption la plus prioritaire et le CONTROLEUR D'INTERRUPTION B considère IRQ7* comme son interruption la plus prioritaire. En haut de l'organigramme, le GENERATEUR D'INTERRUPTION C commande IRQ3* au niveau bas et le GENERATEUR D'INTERRUPTION D commande IRQ6* au niveau bas. Les deux CONTROLEURS D'INTERRUPTION détectent le niveau bas sur leurs lignes respectives de demande d'interruption et les deux indiquent simultanément à leurs DEMANDEURS sur leurs cartes qu'ils ont besoin du DTB. Les deux DEMANDEURS commandent BR3* au niveau bas. Lorsqu'il détecte BR3* au niveau bas, l'ARBITRE DTB commande BG3IN* au niveau bas dans l'emplacement 1. Ce signal au niveau bas est propagé en aval sur la chaîne série BG3IN*/BG3OUT* jusqu'à ce qu'il soit détecté par le DEMANDEUR B dans l'emplacement 4. Ce DEMANDEUR signale alors à son CONTROLEUR D'INTERRUPTION B sur sa carte que le DTB est disponible. Le CONTROLEUR D'INTERRUPTION B lit alors le MOT D'ETAT/IDentificateur du GENERATEUR D'INTERRUPTION D.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-7

3-bit interrupt acknowledge code

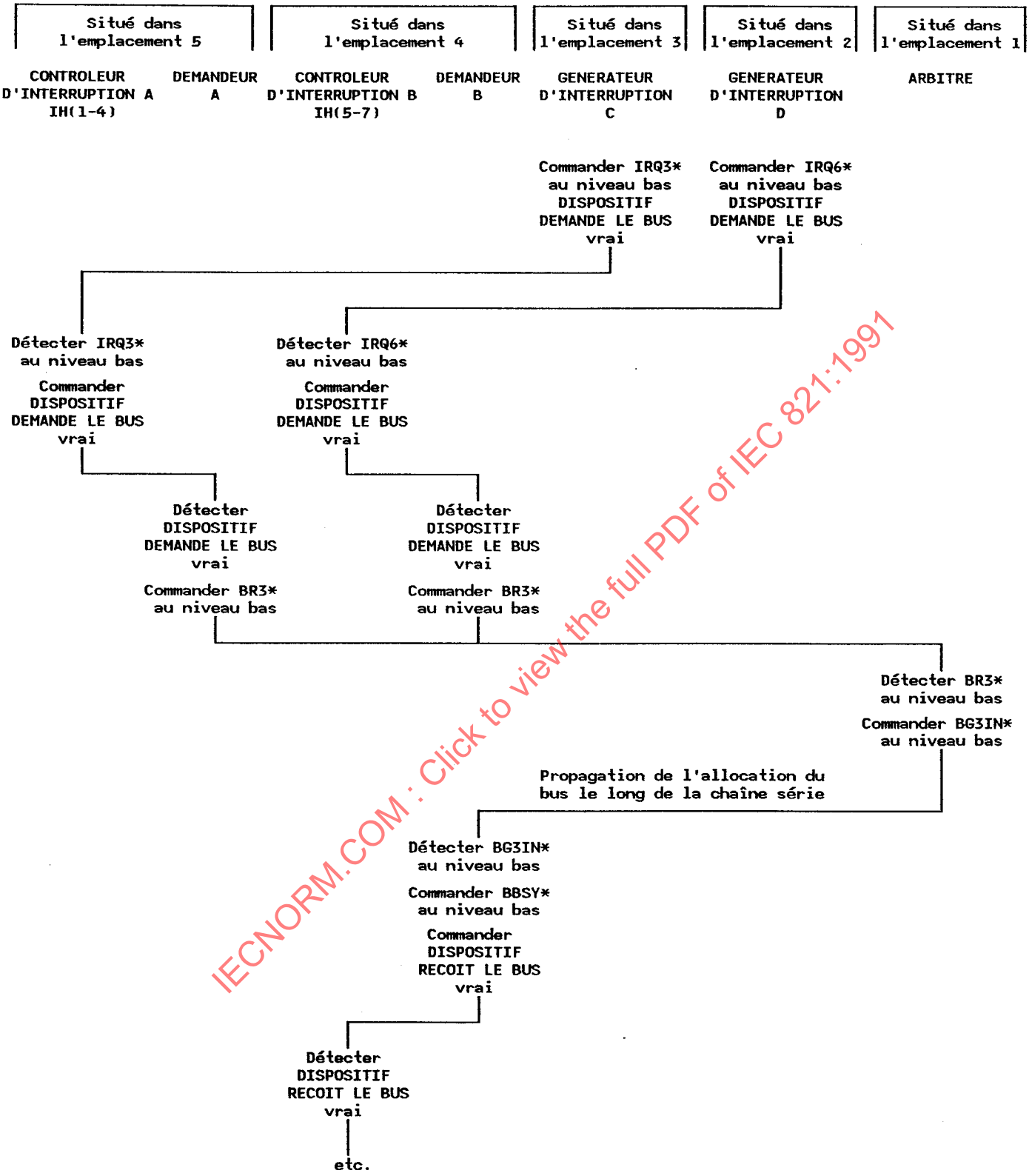
INTERRUPT LINE BEING ACKNOWLEDGED	Use of the address bus to broadcast the 3-bit interrupt acknowledge code		
	A03	A02	A01
IRQ1*	L	L	H
IRQ2*	L	H	L
IRQ3*	L	H	H
IRQ4*	H	L	L
IRQ5*	H	L	H
IRQ6*	H	H	L
IRQ7*	H	H	H

H = high level
L = low level

4.4.4 *Example: prioritization of two interrupts in a distributed interrupt system*

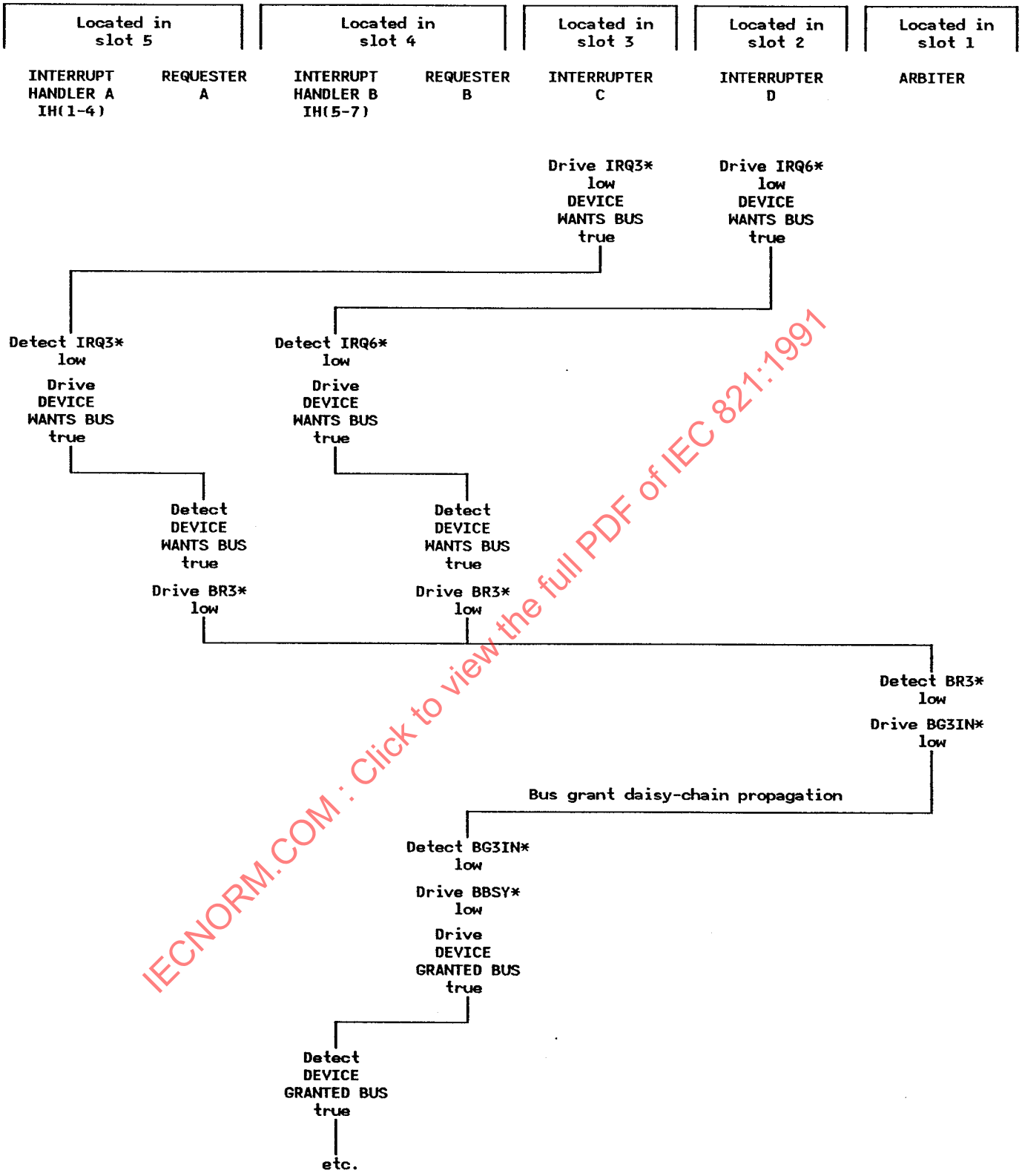
Figure 4-15, page 309, illustrates the operation of a distributed interrupt system with two INTERRUPT HANDLERS. INTERRUPT HANDLER A monitors IRQ1*-IRQ4*, while INTERRUPT HANDLER B monitors IRQ5*-IRQ7*. INTERRUPT HANDLER A treats IRQ4* as its highest priority interrupt, while INTERRUPT HANDLER B treats IRQ7* as its highest priority interrupt. At the top of the diagram, INTERRUPTER C drives IRQ3* low, and INTERRUPTER D drives IRQ6* low. Both INTERRUPT HANDLERS detect their respective interrupt request lines low, and both simultaneously indicate to their on-board REQUESTERS that they need the DTB. Both the REQUESTERS drive BR3* low. Upon detecting BR3* low, the DTB ARBITER drives BG3IN* low at slot 1. This low signal is passed down to BG3IN*/BG3OUT* daisy-chain until it is detected by the REQUESTER B in slot 4. This REQUESTER then signals its on-board INTERRUPT HANDLER B that the DTB is available. INTERRUPT HANDLER B then reads the STATUS/ID from INTERRUPTER D.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-15. - Organigramme du fonctionnement typique d'un système à interruptions distribuées avec deux CONTROLEURS D'INTERRUPTION.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-15. - Typical distributed interrupt system with two INTERRUPT HANDLERS, flow diagram.

4.5 *Conditions de vitesse*

Supposons qu'il y a deux GENERATEURS D'INTERRUPTION A et B. Le GENERATEUR D'INTERRUPTION B, le plus en aval dans la chaîne série de reconnaissance d'interruption, demande une interruption. Après que le CONTROLEUR D'INTERRUPTION concerné a reçu le bus, il acquitte la demande d'interruption en positionnant la ligne IACK* au niveau bas. Le front descendant qui en résulte sur la chaîne série de reconnaissance d'interruption arrive sur le GENERATEUR D'INTERRUPTION A alors qu'il est sur le point de commander sa propre ligne de demande d'interruption au niveau bas. Si le GENERATEUR D'INTERRUPTION A est mal conçu, il peut résulter de cette situation qu'il commande sa ligne IACKOUT* au niveau bas puis à nouveau au niveau haut, générant ainsi une transition au niveau bas sur la chaîne série de reconnaissance d'interruption.

REGLE 4.49:
Les GENERATEURS D'INTERRUPTION DOIVENT être conçus de telle sorte qu'aucune transition au niveau bas ne puisse être générée sur leur ligne IACKOUT*.

OBSERVATION 4.50:
Si le GENERATEUR D'INTERRUPTION est conçu de telle manière qu'il mémorise le niveau d'une ligne de demande d'interruption générée sur la carte lors du front descendant de sa ligne IACKIN*, et si ce signal est en transition quand le front descendant apparaît, la sortie de la mémoire oscillera parfois ou restera, pendant un bref instant, dans la zone entre les niveaux haut et bas. A cause de cela, aucune limite de temps n'est donnée pour que le GENERATEUR D'INTERRUPTION transmette l'acquittement d'interruption. Il est seulement défendu de générer une transition au niveau bas sur IACKOUT* qui puisse être interprétée comme un acquittement par un GENERATEUR D'INTERRUPTION plus en aval sur la chaîne série. L'annexe D fournit un exemple de circuit d'échantillonnage pour la logique de la chaîne série IACK*.

AUTORISATION 4.11:
SI un GENERATEUR D'INTERRUPTION est sur le point de commander une ligne de demande d'interruption au niveau bas entre l'instant où il reçoit un acquittement d'interruption pour un autre GENERATEUR D'INTERRUPTION et l'instant où il devait transmettre l'acquittement,
ALORS il PEUT traiter l'acquittement d'interruption comme le sien. Dans ce cas, l'autre GENERATEUR D'INTERRUPTION maintient sa demande jusqu'à ce qu'un autre acquittement soit émis.

4.6 *REGLES et OBSERVATIONS concernant le séquencement du bus d'interruption prioritaire*

Cette section décrit les REGLES et OBSERVATIONS relatives à la chronologie qui régissent le comportement des CONTROLEURS D'INTERRUPTION, GENERATEURS D'INTERRUPTION et EMETTEURS DE CHAINE SERIE IACK pendant la sélection du GENERATEUR D'INTERRUPTION qui répond (c'est-à-dire le GENERATEUR D'INTERRUPTION qui fournit son MOT D'ETAT/IDentificateur en réponse au cycle de reconnaissance d'interruption). Cette information est donnée sous forme de figures et de tableaux.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

4.5 *Race conditions*

Suppose that there are two INTERRUPTERS: INTERRUPTER A and INTERRUPTER B. INTERRUPTER B, which is further down the interrupt acknowledge daisy-chain, requests an interrupt. After the relevant INTERRUPT HANDLER is granted the bus, it acknowledges the interrupt request by driving the IACK* line low. The resulting low-going edge on the interrupt acknowledge daisy-chain arrives at INTERRUPTER A just as it is about to drive its own interrupt request line low. If INTERRUPTER A is improperly designed, this situation might cause it to momentarily drive its IACKOUT* line low, and then high again, resulting in a low-going transient on the interrupt-acknowledge daisy-chain.

RULE 4.49:
INTERRUPTERS MUST be designed to ensure that no momentary low-going transients are generated on their IACKOUT* line.

OBSERVATION 4.50:
If the INTERRUPTER is designed such that it latches the state of an on-board generated interrupt request line upon the falling edge of its IACKIN* line, and if that signal is in transition when the falling edge occurs, the outputs of the latch will sometimes oscillate, or remain in the threshold region between the high and low levels, for a short time. Because of this, no time limit is set for the INTERRUPTER to pass along the interrupt acknowledge. It is only prohibited from generating a low-going transient on its IACKOUT* line which might be interpreted as an acknowledge by an INTERRUPTER further down the daisy-chain. Appendix D provides a sample circuit for the IACK* daisy-chain logic.

PERMISSION 4.11:
IF an INTERRUPTER is about to drive an interrupt request line low between the time it receives an interrupt-acknowledge intended for another INTERRUPTER, and the time it would pass the interrupt acknowledge on,

THEN it MAY treat the interrupt acknowledge as its own. In this case the other INTERRUPTER maintains its interrupt request until another acknowledge is issued.

4.6 *Priority Interrupt Bus timing RULES and OBSERVATIONS*

This section describes the timing RULES and OBSERVATIONS that govern the behavior of INTERRUPT HANDLERS, INTERRUPTERS, and IACK DAISY-CHAIN DRIVERS during the selection of the responding INTERRUPTER (i.e. the INTERRUPTER that is to provide its STATUS/ID in response to the interrupt acknowledge cycle). This timing information is in the form of figures and tables.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Le cycle de reconnaissance d'interruption commence par la sélection du GENERATEUR D'INTERRUPTION répondant. Elle constitue la partie sélection du GENERATEUR D'INTERRUPTION du cycle. Lorsqu'un GENERATEUR D'INTERRUPTION répond, le CONTROLEUR D'INTERRUPTION lit le MOT D'ETAT/IDentificateur. C'est la partie transfert du MOT D'ETAT/IDentificateur du cycle.

Quand le CONTROLEUR D'INTERRUPTION lance un cycle de reconnaissance d'interruption, il peut y avoir entre lui et le GENERATEUR D'INTERRUPTION à reconnaître, d'autres GENERATEURS D'INTERRUPTION qui:

a) n'ont pas d'interruption en attente,
b) ou ont une interruption en attente, mais sur une ligne de demande d'interruption différente de celle en cours de reconnaissance.

Bien que ces GENERATEURS D'INTERRUPTION ne renvoient pas un MOT D'ETAT/IDentificateur, ils participent au cycle de reconnaissance d'interruption en propageant le front descendant de leur ligne IACKIN* vers leur ligne IACKOUT*. Pour cette raison, ces GENERATEURS D'INTERRUPTION sont appelés les GENERATEURS D'INTERRUPTION participants.

Le premier GENERATEUR D'INTERRUPTION sur la chaîne série ayant une interruption en attente sur la ligne de demande d'interruption en cours de reconnaissance répond par un MOT D'ETAT/IDentificateur. Pour cette raison, il est appelé le GENERATEUR D'INTERRUPTION répondant.

Tous les autres GENERATEURS D'INTERRUPTION sont appelés les GENERATEURS D'INTERRUPTION non participants.

Le tableau 4-8 donne la liste des paramètres de temps et chronogrammes qui spécifient le fonctionnement du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION.

Le tableau 4-9 donne la liste des paramètres de temps et chronogrammes qui spécifient le fonctionnement de l'EMETTEUR DE CHAINE SERIE IACK.

Le tableau 4-10 donne la liste des paramètres de temps et chronogrammes qui spécifient le fonctionnement des GENERATEURS D'INTERRUPTION participants.

Le tableau 4-11 donne la liste des paramètres de temps et chronogrammes qui spécifient le fonctionnement du GENERATEUR D'INTERRUPTION répondant.

Le tableau 4-12 définit les mnémoniques utilisés dans les tableaux 4-12 à 4-15.

Les tableaux 4-13 à 4-15 spécifient l'utilisation des lignes de signaux par les modules fonctionnels du bus d'interruption prioritaire.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

The interrupt acknowledge cycle begins with the selection of the responding INTERRUPTER. This is called the INTERRUPTER selection portion of the cycle. Once an INTERRUPTER responds, the INTERRUPT HANDLER reads the STATUS/ID from it. This is called the STATUS/ID transfer portion of the cycle.

When the INTERRUPT HANDLER initiates an interrupt acknowledge cycle, there might be INTERRUPTERS between it and the INTERRUPTER being acknowledged that either:

a) do not have an interrupt pending,
b) or have an interrupt pending, but are on a different interrupt request line than the one being acknowledged.

Although these INTERRUPTERS do not respond with a STATUS/ID, they do participate in the interrupt acknowledge cycle by passing the falling edge from their IACKIN* line on to their IACKOUT* line. For this reason, these INTERRUPTERS are called participating INTERRUPTERS.

The first INTERRUPTER in the daisy-chain that has an interrupt pending on the interrupt request line that is being acknowledged responds with a STATUS/ID. For this reason it is called the responding INTERRUPTER.

All other INTERRUPTERS are called non-participating INTERRUPTERS.

Table 4-8 lists the timing parameters and timing diagrams that specify INTERRUPT HANDLER and INTERRUPTER operation.

Table 4-9 lists the timing parameters and timing diagrams that specify IACK DAISY-CHAIN DRIVER operation.

Table 4-10 lists the timing parameters and timing diagrams that specify participating INTERRUPTER operation.

Table 4-11 lists the timing parameters and timing diagrams that specify responding INTERRUPTER operation.

Table 4-12 defines the mnemonics that are used in Tables 4-12 through 4-15.

Tables 4-13 through 4-15 specify the use of bus signal lines by the Priority Interrupt Bus functional modules.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Les tableaux 4-16 à 4-19 spécifient les paramètres de temps pour les modules fonctionnels du bus d'interruption prioritaire. (Les numéros de référence utilisés dans les tableaux 4-17 à 4-19 correspondent aux numéros des paramètres de temps du tableau 4-16.)

Les figures 4-16 à 4-23, pages 342 à 356, sont des chronogrammes qui spécifient la chronologie pendant les cycles de reconnaissance d'interruption.

La figure 4-24, page 358, spécifie une chronologie supplémentaire intercycle pour la chaîne série IACKIN*/IACKOUT*.

Toutes les REGLES et OBSERVATIONS associées aux figures suivantes sont applicables aussi aux CONTROLEURS D'INTERRUPTION, aux GENERATEURS D'INTERRUPTION et aux EMETTEURS DE CHAINE SERIE IACK.

Les figures 2-22 à 2-24, pages 192 à 196, du chapitre 2 spécifient la chronologie pour les signaux de validation d'adresse et de donnée entre les cycles de transfert de données.

La figure 2-25, page 198, spécifie la chronologie d'un cycle avec dépassement de temps.

La figure 2-26, page 200, spécifie la chronologie pendant un changement de MAITRE.

Pour satisfaire à la chronologie spécifiée, les concepteurs de cartes doivent tenir compte des délais de propagation les plus mauvais des émetteurs et récepteurs utilisés sur leur carte de BUS CEI 821. Le délai de propagation des émetteurs dépend de la charge de leur sortie, mais les spécifications des fabricants ne donnent pas toujours assez d'informations pour calculer les délais de propagation avec des charges différentes. Pour aider le concepteur de cartes de BUS CEI 821, des suggestions sont données dans le chapitre 6.

Les OBSERVATIONS spécifient la chronologie des transitions des signaux sur les lignes entrantes. On peut se fier à ces temps pour autant que les REGLES de charge du fond de panier du chapitre 6 ne sont pas transgressées. Les REGLES pour les adaptateurs d'impédance du chapitre 6 garantissent le respect des paramètres de temps pour les lignes de signaux qui sont libérées après avoir été commandées.

Généralement, pour chaque REGLE de séquencement, on trouve une OBSERVATION correspondante. Cependant, le temps qui est garanti dans les observations peut différer du temps spécifié par la REGLE. Par exemple, une étude attentive des chronogrammes montre que le CONTROLEUR D'INTERRUPTION doit permettre un temps d'établissement pour l'adresse de 35 ns, mais qu'on ne garantit que 10 ns au GENERATEUR D'INTERRUPTION. Cela est dû au fait que les émetteurs d'adresse ne sont pas toujours capables de faire passer le signal du seuil bas au seuil haut sur la ligne de fond de panier avant que la transition ne se soit propagée jusqu'à l'extrêmité du fond de panier et ait été réfléchie. Le front descendant du signal de validation d'adresse, cependant, franchit le seuil de 0,8 V sans attendre la

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tables 4-16 through 4-19 specify the timing parameters for the Priority Interrupt Bus functional modules. (The reference numbers used in Tables 4-17 through 4-19 correspond to the timing parameter numbers in Table 4-16.)

Figures 4-16 through 4-23, pages 343 to 357, are timing diagrams that specify the timing during interrupt acknowledge cycles.

Figure 4-24, page 359, specifies additional inter-cycle timing for the IACKIN*/ IACKOUT* daisy-chain.

All of the RULES and OBSERVATIONS associated with the figures listed below also apply to INTERRUPT HANDLERS, INTERRUPTERS, and IACK DAISY-CHAIN DRIVERS.

Figures 2-22 through 2-24, pages 193 to 197, in Chapter 2 specify the timing for the address and data strobes between data transfer cycles.

Figure 2-25, page 199, specifies the timing of a timed-out cycle.

Figure 2-26, page 201, specifies the timing during mastership transfer.

In order to meet the specified timing, board designers have to take into account the worst case propagation delays of the bus drivers and receivers used on their IEC 821 BUS boards. The propagation delay of the drivers depends on their output loads, however, manufacturers' specifications do not always give enough information to calculate the propagation delays under various loads. To help the IEC 821 BUS board designer, some suggestions are offered in Chapter 6.

The OBSERVATIONS specify the timing of incoming lines signal transitions. These times can be relied upon as long as the backplane loading RULES in Chapter 6 are not violated. The RULES for the bus terminators in Chapter 6 guarantee that the timing parameters for signal lines that are released after they have been driven, are met.

Typically, for each timing RULE there is a corresponding timing OBSERVATION. However, the time that is guaranteed in the OBSERVATIONS might differ from the time specified by the RULE. For example, a careful inspection of the timing diagrams shows that the INTERRUPT HANDLER is required to provide 35 ns of address set-up time, but the INTERRUPTER is only guaranteed 10 ns. This is because the address drivers are not always able to drive the backplane's signal lines completely through the low to high threshold region, until the transition propagates to the end of the backplane and is reflected

IECNORM.COM : Click to view the full PDF of IEC 821:1991

réflexion. Ainsi, le temps d'établissement qui en résulte au GENERATEUR D'INTERRUPTION est égal au temps d'établissement du CONTROLEUR D'INTERRUPTION moins deux fois le temps de propagation sur le bus.

Une notation spéciale a été utilisée pour décrire la chronologie des signaux de validation de donnée. Ces deux signaux (DS0* et DS1*) ne changent pas toujours d'état en même temps. Dans les chronogrammes, DSA* représente le premier de ces signaux ayant changé d'état (que ce soit DS0* ou DS1*). DSB* représente le deuxième de ces signaux ayant changé d'état (que ce soit DS1* ou DS0*). La ligne pointillée, lorsque les signaux de validation de donnée sont stables, indique que le premier signal ayant effectué une transition négative peut ne pas être le premier à effectuer la transition positive, c'est-à-dire que DSA* peut représenter DS0* sur son front descendant et DS1* sur son front montant.

Tableau 4-8

Chronogrammes qui définissent le fonctionnement du CONTROLEUR D'INTERRUPTION *et du* GENERATEUR D'INTERRUPTION

(Voir tableaux 4-16 et 4-17 pour les paramètres de temps)

Mnémonique	Type de cycle	GENERATEUR D'INTERRUPTION Chronogramme de sélection	MOT D'ETAT/ IDentificateur Chronogramme de transfert
D08(O)	LECTURE DU MOT D'ETAT/IDentificateur OCTET UNIQUE	Figures 2-12, 4-16, pages 164 et 342	Figure 4-20, page 350
D16	LECTURE DU MOT D'ETAT/IDentificateur DOUBLE OCTET	Figures 2-12, 4-16	Figure 4-21, page 352
D32	LECTURE DU MOT D'ETAT/IDentificateur QUADRUPLE OCTET	Figures 2-12, 4-16	Figure 4-21

Tableau 4-9

*Chronogrammes qui définissent le fonctionnement de l'*EMETTEUR DE CHAINE SERIE IACK

(Voir tableaux 4-16 et 4-19 pour les paramètres de temps)

Type de cycle	GENERATEUR D'INTERRUPTION Chronogramme de sélection
LECTURE DU MOT D'ETAT/IDentificateur OCTET UNIQUE	Figure 4-17, page 344
LECTURE DU MOT D'ETAT/IDentificateur DOUBLE OCTET	Figure 4-17
LECTURE DU MOT D'ETAT/IDentificateur QUADRUPLE OCTET	Figure 4-17

IECNORM.COM : Click to view the full PDF of IEC 821:1991

back. The falling edge of the address strobe, however, typically crosses the 0.8 V threshold without waiting for a reflection. And therefore, the resulting set-up time at the INTERRUPTER is the INTERRUPT HANDLER'S set-up time less two bus propagation times.

A special notation has been used to describe the data strobe timing. The two data strobes (DSO* and DS1*) do not always make their transitions simultaneously. For purposes of these timing diagrams, DSA* represents the first data strobe to make its transition (whether that is DSO* or DS1*). DSB* represents the second data strobe to make its transition (whether that is DS1* or DS0*). The broken line shown while the data strobes are stable indicates that the first data strobe to make a falling transition might not be the first to make its rising transition, i.e. DSA* might represent DS0* on its falling edge and DS1* on its rising edge.

Table 4-8

Timing diagrams that define INTERRUPT HANDLER *and* INTERRUPTER *operation*

(See Tables 4-16 and 4-17 for timing parameters)

Mnemonic	Type of cycle	INTERRUPTER selection timing diag.	STATUS/ID transfer timing diag.
D08(O)	SINGLE BYTE STATUS/ID READ	Figures 2-12, 4-16, pages 165 and 343	Figure 4-20, page 351
D16	DOUBLE BYTE STATUS/ID READ	Figures 2-12, 4-16	Figure 4-21, page 353
D32	QUAD BYTE STATUS/ID READ	Figures 2-12, 4-16	Figure 4-21

Table 4-9

Timing diagrams that define
IACK DAISY-CHAIN DRIVER *operation*

(See Tables 4-16 and 4-19 for timing parameters)

Type of cycle	INTERRUPTER Selection timing diag.
SINGLE BYTE STATUS/ID READ	Figure 4-17, page 345
DOUBLE BYTE STATUS/ID READ	Figure 4-17
QUAD BYTE STATUS/ID READ	Figure 4-17

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-10

Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION *qui participe*

(Voir tableaux 4-16 et 4-18 pour les paramètres de temps)

Type de cycle	GENERATEUR D'INTERRUPTION Chronogramme de sélection
LECTURE DU MOT D'ETAT/IDentificateur OCTET UNIQUE	Figure 4-18, page 346
LECTURE DU MOT D'ETAT/IDentificateur DOUBLE OCTET	Figure 4-18
LECTURE DU MOT D'ETAT/IDentificateur QUADRUPLE OCTET	Figure 4-18

Tableau 4-11

Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION *qui répond*

(Voir tableaux 4-16 et 4-18 pour les paramètres de temps)

Mnémonique	Type de cycle	GENERATEUR D'INTERRUPTION Chronogramme de sélection	MOT D'ETAT/ IDentificateur Chronogramme de transfert
D08(O)	LECTURE DU MOT D'ETAT/IDentificateur OCTET UNIQUE	Figures 4-19, page 348	Figure 4-22, page 354
D16	LECTURE DU MOT D'ETAT/IDentificateur DOUBLE OCTET	Figures 4-19	Figure 4-23, page 356
D32	LECTURE DU MOT D'ETAT/IDentificateur QUADRUPLE OCTET	Figure 4-19	Figure 4-23

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-10

Timing diagrams that define participating INTERRUPTER *operation*

(See Tables 4-16 and 4-18 for timing parameters)

Type of cycle	INTERRUPTER Selection timing diag.
SINGLE BYTE STATUS/ID READ	Figure 4-18, page 347
DOUBLE BYTE STATUS/ID READ	Figure 4-18
QUAD BYTE STATUS/ID READ	Figure 4-18

Table 4-11

Timing diagrams that define responding INTERRUPTER *operation*

(See Tables 4-16 and 4-18 for timing parameters)

Mnemonic	Type of cycle	INTERRUPTER selection timing diag.	STATUS/ID transfer timing diag.
D08(O)	SINGLE BYTE STATUS/ID READ	Figure 4-19, page 349	Figure 4-22, page 355
D16	DOUBLE BYTE STATUS/ID READ	Figure 4-19	Figure 4-23, page 357
D32	QUAD BYTE STATUS/ID READ	Figure 4-19	Figure 4-23

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-12

Définitions des mnémoniques utilisés dans les tableaux 4-13, 4-14 et 4-15

Mnémonique	Description	Observations
DLBIH	COMMANDE AU NIVEAU BAS PAR LE CONTROLEUR D'INTERRUPTION	REGLE 4.10: Le CONTROLEUR D'INTERRUPTION DOIT commander les lignes DLBIH au niveau bas
DHBIH	COMMANDE AU NIVEAU HAUT PAR LE CONTROLEUR D'INTERRUPTION	REGLE 4.11: Le CONTROLEUR D'INTERRUPTION DOIT commander les lignes DHBIH au niveau haut
dhbih?	COMMANDE AU NIVEAU HAUT PAR LE CONTROLEUR D'INTERRUPTION?	AUTORISATION 4.7: Le CONTROLEUR D'INTERRUPTION PEUT commander les lignes dhbih? au niveau haut. REGLE 4.12: Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander les lignes dhbih? au niveau bas pendant le cycle
DVBI	COMMANDE A L'ETAT VALIDE PAR LE GENERATEUR D'INTERRUPTION	REGLE 4.13: Le GENERATEUR D'INTERRUPTION DOIT commander les lignes DVBI à un niveau valide
dhbi?	COMMANDE PAR LE GENERATEUR D'INTERRUPTION?	AUTORISATION 4.9: Le GENERATEUR D'INTERRUPTION PEUT commander les lignes dhbi? au niveau haut. REGLE 4.14: Le GENERATEUR D'INTERRUPTION NE DOIT PAS commander les lignes dhbi? au niveau bas

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-13

Utilisation de A01-A03 et IACK pendant les cycles de reconnaissance d'interruption*

Ligne d'interruption en cours d'acquittement	A03	A02	A01	IACK*
IRQ1*	DLBIH	DLBIH	DHBIH	DLBIH
IRQ2*	DLBIH	DHBIH	DLBIH	DLBIH
IRQ3*	DLBIH	DHBIH	DHBIH	DLBIH
IRQ4*	DHBIH	DLBIH	DLBIH	DLBIH
IRQ5*	DHBIH	DLBIH	DHBIH	DLBIH
IRQ6*	DHBIH	DHBIH	DLBIH	DLBIH
IRQ7*	DHBIH	DHBIH	DHBIH	DLBIH

Table 4-12

Definitions of mnemonics used in Tables 4-13, 4-14 and 4-15

Mnemonic	Description	Comments
DLBIH	DRIVEN LOW BY INTERRUPT HANDLER	RULE 4.10: The INTERRUPT HANDLER MUST drive DLBIH lines to a low level
DHBIH	DRIVEN HIGH BY INTERRUPT HANDLER	RULE 4.11: The INTERRUPT HANDLER MUST drive DHBIH lines to a high level
dhbih?	DRIVEN HIGH BY INTERRUPT HANDLER?	PERMISSION 4.7: The INTERRUPT HANDLER MAY drive dhbih? lines high. RULE 4.12: The INTERRUPT HANDLER MUST NOT drive dhbih? lines low during the cycle
DVBI	DRIVEN VALID BY INTERRUPTER	RULE 4.13: The INTERRUPTER MUST drive DVBI lines to a valid level
dhbi?	DRIVEN BY INTERRUPTER?	PERMISSION 4.9: The INTERRUPTER MAY drive dhbi? lines high. RULE 4.14: The INTERRUPTER MUST NOT drive dhbi? lines low

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-13

Use of A01-A03 and IACK during interrupt acknowledge cycles*

Interrupt line being acknowledged	A03	A02	A01	IACK*
IRQ1*	DLBIH	DLBIH	DHBIH	DLBIH
IRQ2*	DLBIH	DHBIH	DLBIH	DLBIH
IRQ3*	DLBIH	DHBIH	DHBIH	DLBIH
IRQ4*	DHBIH	DLBIH	DLBIH	DLBIH
IRQ5*	DHBIH	DLBIH	DHBIH	DLBIH
IRQ6*	DHBIH	DHBIH	DLBIH	DLBIH
IRQ7*	DHBIH	DHBIH	DHBIH	DLBIH

Tableau 4-14

Utilisation des lignes DS1*, DS0*, LWORD* *et* WRITE* *pendant les cycles de reconnaissance d'interruption*

Mnémonique	Type de cycle	DS1*	DS0*	LWORD*	WRITE*
D08(O)	Reconnaissance d'interruption à octet unique	dhbih?	DLBIH	dhbih?	dhbih?
D16	Reconnaissance d'interruption à double octet	DLBIH	DLBIH	dhbih?	dhbih?
D32	Reconnaissance d'interruption à quadruple octet	DLBIH	DLBIH	DLBIH	dhbih?

Tableau 4-15

Utilisation de D00-D31 pour le transfert du MOT D'ETAT/IDentificateur

Mnémonique	Type de cycle	D24 -D31	D16-D23	D08-D15	D00-D07
D08(O)	Reconnaissance d'interruption à simple, double ou quadruple octet	dhbi?	dhbi?	dhbi?	DVBI
D16	Reconnaissance d'interruption à double ou quadruple octet	dhbi?	dhbi?	DVBI	DVBI
D32	Reconnaissance d'interruption à quadruple octet	DVBI	DVBI	DVBI	DVBI

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-14

Use of the DS1*, DS0*, LWORD* *and* WRITE* *lines during interrupt acknowledge cycles*

Mnemonic	Type of cycle	DS1*	DS0*	LWORD*	WRITE*
D08(O)	Single byte interrupt acknowledge	dhbih?	DLBIH	dhbih?	dhbih?
D16	Double byte interrupt acknowledge	DLBIH	DLBIH	dhbih?	dhbih?
D32	Quad byte interrupt acknowledge	DLBIH	DLBIH	DLBIH	dhbih?

Table 4-15

Use of D00-D31 to transfer the STATUS/ID

Mnemonic	Type of cycle	D24-D31	D16-D23	D08-D15	D00-D07
D08(O)	Single, double and quad byte interrupt acknowledge	dhbi?	dhbi?	dhbi?	DVBI
D16	Double and quad byte interrupt acknowledge	dhbi?	dhbi?	DVBI	DVBI
D32	Quad byte interrupt acknowledge	DVBI	DVBI	DVBI	DVBI

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-16

Paramètres de temps des chronogrammes du CONTROLEUR D'INTERRUPTION, *du* GENERATEUR D'INTERRUPTION *et de l'*EMETTEUR DE CHAINE SERIE IACK

NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION Voir tableau 4-17		GENERATEUR D'INTERRUPTION Voir tableau 4-18		EMETTEUR DE CHAINE SERIE IACK Voir tableau 4-19	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
1	0	–	–	–	–	–
2	0	–	–	–	–	–
3	60	–	–	–	–	–
4	35	–	10	–	–	–
5	40	–	30	–	30	–
6	–	–	0	–	–	–
7	–	–	0	–	–	–
9	0	–	0	–	–	–
10	0	–	-10	–	–	–
11	40	–	30	–	–	–
12	35	–	10	–	–	–
13	–	10	–	20	–	–
14	0	–	0	–	–	–
16	0	–	0	–	–	–
18	0	–	0	–	–	–
19	40	–	30	–	30	–
20	0	–	0	–	–	–
21	0	–	0	–	–	–
23	10	–	0	–	–	–
24A	0	–	–	–	–	–
24B	0	–	–	–	–	–
25	–	25	–	–	–	–
26	0	–	0	–	–	–
27	-25	–	0	–	–	–
28	30	2T	30	–	–	–
29	0	–	0	–	–	–
30	0	–	0	–	–	–
31	0	–	0	–	–	–
32	–	–	10	–	10	–
34	–	–	30	–	40	–
35	–	–	0	30	0	30
36	–	–	0	–	–	–
37	–	–	0	–	–	–
38A	–	–	0	–	–	–
38B	–	–	0	–	–	–
39	–	–	–	40	–	–
40	–	–	30	–	30	–
41	–	–	0	–	–	–
42	–	–	–	–	30	–
43	–	–	0	–	–	–

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur du temps maximal d'occupation du bus, en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-16

INTERRUPT HANDLER, INTERRUPTER,
and IACK DAISY-CHAIN DRIVER *timing parameters*

PARAMETER NUMBER	INTERRUPT HANDLER See Table 4-17		INTERRUPTER See Table 4-18		IACK DAISY-CHAIN DRIVER See Table 4-19	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
1	0	-	-	-	-	-
2	0	-	-	-	-	-
3	60	-	-	-	-	-
4	35	-	10	-	-	-
5	40	-	30	-	30	-
6	-	-	0	-	-	-
7	-	-	0	-	-	-
9	0	-	0	-	-	-
10	0	-	-10	-	-	-
11	40	-	30	-	-	-
12	35	-	10	-	-	-
13	-	10	-	20	-	-
14	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	-	-
24A	0	-	-	-	-	-
24B	0	-	-	-	-	-
25	-	25	-	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
32	-	-	10	-	10	-
34	-	-	30	-	40	-
35	-	-	0	30	0	30
36	-	-	0	-	-	-
37	-	-	0	-	-	-
38A	-	-	0	-	-	-
38B	-	-	0	-	-	-
39	-	-	-	40	-	-
40	-	-	30	-	30	-
41	-	-	0	-	-	-
42	-	-	-	-	30	-
43	-	-	0	-	-	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value, in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-17

CONTROLEUR D'INTERRUPTION
REGLES et OBSERVATIONS sur la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 4-16.

1. REGLE 4.15:
En prenant le contrôle du BUS CEI 821, le CONTROLEUR D'INTERRUPTION NE DOIT commander aucun des signaux IACK*, A01-A03, LWORD*, WRITE*, DS0*, DS1* ou AS*, avant que le MAITRE ou le CONTROLEUR D'INTERRUPTION précédent ait permis à AS* de passer au-dessus du niveau bas.

   OBSERVATION 4.12:
   Le chapitre 3 décrit comment un DEMANDEUR de CONTROLEUR D'INTERRUPTION reçoit le contrôle du BUS CEI 821.

2. REGLE 4.16:
En prenant le contrôle du BUS CEI 821, le CONTROLEUR D'INTERRUPTION NE DOIT commander aucun des signaux IACK*, A01-A03, LWORD*, WRITE*, DS0*, DS1* ou AS* avant d'avoir reçu le signal DISPOSITIF RECOIT LE BUS à l'état vrai.

   OBSERVATION 4.13:
   Le chapitre 3 décrit comment un DEMANDEUR de CONTROLEUR D'INTERRUPTION reçoit le contrôle du BUS CEI 821.

3. REGLE 4.17:
En prenant le contrôle du BUS CEI 821, le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander AS* à l'état bas avant ce délai après que le MAITRE ou le CONTROLEUR D'INTERRUPTION précédent eut permis à AS* de passer au-dessus du niveau bas.

   OBSERVATION 4.14:
   La REGLE 4.17 assure que le paramètre de temps 5 est garanti pour les GENERATEURS D'INTERRUPTION et les ESCLAVES lors d'un changement de maître du DTB.

4. REGLE 4.18:
Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander AS* à l'état bas avant que IACK* ait été au niveau bas et que LWORD* et A01-A03 aient été valides au minimum pendant ce temps.

5. REGLE 4.19:
Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander AS* au niveau bas si ce signal n'est pas resté au niveau haut au minimum pendant ce temps, lorsqu'il utilise le DTB pendant deux cycles consécutifs.

9. REGLE 4.20:
Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander DSA* au niveau bas avant que les deux signaux DTACK* et BERR* soient au niveau haut.

10. REGLE 4.21:
Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander DSA* au niveau bas avant d'avoir commandé AS* au niveau bas.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-17

INTERRUPT HANDLER
Timing RULES and OBSERVATIONS

Note: The numbers correspond to the timing parameters specified in Table 4-16.

1. RULE 4.15:
When taking control of the IEC 821 BUS, the INTERRUPT HANDLER MUST NOT drive any of IACK*, A01-A03, LWORD*, WRITE*, DS0*, DS1* or AS* until after the previous MASTER or INTERRUPT HANDLER allows AS* to rise above the low level.

OBSERVATION 4.12:
Chapter 3 describes how an INTERRUPT HANDLER'S REQUESTER is granted use of the IEC 821 BUS.

2. RULE 4.16:
When taking control of the IEC 821 BUS, the INTERRUPT HANDLER MUST NOT drive any of IACK*, A01-A03, LWORD*, WRITE*, DS0*, DS1* or AS* until after it receives DEVICE GRANTED BUS true.

OBSERVATION 4.13:
Chapter 3 describes how an INTERRUPT HANDLER'S REQUESTER is granted use of the IEC 821 BUS.

3. RULE 4.17:
When taking control of the IEC 821 BUS, the INTERRUPT HANDLER MUST NOT drive AS* low until this time after the previous MASTER or INTERRUPT HANDLER allows AS* to rise above the low level.

OBSERVATION 4.14:
RULE 4.17 ensures that timing parameter 5 for INTERRUPTERS and SLAVES is guaranteed when there is an interchange of the DTB mastership.

4. RULE 4.18:
The INTERRUPT HANDLER MUST NOT drive AS* low until IACK* has been low, and LWORD* and A01-A03 have been valid for this minimum time.

5. RULE 4.19:
When using the DTB for two consecutive cycles, the INTERRUPT HANDLER MUST NOT drive AS* low until it has been high for this minimum time.

9. RULE 4.20:
The INTERRUPT HANDLER MUST NOT drive DSA* low until both DTACK* and BERR* are high.

10. RULE 4.21:
The INTERRUPT HANDLER MUST NOT drive DSA* low before it has driven AS* low.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Tableau 4-17 (suite)

11. REGLE 4.22:
Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander DSA* au niveau bas avant que DS0* et DS1* aient été simultanément au niveau haut au minimum pendant ce temps.

12. REGLE 4.23:
Le CONTROLEUR D'INTERRUPTION NE DOIT PAS commander DSA* au niveau bas avant que WRITE* ait été au niveau haut au minimum pendant ce temps.

13. REGLE 4.24:
Pendant des cycles de reconnaissance d'interruption double ou quadruple octets, le CONTROLEUR D'INTERRUPTION DOIT commander DSB* au niveau bas dans ce délai après avoir commandé DSA* au niveau bas.

OBSERVATION 4.15:
Le paramètre de temps 13 ne s'applique pas aux lectures d'octet unique de MOT D'ETAT/IDentificateur.

14. REGLE 4.25:
Pendant tous les cycles de reconnaissance d'interruption, le CONTROLEUR D'INTERRUPTION DOIT maintenir valide le code de reconnaissance d'interruption de 3 bits sur A01-A03 et le niveau approprié sur LWORD* jusqu'à ce qu'il détecte un front descendant sur DTACK* ou BERR*.

16. REGLE 4.26:
Pendant tous les cycles de reconnaissance d'interruption, le CONTROLEUR D'INTERRUPTION doit maintenir IACK* au niveau bas jusqu'à ce qu'il détecte un front descendant sur DTACK* ou BERR*.

18. REGLE 4.27:
Le CONTROLEUR D'INTERRUPTION DOIT maintenir AS* au niveau bas jusqu'à ce qu'il détecte DTACK* ou BERR* au niveau bas.

19. REGLE 4.28:
Le CONTROLEUR D'INTERRUPTION DOIT maintenir AS* au niveau bas au minimum pendant ce temps.

20. REGLE 4.29:
Lorsqu'un CONTROLEUR D'INTERRUPTION a commandé DSA* au niveau bas, il DOIT le maintenir bas jusqu'à ce qu'il détecte DTACK* ou BERR* au niveau bas.

21. REGLE 4.30:
Lorsqu'un CONTROLEUR D'INTERRUPTION a commandé DSB* au niveau bas, il DOIT le maintenir bas jusqu'à ce qu'il détecte DTACK* ou BERR* au niveau bas.

23. REGLE 4.31:
Lorsqu'un CONTROLEUR D'INTERRUPTION a commandé DSA* au niveau bas, il DOIT maintenir un niveau haut sur la ligne WRITE* au minimum pendant ce temps après avoir commandé DSB* au niveau haut.

IECNORM.COM: Click to view the full PDF of IEC 821:1988

Table 4-17 (continued)

11. RULE 4.22:
The INTERRUPT HANDLER MUST NOT drive DSA* low until DS0* and DS1* have been simultaneously high for this minimum time.

12. RULE 4.23:
The INTERRUPT HANDLER MUST NOT drive DSA* low until WRITE* has been high for this minimum time.

13. RULE 4.24:
During double byte or quad byte interrupt acknowledge cycles, the INTERRUPT HANDLER MUST drive DSB* low within this maximum time after it drives DSA* low.

OBSERVATION 4.15:
Timing parameter 13 does not apply to single byte STATUS/ID reads.

14. RULE 4.25:
During all interrupt acknowledge cycles, the INTERRUPT HANDLER MUST hold the 3-bit interrupt acknowledge code valid on A01-A03, and maintain the appropriate level on LWORD* until it detects a falling edge on DTACK* or BERR*.

16. RULE 4.26:
During all interrupt acknowledge cycles, the INTERRUPT HANDLER MUST maintain IACK* low until it detects a falling edge on DTACK* or BERR*.

18. RULE 4.27:
The INTERRUPT HANDLER MUST hold AS* low until it detects DTACK* or BERR* low.

19. RULE 4.28:
The INTERRUPT HANDLER MUST hold AS* low for this minimum time.

20. RULE 4.29:
Once an INTERRUPT HANDLER has driven DSA* low, it MUST maintain it low until it detects DTACK* or BERR* low.

21. RULE 4.30:
Once an INTERRUPT HANDLER has driven DSB* low, it MUST maintain it low until it detects DTACK* or BERR* low.

23. RULE 4.31:
Once an INTERRUPT HANDLER has driven DSA* low, it MUST maintain a high on the WRITE* line, until this minimum time after it drives DSB* high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-17 (fin)

24A. REGLE 4.32:
SI le CONTROLEUR D'INTERRUPTION commande ou libère AS* au niveau haut après que son DEMANDEUR eut libéré BBSY*,
ALORS il DOIT libérer IACK*, A01-A03, LWORD*, WRITE*, DS0* et DS1* avant de permettre à AS* de passer au-dessus du niveau bas.

24B. REGLE 4.33:
SI le CONTROLEUR D'INTERRUPTION commande ou libère AS* au niveau haut avant que son DEMANDEUR ait libéré BBSY*,
ALORS il DOIT libérer IACK*, A01-A03, LWORD*, WRITE*, DS0* et DS1* avant de changer son signal DISPOSITIF DEMANDE LE BUS de l'état vrai à l'état faux.

25. REGLE 4-34:
SI le CONTROLEUR D'INTERRUPTION commande ou libère AS* au niveau haut après que son DEMANDEUR eut libéré BBSY*,
ALORS il DOIT libérer AS* dans ce délai après lui avoir permis de passer au-dessus du niveau bas:

26. OBSERVATION 4.16:
Le paramètre de temps 26 garantit que le bus de données ne sera pas commandé avant que le CONTROLEUR D'INTERRUPTION ne commande DSA* au niveau bas.

27. OBSERVATION 4.17:
Le CONTROLEUR D'INTERRUPTION est assuré que le bus de données sera valide dans ce délai après le passage du signal DTACK* au niveau bas. Ce temps ne s'applique pas aux cycles où le GENERATEUR D'INTERRUPTION commande BERR* au niveau bas au lieu de commander DTACK*.

28. OBSERVATION 4.18:
Le CONTROLEUR D'INTERRUPTION est assuré que ni le signal DTACK* ni BERR* ne passeront au niveau bas avant ce délai minimal après avoir commandé DSA* au niveau bas. Le LIMITATEUR DE TEMPS D'OCCUPATION DU BUS garantit au CONTROLEUR D'INTERRUPTION que si DTACK* n'est pas passé au niveau bas dans un délai compris entre la limite de temps et le double de cette limite, alors le LIMITATEUR DE TEMPS D'OCCUPATION DU BUS commande BERR* au niveau bas.

29. OBSERVATION 4.19:
Le CONTROLEUR D'INTERRUPTION est assuré que le bus de données reste valide jusqu'à ce qu'il commande DSA* au niveau haut.

30. OBSERVATION 4.20:
Ce délai garantit que ni DTACK* ni BERR* ne passent au niveau haut avant que le CONTROLEUR D'INTERRUPTION ait commandé les deux signaux DS0* et DS1* au niveau haut.

31. OBSERVATION 4.21:
Le CONTROLEUR D'INTERRUPTION est assuré que le bus de données a été libéré au moment où les signaux DTACK* et BERR* passent au niveau haut.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Table 4-17 (concluded)

24A. RULE 4.32:
IF the INTERRUPT HANDLER drives or releases AS* to high after its REQUESTER releases BBSY*,
THEN it MUST release IACK*, A01-A03, LWORD*, WRITE*, DS0*, and DS1* before allowing AS* to rise above the low level.

24B. RULE 4.33:
IF the INTERRUPT HANDLER drives or releases AS* to high before its REQUESTER releases BBSY*,
THEN it MUST release IACK*, A01-A03, LWORD*, WRITE*, DS0* and DS1* before changing its DEVICE WANTS BUS signal from true to false.

25. RULE 4.34:
IF the INTERRUPT HANDLER drives or releases AS* to high after its REQUESTER releases BBSY*,
THEN it MUST release AS* within this time after allowing it to rise above the low level.

26. OBSERVATION 4.16:
Timing parameter 26 guarantees that the data bus will not be driven until the INTERRUPT HANDLER drives DSA* low.

27. OBSERVATION 4.17:
The INTERRUPT HANDLER is guaranteed that the data bus will be valid within this time after DTACK* goes low. This time does not apply to cycles where the INTERRUPTER drives BERR* low instead of DTACK*.

28. OBSERVATION 4.18:
The INTERRUPT HANDLER is guaranteed that neither DTACK* nor BERR* will go low until this minimum time after it drives DSA* low. The BUS TIMER guarantees the INTERRUPT HANDLER that if DTACK* has not gone low after its time-out period has elapsed, and within twice its time-out period, then the BUS TIMER will drive BERR* low.

29. OBSERVATION 4.19:
The INTERRUPT HANDLER is guaranteed that the data bus remains valid until it drives DSA* high.

30. OBSERVATION 4.20:
This guarantees that neither DTACK* nor BERR* goes high until the INTERRUPT HANDLER drives both DS0* and DS1* high.

31. OBSERVATION 4.21:
The INTERRUPT HANDLER is guaranteed that the data bus has been released by the time DTACK* and BERR* are high.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Tableau 4-18

GENERATEUR D'INTERRUPTION
REGLES et OBSERVATIONS sur la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 4-16.

4. OBSERVATION 4.22:
Les GENERATEURS D'INTERRUPTION sont assurés que IACK*, LWORD* et A01-A03 ont été valides au minimum pendant ce temps lorsqu'ils détectent un front descendant sur AS*.

5. OBSERVATION 4.23:
Tous les GENERATEURS D'INTERRUPTION sont assurés que AS* est au niveau haut au minimum pendant ce temps entre les cycles du DTB.

6. OBSERVATION 4.24:
Le GENERATEUR D'INTERRUPTION qui répond est assuré qu'aucune ligne D00-D31 ne sera commandée par aucun autre module avant que le GENERATEUR D'INTERRUPTION qui répond libère DTACK* et BERR* au niveau haut.

7. OBSERVATION 4.25:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que le bus de données sera libéré par tous les autres modules lorsque DSA* passera au niveau bas.

9. OBSERVATION 4.26:
Le GENERATEUR d'INTERRUPTION qui répond est assuré que ni DS0* ni DS1* ne passeront au niveau bas avant que DTACK* et BERR* du cycle précédent soient passés au niveau haut.

11. OBSERVATION 4.27:
Les GENERATEURS D'INTERRUPTION sont assurés que les deux signaux DS0* et DS1* sont simultanément au niveau haut entre deux cycles au minimum pendant ce temps.

12. OBSERVATION 4.28:
Les GENERATEURS D'INTERRUPTION sont assurés que WRITE* est au niveau haut au minimum pendant ce temps lorsqu'ils détectent un front descendant sur DSA*.

13. OBSERVATION 4.29:
SI le CONTROLEUR D'INTERRUPTION va commander à la fois DS0* et DS1* au niveau bas,
ALORS le GENERATEUR D'INTERRUPTION qui répond est assuré que DSB* passera au niveau bas dans ce délai maximal après DSA*.
Par conséquent:
SI le signal DSB* ne passe pas au niveau bas dans ce délai maximal,
ALORS le GENERATEUR D'INTERRUPTION qui répond en déduit qu'il doit répondre avec un octet unique de MOT D'ETAT/IDentificateur.

14. OBSERVATION 4.30:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que LWORD* et A01-A03 resteront valides jusqu'à ce qu'il commande DTACK* ou BERR* au niveau bas et pourvu qu'il le fasse dans la limite de temps d'occupation du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-18

INTERRUPTER
Timing RULES and OBSERVATIONS

Note: The numbers correspond to the timing parameters specified in Table 4.16.

4. OBSERVATION 4.22:
INTERRUPTERS are guaranteed that IACK*, LWORD* and A01-A03 have been valid for this minimum time when they detect a falling edge on AS*.

5. OBSERVATION 4.23:
All INTERRUPTERS are guaranteed this minimum high time on AS* between DTB cycles.

6. OBSERVATION 4.24:
The responding INTERRUPTER is guaranteed that none of D00-D31 will be driven by any other module until the responding INTERRUPTER releases DTACK* and BERR* to high.

7. OBSERVATION 4.25:
The responding INTERRUPTER is guaranteed that the data bus will be released by all other modules by the time DSA* goes low.

9. OBSERVATION 4.26:
The responding INTERRUPTER is guaranteed that neither DS0* nor DS1* will go low until DTACK* and BERR* from the previous cycle have gone high.

11. OBSERVATION 4.27:
INTERRUPTERS are guaranteed this minimum time during which both DS0* and DS1* are simultaneously high between cycles.

12. OBSERVATION 4.28:
INTERRUPTERS are guaranteed that WRITE* has been high for this minimum time when they detect a falling edge on DSA*.

13. OBSERVATION 4.29:
IF the INTERRUPT HANDLER will drive both DS0* and DS1* low,

THEN the responding INTERRUPTER is guaranteed that DSB* will go low within this maximum time after DSA*.

And therefore:

IF DSB* does not go low within this maximum time,

THEN the responding INTERRUPTER assumes that it is to respond with a single byte STATUS/ID.

14. OBSERVATION 4.30:
The responding INTERRUPTER is guaranteed that LWORD* and A01-A03 will remain valid until it drives DTACK* or BERR* low, provided it does so within the bus time-out period.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-18 (suite)

16. OBSERVATION 4.31:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que IACK* restera au niveau bas jusqu'à ce qu'il commande DTACK* et BERR* au niveau bas et pourvu qu'il le fasse dans la limite de temps d'occupation du bus.

18. OBSERVATION 4.32:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que AS* sera maintenu au niveau bas jusqu'à ce qu'il commande DTACK* ou BERR* au niveau bas, pourvu qu'il le fasse dans la limite de temps d'occupation du bus.

19. OBSERVATION 4.33:
Les GENERATEURS D'INTERRUPTION sont assurés que AS* sera maintenu au niveau bas au minimum pendant ce temps.

20. OBSERVATION 4.34:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que lorsque DSA* passera au niveau bas, il restera à ce niveau jusqu'à ce que le GENERATEUR D'INTERRUPTION ait commandé DTACK* ou BERR* au niveau bas, pourvu que le GENERATEUR D'INTERRUPTION le fasse dans la limite de temps d'occupation du bus.

21. OBSERVATION 4.35:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que lorsque DSB* passera au niveau bas, il restera à ce niveau jusqu'à ce que le GENERATEUR D'INTERRUPTION ait commandé DTACK* ou BERR* au niveau bas, pourvu que le GENERATEUR D'INTERRUPTION le fasse dans la limite de temps d'occupation du bus.

23. OBSERVATION 4.36:
Les GENERATEURS D'INTERRUPTION sont assurés que la ligne WRITE* reste au niveau haut jusqu'à ce que les deux signaux DS0* et DS1* passent au niveau haut.

26. REGLE 4.35:
Le GENERATEUR D'INTERRUPTION qui répond NE DOIT PAS commander D00-D31 avant que DSA* soit passé au niveau bas.

27. REGLE 4.36:
Le GENERATEUR D'INTERRUPTION qui répond NE DOIT PAS commander DTACK* au niveau bas avant d'avoir commandé les lignes de données avec un MOT D'ETAT/IDentificateur valide.

OBSERVATION 4.37:
Ce temps ne s'applique pas aux cycles où le GENERATEUR D'INTERRUPTION commande BERR* au niveau bas au lieu de DTACK*.

28. REGLE 4.37:
Le GENERATEUR D'INTERRUPTION qui répond DOIT attendre ce délai minimal après le passage de DSA* au niveau bas avant de commander DTACK* ou BERR* au niveau bas.

29. REGLE 4.38:
Lorsque le GENERATEUR D'INTERRUPTION qui répond a commandé DTACK* au niveau bas, il NE DOIT PAS changer D00-D31 avant que DSA* soit passé au niveau haut.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-18 (continued)

16. OBSERVATION 4.31:
The responding INTERRUPTER is guaranteed that IACK* will remain low until it drives DTACK* or BERR* low, provided it does so within the bus time-out period.

18. OBSERVATION 4.32:
The responding INTERRUPTER is guaranteed that AS* will remain low until it drives DTACK* or BERR* low, provided that it does so within the bus time-out period.

19. OBSERVATION 4.33:
INTERRUPTERS are guaranteed that AS* will remain low for this minimum time.

20. OBSERVATION 4.34:
The responding INTERRUPTER is guaranteed that once DSA* goes low, it will remain low until the INTERRUPTER has driven DTACK* or BERR* low, provided that the INTERRUPTER does so within the bus time-out period.

21. OBSERVATION 4.35:
The responding INTERRUPTER is guaranteed that once DSB* goes low, it will remain low until the INTERRUPTER has driven DTACK* or BERR* low, provided that the INTERRUPTER does so within the bus time-out period.

23. OBSERVATION 4.36:
INTERRUPTERS are guaranteed that the WRITE* line remains high until both DS0* and DS1* are high.

26. RULE 4.35:
The responding INTERRUPTER MUST NOT drive any of D00-D31 until DSA* goes low.

27. RULE 4.36:
The responding INTERRUPTER MUST NOT drive DTACK* low before it drives the data lines with a valid STATUS/ID.

OBSERVATION 4.37:
This time does not apply to cycles where the INTERRUPTER drives BERR* low instead of DTACK*.

28. RULE 4.37:
The responding INTERRUPTER MUST wait this minimum time after DSA* goes low before driving DTACK* or BERR* low.

29. RULE 4.38:
Once the responding INTERRUPTER has driven DTACK* low, it MUST NOT change D00-D31 until DSA* goes high.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-18 (suite)

30. REGLE 4.39:
Lorsque le GENERATEUR D'INTERRUPTION qui répond a commandé DTACK* ou BERR* au niveau bas, il NE DOIT PAS les libérer avant de détecter à la fois DS0* et DS1* au niveau haut.

31. REGLE 4.40:
Le GENERATEUR D'INTERRUPTION qui répond DOIT libérer toutes les lignes D00-D31 avant de libérer DTACK* et BERR* au niveau haut.

32. OBSERVATION 4.38:
Le GENERATEUR D'INTERRUPTION qui répond est assuré que IACK*, LWORD* et A01-A03 ont été valides au minimum pendant ce temps quand il détecte un front descendant sur DSA*. Ce temps se déduit des paramètres de temps 4 et 10.

34. OBSERVATION 4.39:
Le GENERATEUR D'INTERRUPTION est assuré que AS* est au niveau bas au minimum pendant ce temps quand il détecte un front descendant sur IACKIN*.

35. REGLE 4.41:
Un GENERATEUR D'INTERRUPTION qui participe DOIT commander sa ligne IACKOUT* au niveau haut dans ce délai maximal après le front montant sur AS*.

36. REGLE 4.42:
Le GENERATEUR D'INTERRUPTION répondant NE DOIT PAS commander le bus de données avant que sa ligne IACKIN* ne passe au niveau bas.

37. REGLE 4.43:
SI un GENERATEUR D'INTERRUPTION qui participe commande l'une des lignes D00-D31,
ALORS il doit la libérer avant de commander sa ligne IACKOUT* au niveau bas.

38A. REGLE 4.44:
Un GENERATEUR D'INTERRUPTION qui participe NE DOIT PAS commander sa ligne IACKOUT* au niveau bas avant d'avoir détecté sa ligne IACKIN* au niveau bas.

38B. REGLE 4.45:
Le GENERATEUR D'INTERRUPTION qui répond NE DOIT PAS commander sa ligne DTACK* au niveau bas avant d'avoir détecté sa ligne IACKIN* au niveau bas.

39. OBSERVATION 4.40:
Ce temps garantit que chaque ligne IACKIN* d'un GENERATEUR D'INTERRUPTION passera au niveau haut dans ce délai après le front montant sur AS*. Ce temps se déduit du paramètre de temps 35 où l'EMETTEUR DE CHAINE SERIE IACK et les GENERATEURS D'INTERRUPTION qui participent doivent commander leur ligne IACKOUT* au niveau haut dans ce délai maximal.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Table 4-18 (continued)

30. RULE 4.39:
Once the responding INTERRUPTER has driven DTACK* or BERR* to low, it MUST NOT release it until it detects both DS0* and DS1* high.

31. RULE 4.40:
The responding INTERRUPTER MUST release all of D00-D31 before releasing DTACK* and BERR* to high.

32. OBSERVATION 4.38:
The responding INTERRUPTER is guaranteed that IACK*, LWORD* and A01-A03 have been valid for this minimum time when it detects a falling edge on DSA*. This time is derived from timing parameters 4 and 10.

34. OBSERVATION 4.39:
The INTERRUPTER is guaranteed that DSA* has been low for this minimum time, when it detects a falling edge on IACKIN*.

35. RULE 4.41:
A participating INTERRUPTER MUST drive its IACKOUT* high within this maximum time after the rising edge on AS*.

36. RULE 4.42:
The responding INTERRUPTER MUST NOT drive the data bus until its IACKIN* line goes low.

37. RULE 4.43:
IF a participating INTERRUPTER drives any of D00-D31,

THEN it MUST release them before driving its IACKOUT* line low.

38A. RULE 4.44:
A participating INTERRUPTER MUST NOT drive its IACKOUT* line low, until it detects its IACKIN* line low.

38B. RULE 4.45:
The responding INTERRUPTER MUST NOT drive its DTACK* line low, until it detects its IACKIN* line low.

39. OBSERVATION 4.40:
This time guarantees that each INTERRUPTER's IACKIN* line will go high within this time after the rising edge on AS*. This time is derived from timing parameter 35, where the IACK DAISY-CHAIN DRIVER and participating INTERRUPTERS are required to drive their IACKOUT* line high within a maximum time.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

Tableau 4-18 (fin)

40. OBSERVATION 4.41:
Tous les GENERATEURS D'INTERRUPTION sont assurés que leur ligne IACKIN* restera au niveau haut pendant cette durée minimale entre deux cycles consécutifs du DTB.

41. OBSERVATION 4.42:
Ce temps garantit que A01-A03 et LWORD* restent valides pendant cette durée minimale après que le GENERATEUR D'INTERRUPTION qui participe eut commandé sa ligne IACKOUT* au niveau bas et pourvu qu'il le fasse dans la limite de temps d'occupation du bus.

43. OBSERVATION 4.43:
Ce temps garantit que AS* reste bas pendant cette durée minimale après que le GENERATEUR D'INTERRUPTION qui participe eut commandé sa ligne IACKOUT* au niveau bas et pourvu qu'il le fasse dans la limite de temps d'occupation du bus.

Tableau 4-19

EMETTEUR DE CHAINE SERIE IACK
REGLES et OBSERVATIONS sur la chronologie

Note: La numérotation correspond aux paramètres de temps spécifiés dans le tableau 4-16.

OBSERVATION 4.44:
Puisque le fond de panier relie IACK* à IACKIN* de l'emplacement 1, ces deux signaux sont équivalents. Par conséquent, toutes les REGLES et OBSERVATIONS qui s'appliquent à l'un, s'appliquent aussi à l'autre.

5. OBSERVATION 4.45:
L'EMETTEUR DE CHAINE SERIE IACK est assuré que AS* sera au niveau haut entre les cycles du DTB, au minimum pendant ce temps.

19. OBSERVATION 4.46:
L'EMETTEUR DE CHAINE SERIE IACK est assuré que AS* restera au niveau bas au minimum pendant ce temps. Cette valeur de temps se déduit des paramètres de temps 8, 16 et 27 du GENERATEUR D'INTERRUPTION.

32. OBSERVATION 4.47:
L'EMETTEUR DE CHAINE SERIE IACK est assuré que IACK* (et le signal IACKIN* de l'emplacement 1) sont valides au minimum pendant ce temps lorsqu'il détecte un front descendant sur DSA*.

34. REGLE 4.46:
SI la ligne IACKIN* est au niveau bas lorsque l'EMETTEUR DE CHAINE SERIE IACK détecte un front descendant sur DSA*,
ALORS il DOIT commander sa ligne IACKOUT* au niveau bas, mais NE DOIT PAS la commander avant ce délai après le front descendant de DSA*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-18 (concluded)

40. OBSERVATION 4.41:
All INTERRUPTERS are guaranteed that their IACKIN* line will stay high for this minimum time between consecutive DTB cycles.

41. OBSERVATION 4.42:
This time guarantees that A01-A03 and LWORD* remain valid until this time after the participating INTERRUPTER drives its IACKOUT* low, provided it does so within the bus time-out period.

43. OBSERVATION 4.43:
This time guarantees that AS* remains low for this minimum time after the participating INTERRUPTER drives its IACKOUT* low, provided it does so within the bus time-out period.

Table 4-19

IACK DAISY-CHAIN DRIVER
Timing RULES and OBSERVATIONS

Note: The numbers correspond to the timing parameters specified in Table 4-16.

OBSERVATION 4.44:
Since the backplane connects IACK* to the slot 1 IACKIN*, these two signals are equivalent. And therefore, all RULES and OBSERVATIONS that apply to one, are applicable to the other as well.

5. OBSERVATION 4.45:
The IACK DAISY-CHAIN DRIVER is guaranteed this minimum high time on AS* between DTB cycles.

19. OBSERVATION 4.46:
The IACK DAISY-CHAIN DRIVER is guaranteed that the AS* will remain low for this minimum time. This time is derived from timing parameters 8, 16 and 27 of the INTERRUPTER.

32. OBSERVATION 4.47:
The IACK DAISY-CHAIN DRIVER is guaranteed that IACK* (and the slot 1 IACKIN*) has been valid for this minimum time when it detects a falling edge on DSA*.

34. RULE 4.46:
IF the IACKIN* line is low when the IACK DAISY-CHAIN DRIVER detects a falling edge on DSA*,
THEN it MUST drive its IACKOUT* line low, but it MUST NOT do so until this time after the falling edge on DSA*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Tableau 4-19 (fin)

OBSERVATION 4.48:
L'EMETTEUR DE CHAINE SERIE IACK ne commande pas sa ligne IACKOUT* au niveau bas chaque fois que la ligne DSA* passe au niveau bas. Cette commande a lieu seulement lorsque la ligne IACK* est aussi au niveau bas, indiquant un cycle de reconnaissance d'interruption en cours.

35. REGLE 4.47:
SI l'EMETTEUR DE CHAINE SERIE IACK commande sa ligne IACKOUT* au niveau bas,
ALORS il DOIT commander sa ligne IACKOUT* au niveau haut dans ce délai après le front montant de AS*.

40. REGLE 4.48:
L'EMETTEUR DE CHAINE SERIE IACK NE DOIT PAS commander IACKOUT* au niveau bas avant d'avoir été au niveau haut au minimum pendant ce temps.

42. OBSERVATION 4.49:
SI l'EMETTEUR DE CHAINE SERIE IACK commande sa ligne IACKOUT* au niveau bas dans la limite de temps d'occupation du bus,
ALORS ce temps garantit que IACK* (et IACKIN* de l'emplacement 1) restent valides durant ce temps minimal.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 4-19 (concluded)

OBSERVATION 4.48:
The IACK DAISY-CHAIN DRIVER does not drive its IACKOUT* line low every time DSA* goes low. It only does so when the IACK* line is low as well, indicating that an interrupt acknowledge cycle is in progress.

35. RULE 4.47:
IF the IACK DAISY-CHAIN DRIVER drives its IACKOUT* line low,

THEN it MUST drive its IACKOUT* high within this time after the rising edge of AS*.

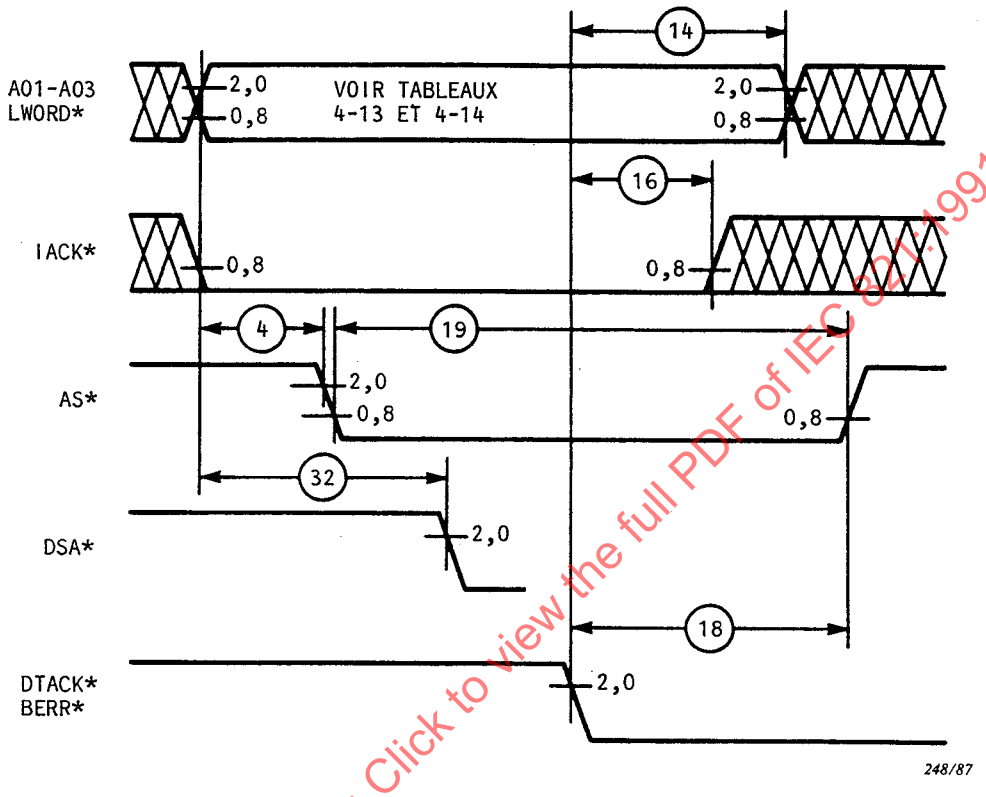
40. RULE 4.48:
The IACK DAISY-CHAIN DRIVER MUST NOT drive IACKOUT* low until it has been high for this minimum time.

42. OBSERVATION 4.49:
IF the IACK DAISY-CHAIN DRIVER drives its IACKOUT* line low within the bus time-out period.

THEN this time guarantees that IACK* (and the slot 1 IACKIN*) remain valid for this minimum time.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-16. - CONTROLEUR et GENERATEUR D'INTERRUPTION - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE.

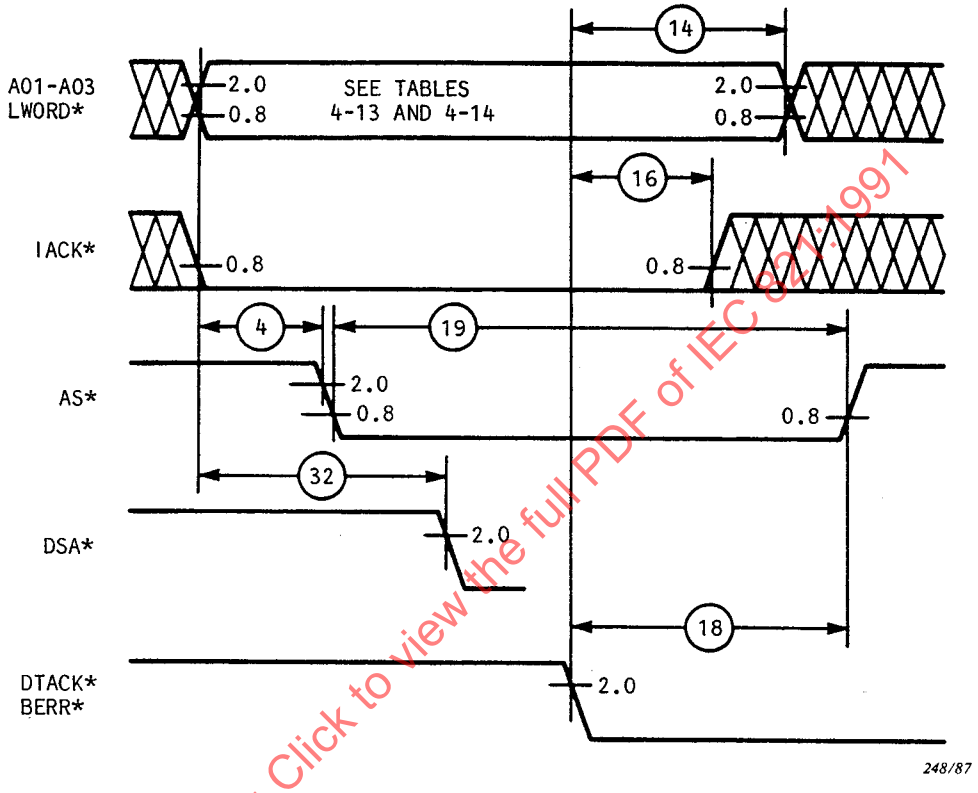


NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	-	-
14	0	-	0	-	-	-
16	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-16. - INTERRUPT HANDLER and INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE.

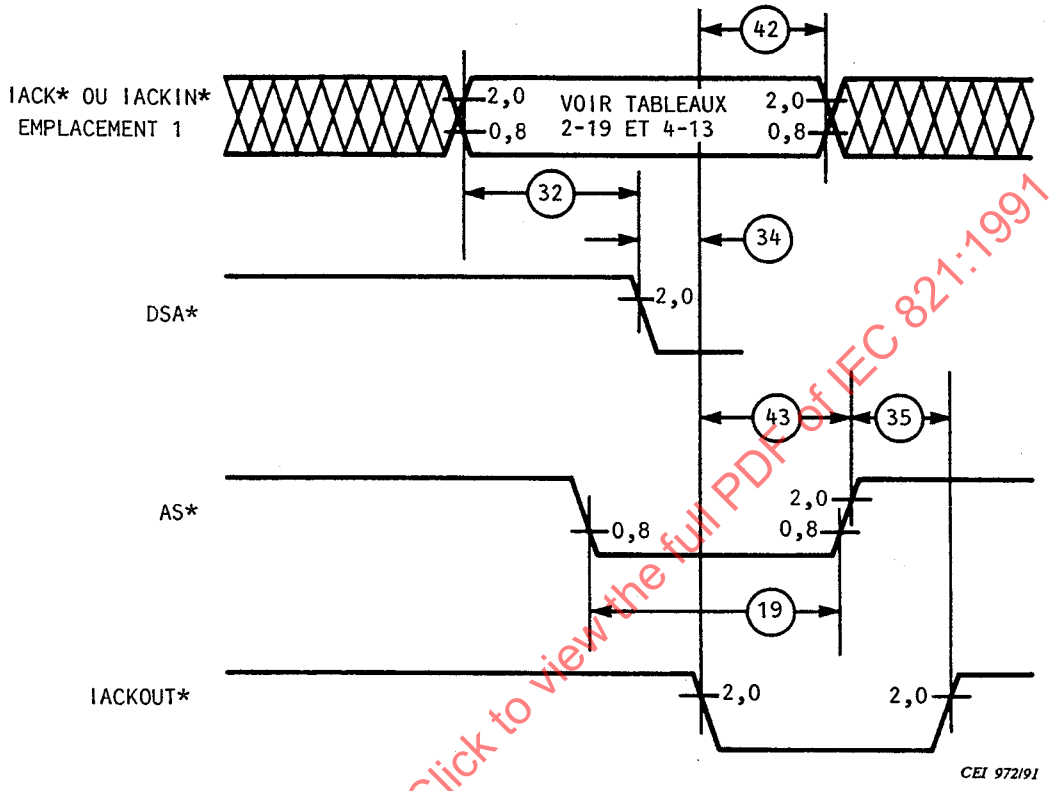


PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	-	-
14	0	-	0	-	-	-
16	0	-	0	-		-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
32	-	-	10	-	10	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-17. - EMETTEUR DE CHAINE SERIE IACK - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE.



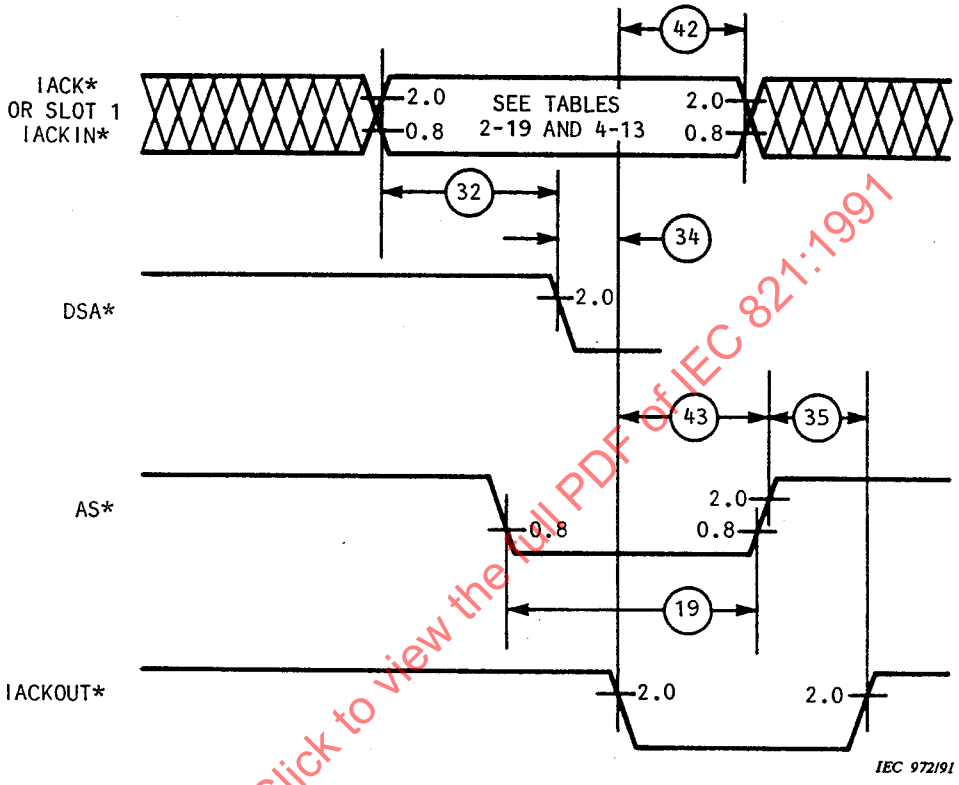
NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
19	40	-	30	-	30	-
32	-	-	10	-	10	-
34	-	-	30	-	40	-
35	-	-	0	30	0	30
42	-	-	-	-	30	-
43	-	-	0	-	-	-

Note:

Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-17. - IACK DAISY-CHAIN DRIVER - INTERRUPTER
selection timing
SINGLE, DOUBLE and QUAD BYTE
INTERRUPT ACKNOWLEDGE CYCLE.

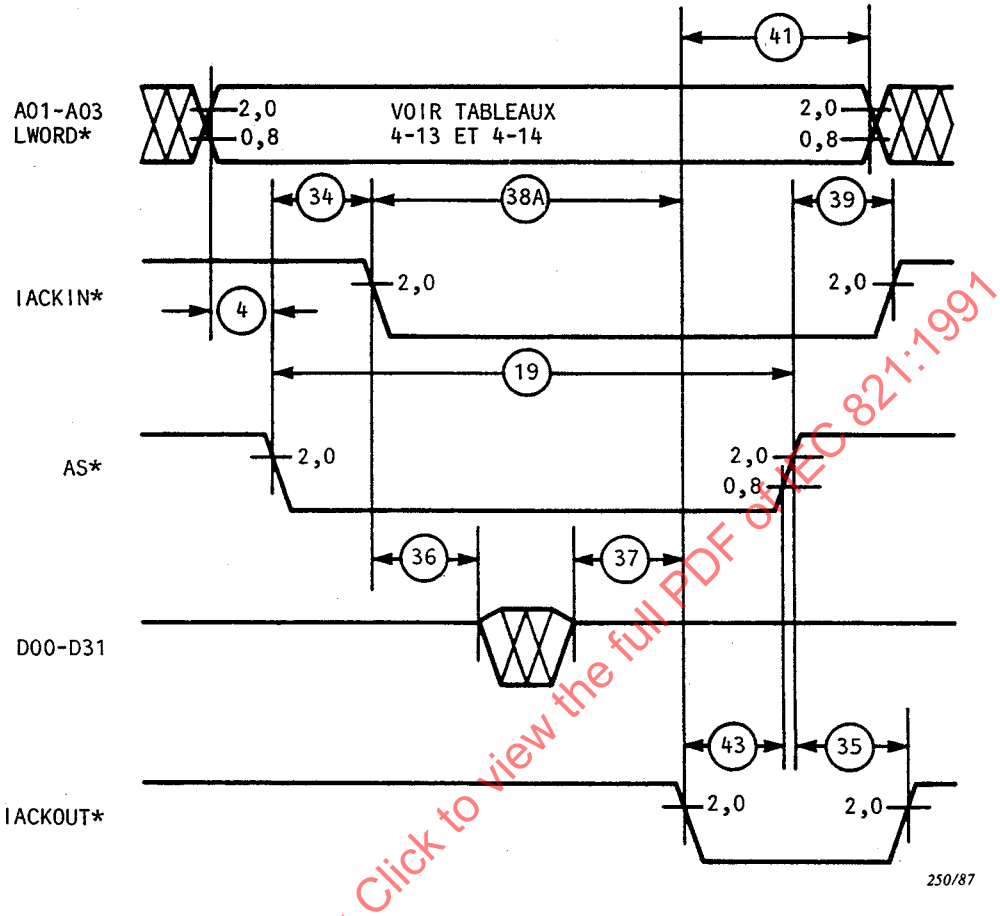


PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
19	40	-	30	-	30	-
32	-	-	10	-	10	-
34	-	-	30	-	40	-
35	-	-	0	30	0	30
42	-	-	-	-	30	-
43	-	-	0	-	-	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-18. - GENERATEUR D'INTERRUPTION qui participe - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE.

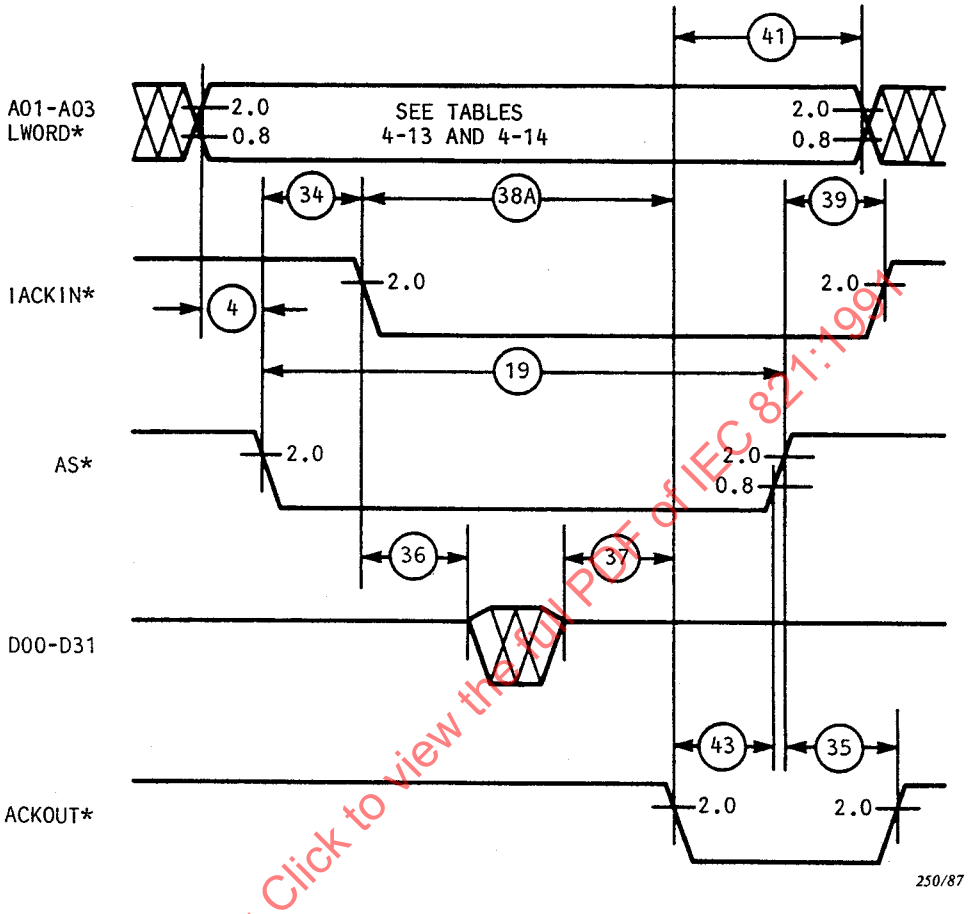


NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	-	-
19	40	-	30	-	30	-
34	-	-	30	-	40	-
35	-	-	0	30	0	30
36	-	-	0	-	-	-
37	-	-	0	-	-	-
38A	-	-	0	-	-	-
39	-	-	-	40	-	-
41	-	-	0	-	-	-
43	-	-	0	-	-	-

Note:
Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-18. - Participating INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE
INTERRUPT ACKNOWLEDGE CYCLE.

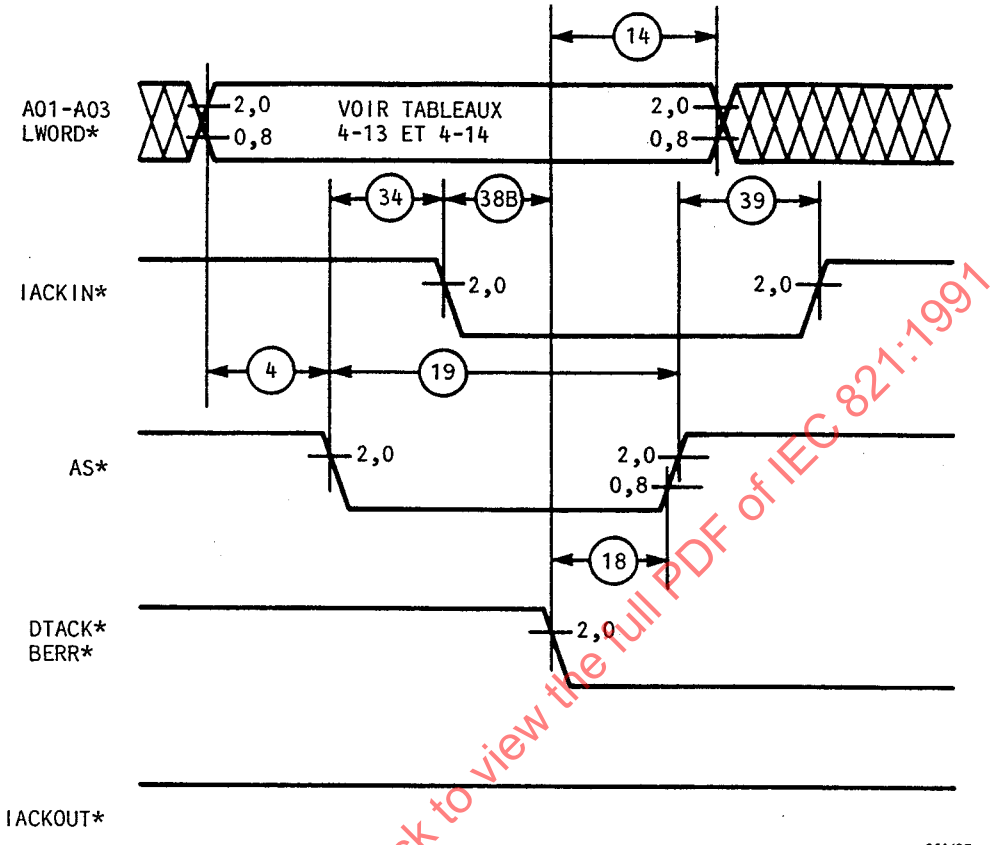


PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	-	-
19	40	-	30	-	30	-
34	-	-	30	-	40	-
35	-	-	0	30	0	30
36	-	-	0	-	-	-
37	-	-	0	-	-	-
38A	-	-	0	-	-	-
39	-	-	-	40	-	-
41	-	-	0	-	-	-
43	-	-	0	-	-	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1990

FIG. 4-19. - GENERATEUR D'INTERRUPTION qui répond - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE.



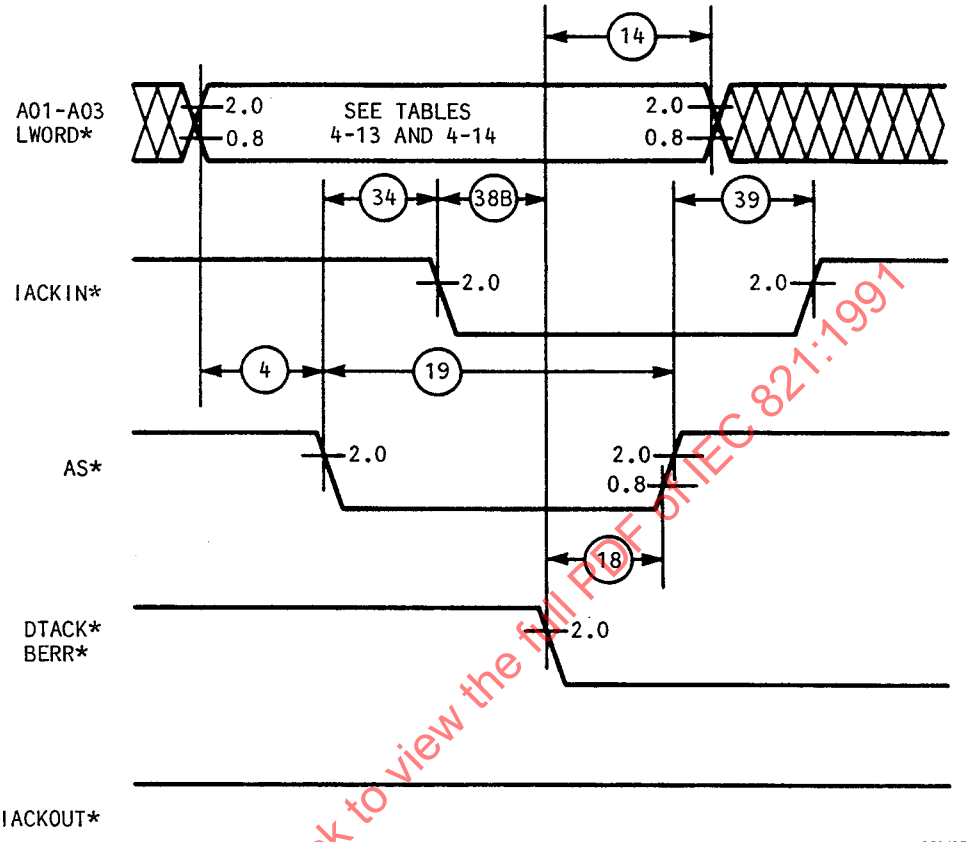
NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	-	-
14	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
34	-	-	30	-	40	-
38B	-	-	0	-	-	-
39	-	-	-	40	-	-

Note:

Tous les temps sont en nanosecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-19. - Responding INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE
INTERRUPT ACKNOWLEDGE CYCLE.

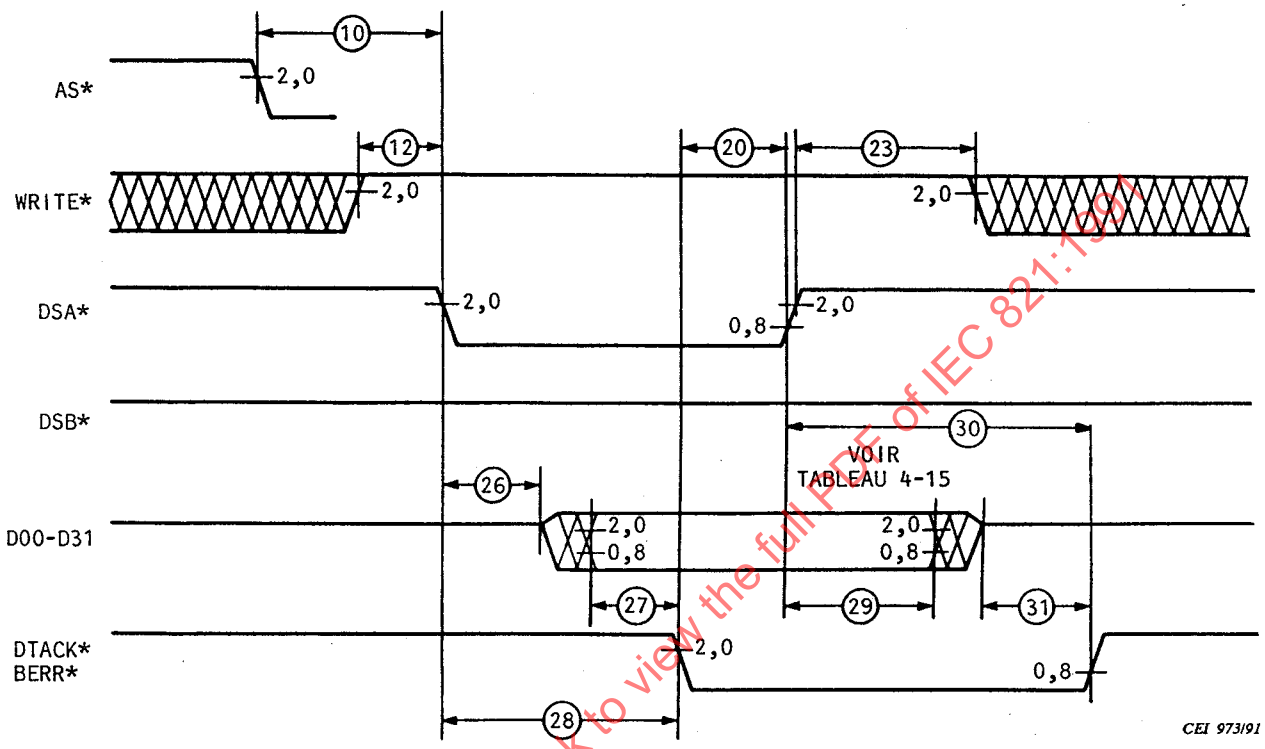


PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
4	35	-	10	-	-	-
14	0	-	0	-	-	-
18	0	-	0	-	-	-
19	40	-	30	-	30	-
34	-	-	30	-	40	-
38B	-	-	0	-	-	-
39	-	-	-	40	-	-

Note:
All times are in nanoseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-20. - CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE de RECONNAISSANCE D'INTERRUPTION
à OCTET UNIQUE.



NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
10	0	-	-10	-	-	-
12	35	-	10	-	-	-
20	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-

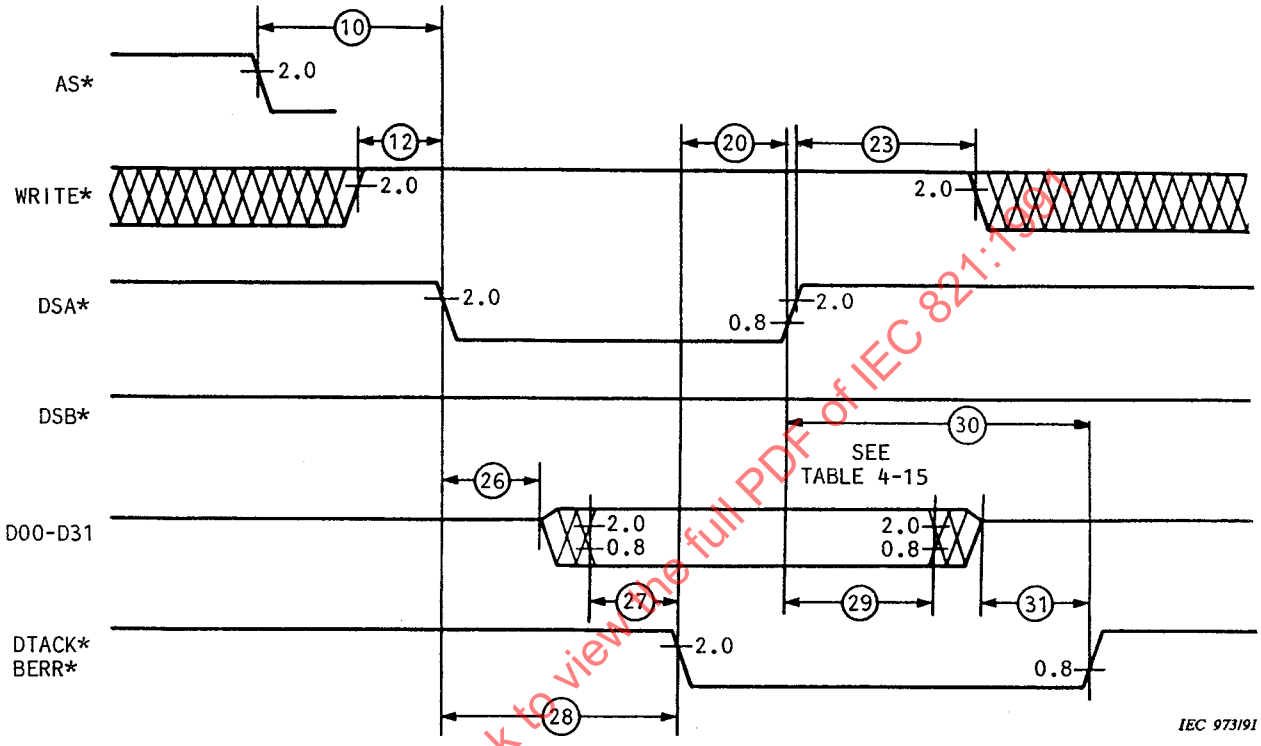
Notes:

1. Tous les temps sont en nanosecondes.

2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-20. - INTERRUPT HANDLER - STATUS/ID transfer timing
SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE.



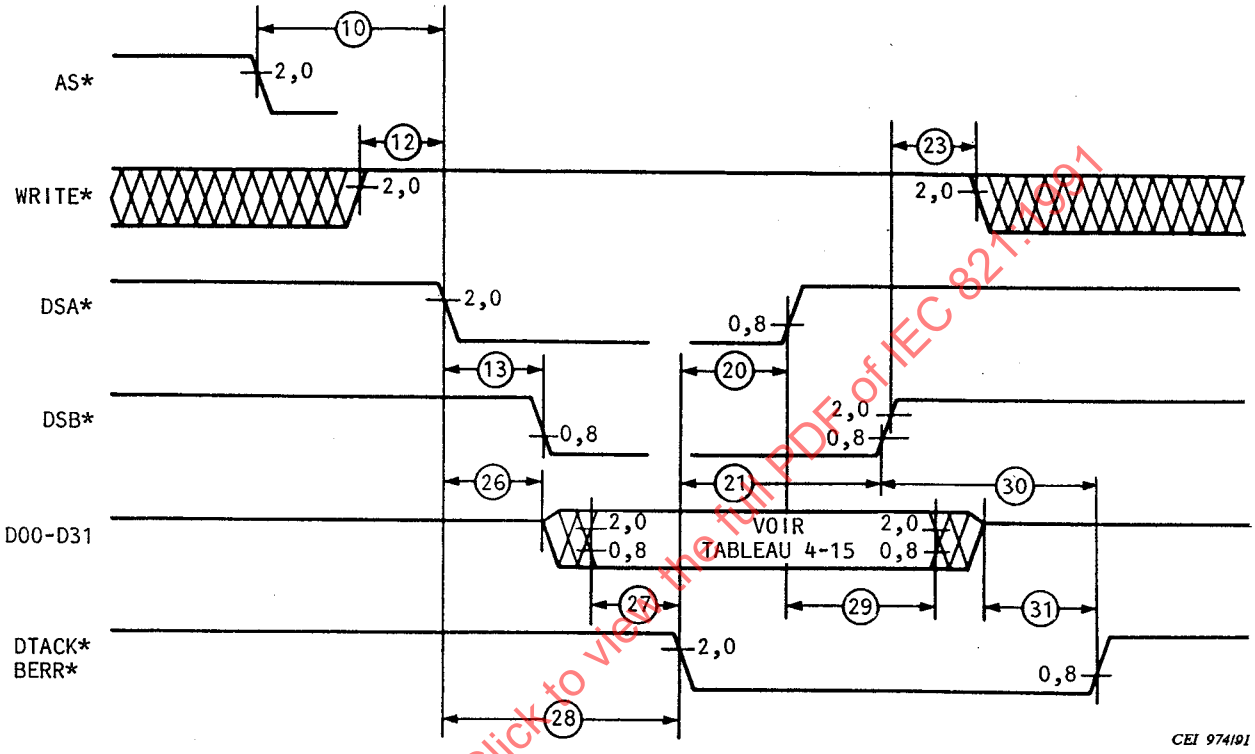
PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
10	0	-	-10	-	-	-
12	35	-	10	-	-	-
20	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value, in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-21. - CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET;
CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET.



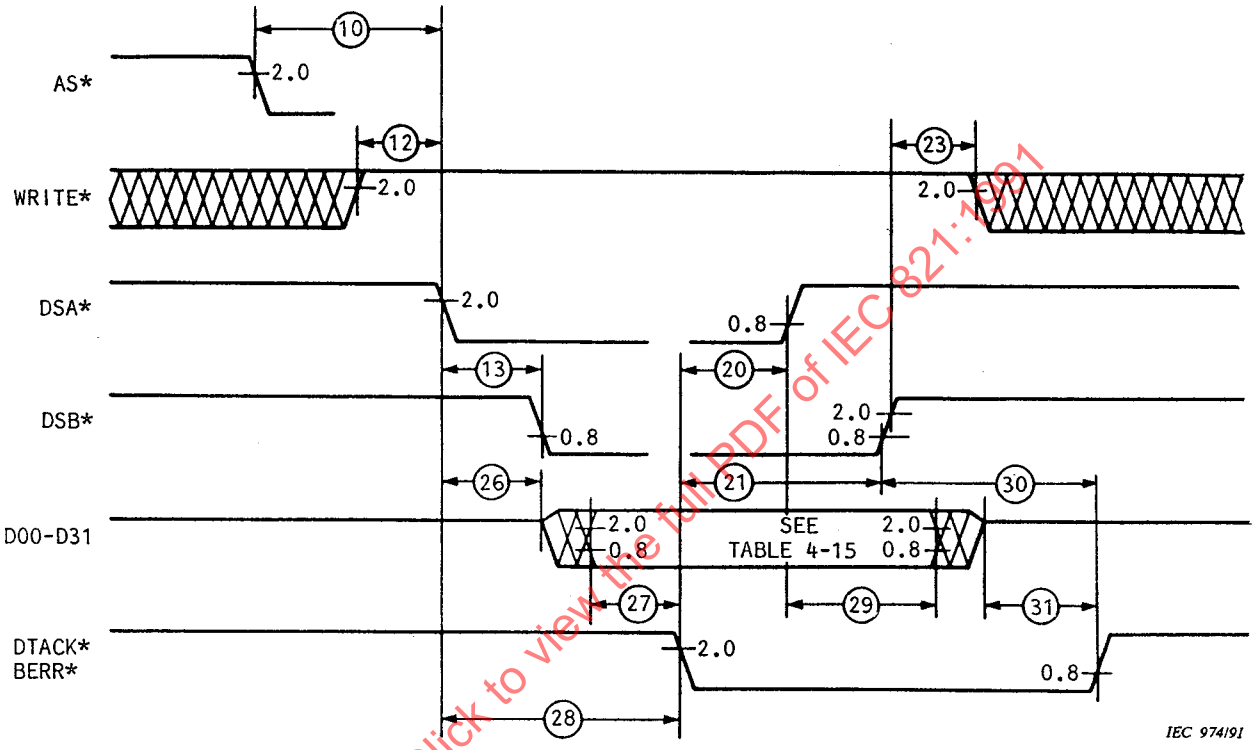
NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
10	0	-	-10	-	-	-
12	35	-	10	-	-	-
13	-	10	-	20	-	-
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-21. - INTERRUPT HANDLER - STATUS/ID transfer timing
DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE;
QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE.



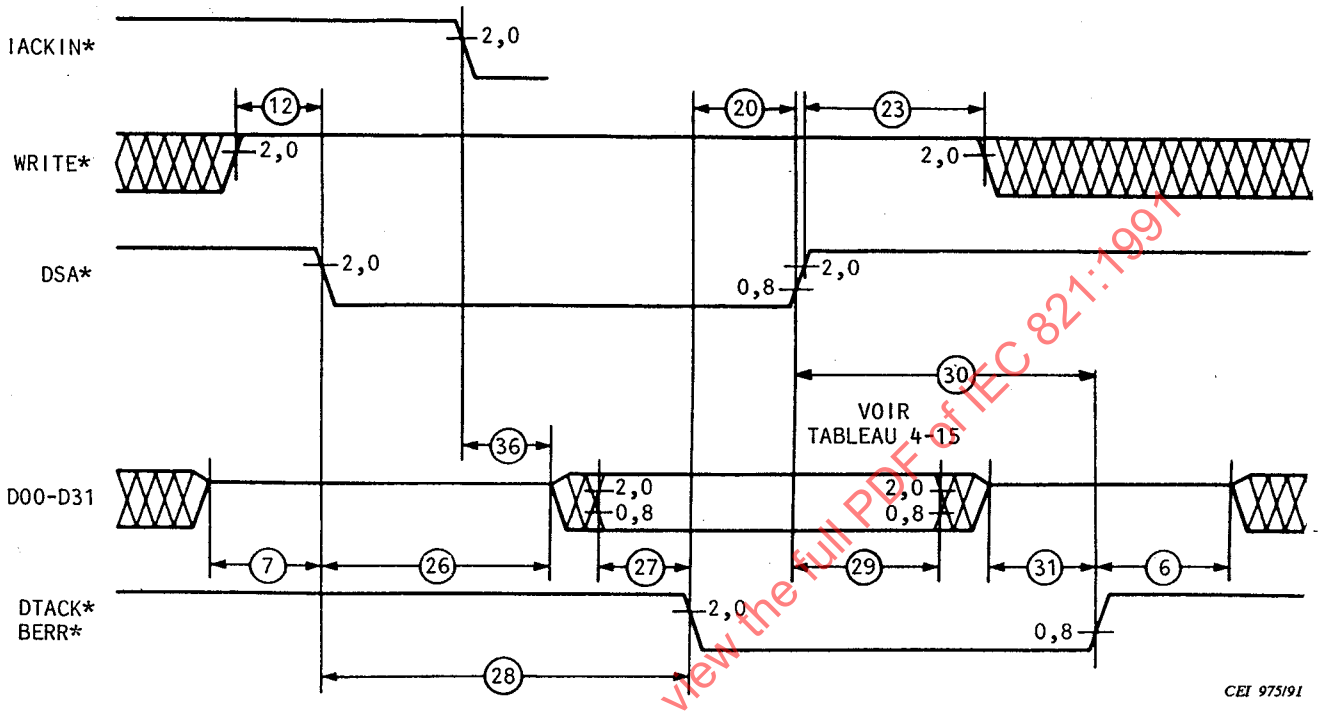
IECNORM.COM : Click to view the full PDF of IEC 821:1991

PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
10	0	-	-10	-	-	-
12	35	-	10	-	-	-
13	-	10	-	20	-	-
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value, in microseconds.

FIG. 4-22. - GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/IDentificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE.



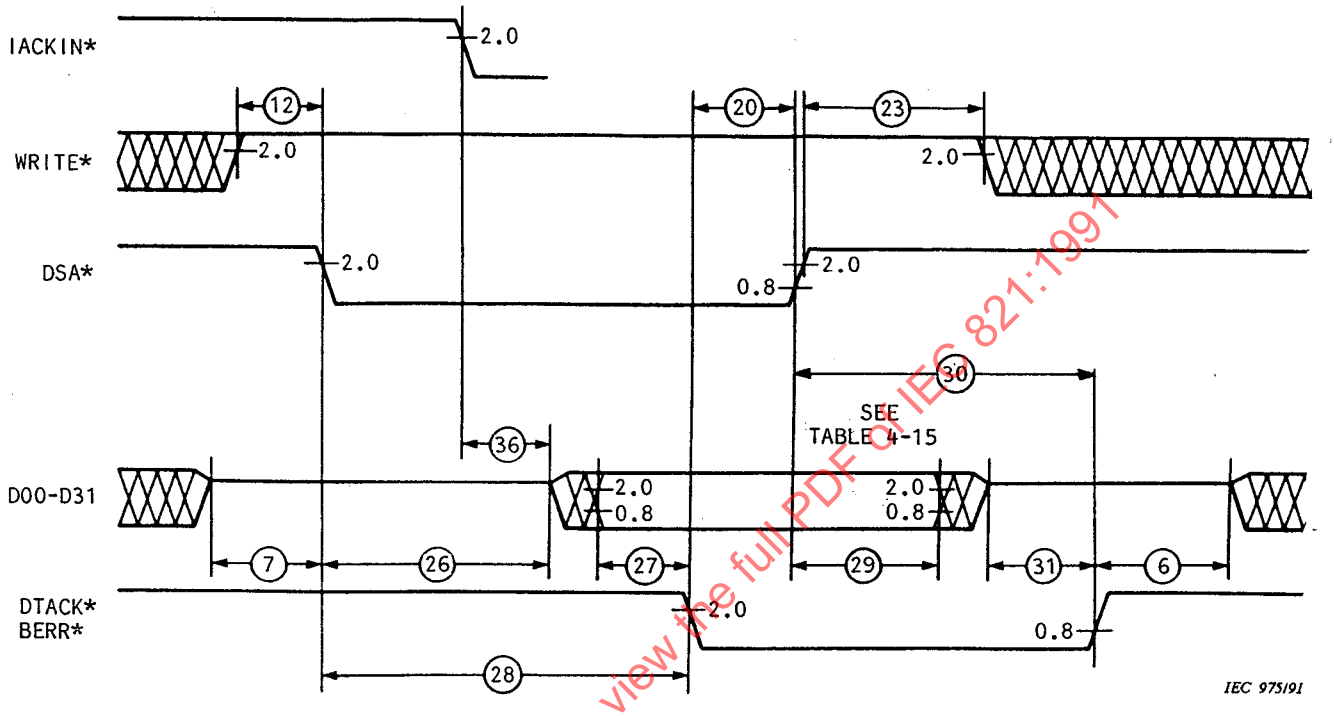
IECNORM.COM : Click to view the full PDF of IEC 821:1991

NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	-	-	0	-	-	-
7	-	-	0	-	-	-
12	35	-	10	-	-	-
20	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
36	-	-	0	-	-	-

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

FIG. 4-22. - Responding INTERRUPTER - STATUS/ID transfer timing SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE.



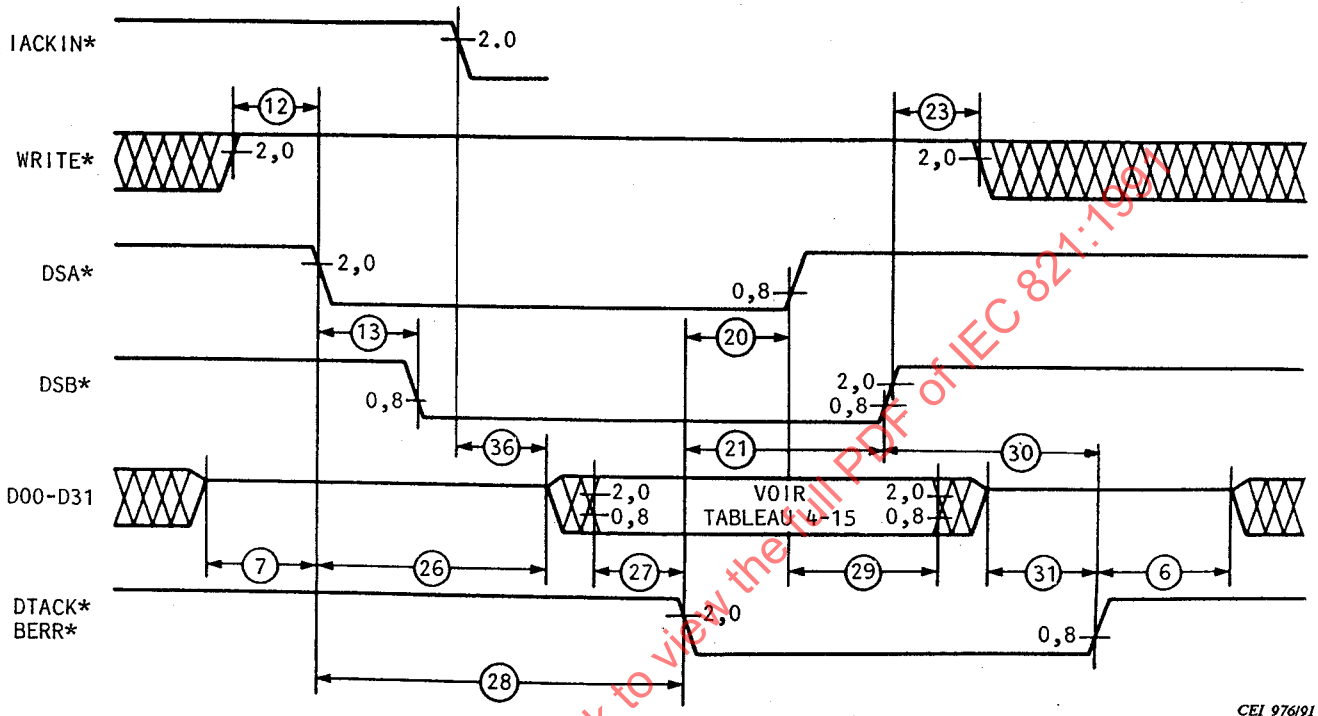
PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	-	-	0	-	-	-
7	-	-	0	-	-	-
12	35	-	10	-	-	-
20	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
36	-	-	0	-	-	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value, in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-23. - GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET;
CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET.



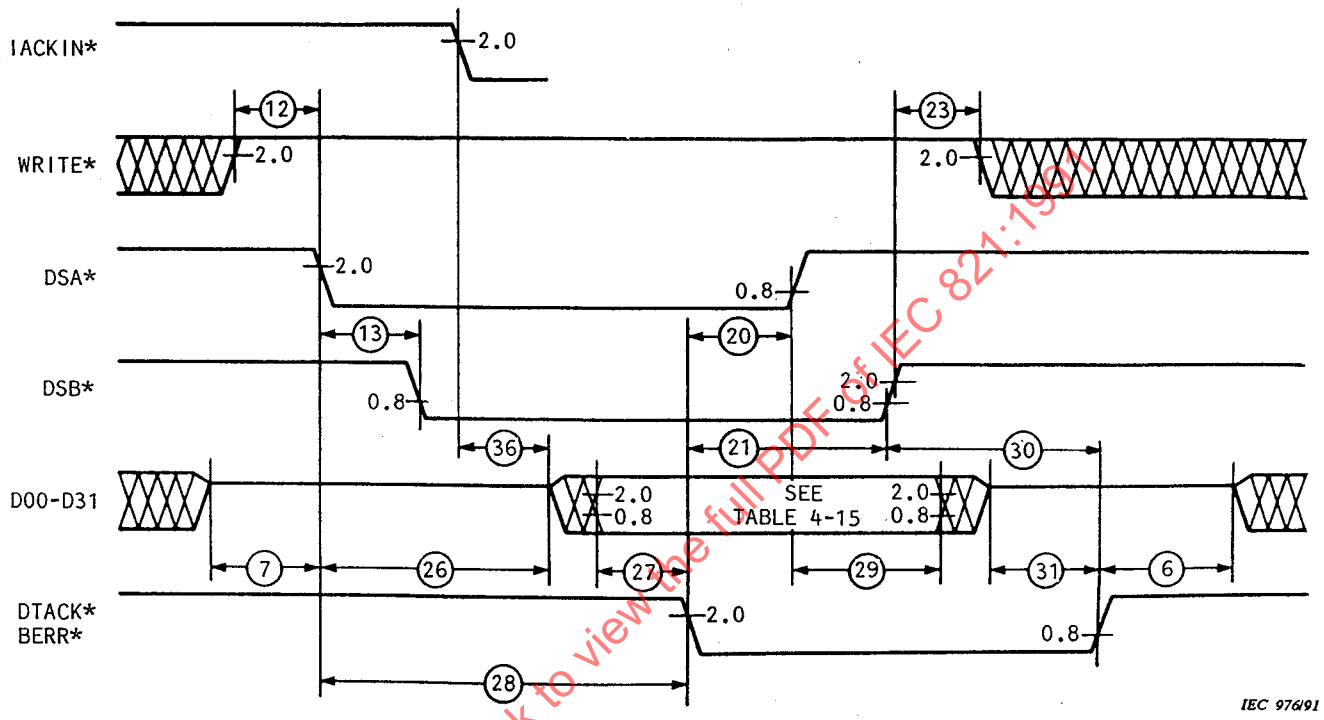
NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	-	-	0	-	-	-
7	-	-	0	-	-	-
12	35	-	10	-	-	-
13	-	10	-	20	-	-
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
36	-	-	0	-	-	-

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-23. - Responding INTERRUPTER - STATUS/ID transfer timing DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE.



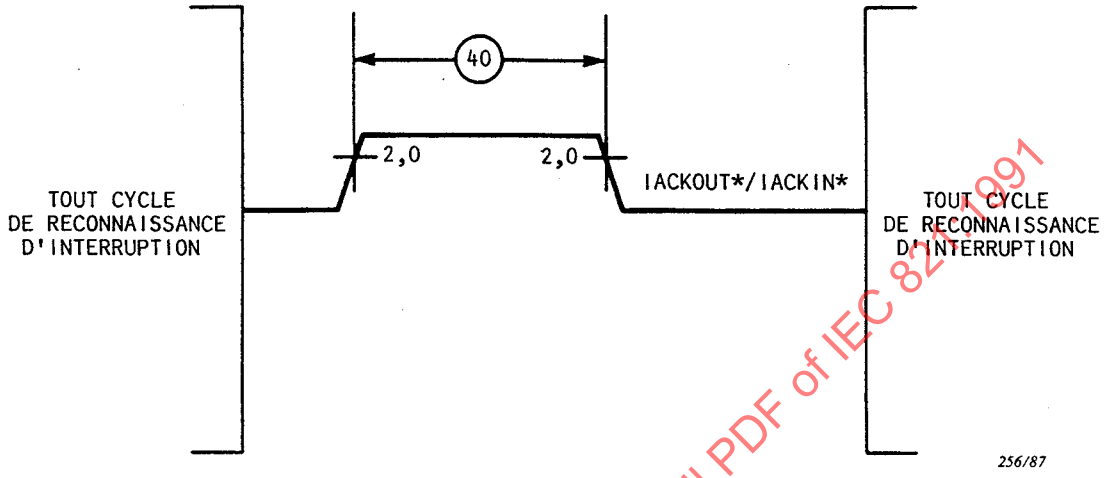
IECNORM.COM : Click to view the full PDF of IEC 821:1991

PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
6	-	-	0	-	-	-
7	-	-	0	-	-	-
12	35	-	10	-	-	-
13	-	10	-	20	-	-
20	0	-	0	-	-	-
21	0	-	0	-	-	-
23	10	-	0	-	-	-
26	0	-	0	-	-	-
27	-25	-	0	-	-	-
28	30	2T	30	-	-	-
29	0	-	0	-	-	-
30	0	-	0	-	-	-
31	0	-	0	-	-	-
36	-	-	0	-	-	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value, in microseconds.

FIG. 4-24. - EMETTEUR DE CHAINE SERIE IACK, GENERATEUR D'INTERRUPTION qui répond et GENERATEUR D'INTERRUPTION qui participe
Chronologie de la chaîne série IACK entre les cycles.



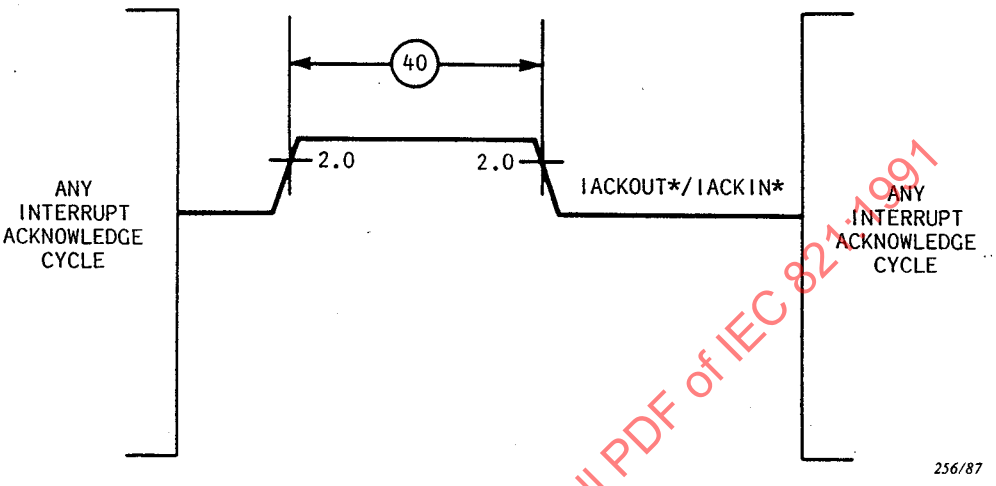
NUMERO DU PARAMETRE	CONTROLEUR D'INTERRUPTION		GENERATEUR D'INTERRUPTION		EMETTEUR DE LA CHAINE SERIE IACK	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
40	-	-	30	-	30	-

Notes:

1. Tous les temps sont en nanosecondes.
2. T = valeur de dépassement de temps en microsecondes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

FIG. 4-24. - IACK DAISY-CHAIN DRIVER, responding INTERRUPTER, and participating INTERRUPTER
IACK daisy-chain inter-cycle timing.



PARAMETER NUMBER	INTERRUPT HANDLER		INTERRUPTER		IACK DAISY-CHAIN DRIVER	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
40	-	-	30	-	30	-

Notes:

1. All times are in nanoseconds.
2. T = time-out value, in microseconds.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPITRE 5: BUS UTILITAIRE DU BUS CEI 821

5.1 *Introduction*

Ce chapitre présente et définit les lignes de signal et les modules qui remplissent les fonctions utilitaires tel que le séquencement périodique, l'initialisation et les moyens de diagnostic du BUS CEI 821 (voir figure 5-1, page 364).

5.2 *Signaux du bus utilitaire*

Les signaux du bus utilitaire sont listés ci-dessous:

SYSCLK	Horloge du système
SERCLK	Horloge du bus série
SERDAT*	Données du bus série
ACFAIL*	Défaillance de l'alimentation secteur
SYSRESET*	Initialisation du système
SYSFAIL*	Défaillance du système

5.3 *Modules du bus utilitaire*

5.3.1 L'EMETTEUR DE L'HORLOGE DU SYSTEME

L'horloge du système est un signal indépendant, permanent, à fréquence fixe de 16 MHz, ayant un rapport cyclique (nominal) de 50%. L'émetteur SYSCLK est implanté dans le contrôleur du système situé à l'emplacement 1 (voir chapitre 1). Il fournit une base de temps connue, utilisable pour les temporisations. La figure 5-2, page 366, montre le chronogramme de temps de l'EMETTEUR DE L'HORLOGE DU SYSTEME.

OBSERVATION 5.1:
SYSCLK n'a pas de relation de phase fixe avec d'autres signaux du BUS CEI 821.

5.3.2 L'EMETTEUR DE L'HORLOGE DU BUS SERIE

L'EMETTEUR DE L'HORLOGE DU BUS SERIE est un signal à fréquence fixe de forme d'onde spécifiée utilisé par les modules du BUS CEI 823 situés sur les cartes de BUS CEI 821. La spécification de sa forme d'onde est spécifiée dans la norme du BUS CEI 823. Pour aider les concepteurs, les paramètres de temps valables lors de la publication de cette norme sont donnés dans l'annexe C.

5.3.3 Le CONTROLEUR D'ALIMENTATION

La figure 5-3, page 366, représente le schéma-bloc du module CONTROLEUR D'ALIMENTATION. Ce module détecte les défaillances d'alimentation et les signale en temps voulu au système de BUS CEI 821 pour qu'il puisse effectuer un arrêt correct. Lorsque le système est remis sous tension, le CONTROLEUR D'ALIMENTATION assure que tous les modules sont initialisés.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPTER 5: IEC 821 BUS UTILITY BUS

5.1 *Introduction*

This chapter identifies and defines the signal lines and modules which provide utility functions such as periodic timing, initialization and diagnostic capability for the IEC 821 BUS (see Figure 5-1, page 365).

5.2 *Utility Bus signal lines*

The Utility Bus signal lines are listed below:

SYSCLK	System Clock
SERCLK	Serial Clock
SERDAT*	Serial Data
ACFAIL*	AC Fail
SYSRESET*	System Reset
SYSFAIL*	System Failure

5.3 *Utility Bus modules*

5.3.1 The SYSTEM CLOCK DRIVER

The system clock is an independent, non-gated, fixed frequency, 16 MHz, 50% (nominal) duty cycle signal. The SYSCLK driver is located on the system controller located in board slot one (see Chapter 1). It provides a known time base that is useful for counting off time delays. Figure 5-2, page 367, shows the SYSTEM CLOCK DRIVER timing diagram.

OBSERVATION 5.1:
SYSCLK has no fixed phase relationships with other IEC 821 BUS timing.

5.3.2 The SERIAL CLOCK DRIVER

The SERIAL CLOCK DRIVER provides a fixed frequency, special waveform signal used by the IEC 823 BUS modules that reside on IEC 821 BUS boards. Its waveform is specified in IEC 823 BUS. For the convenience of designers, the timing parameters in effect at the time that this standard has been published are provided in Appendix C.

5.3.3 The POWER MONITOR

Figure 5-3, page 367, is the block diagram for the POWER MONITOR module. This module detects power failures and signals the IEC 821 BUS system in time to effect orderly shut-down. When power is then reapplied to the system the POWER MONITOR ensures that all other IEC 821 BUS modules are initialized.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Le CONTROLEUR D'ALIMENTATION surveille aussi la commande manuelle par bouton-poussoir et initialise le système de BUS CEI 821 lorsque ce bouton est actionné par l'opérateur.

Les transitions ACFAIL* et SYSRESET* et le moment où les tensions continues du système sont hors spécification sont liés par des contraintes temporelles données dans les figures 5-4 et 5-5, page 368.

AUTORISATION 5.1:
Les systèmes BUS CEI 821 PEUVENT être construits avec ou sans module CONTROLEUR D'ALIMENTATION.

REGLE 5.1:
Les CONTROLEURS D'ALIMENTATION DOIVENT être conformes aux chronogrammes donnés dans les figures 5-4 et 5-5.

AUTORISATION 5.2:
La ligne SYSRESET* PEUT être commandée au niveau bas par un bouton-poussoir sur n'importe quelle carte de BUS CEI 821 pour initialiser le système. Lorsqu'une carte commande SYSRESET* mais ne commande pas ACFAIL*, les chronogrammes donnés dans les figures 5-4 et 5-5 ne s'appliquent pas.

REGLE 5.2:
Lorsqu'une carte commande SYSRESET* au niveau bas, elle DOIT maintenir SYSRESET* au niveau bas pendant une durée minimale de 200 ms.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

The POWER MONITOR might also monitor a manually operated push-button and initialize the IEC 821 BUS system whenever that button is depressed by the operator.

The ACFAIL* and SYSRESET* transitions, and the point at which the system d.c. voltages violate specification, have certain timing relationships. These relationships are shown in Figures 5-4 and 5-5, page 369.

PERMISSION 5.1:
IEC 821 BUS systems MAY be built with or without a POWER MONITOR module.

RULE 5.1:
POWER MONITORS MUST comply with the timing given in Figures 5-4 and 5-5.

PERMISSION 5.2:
The SYSRESET* line MAY be driven low by any IEC 821 BUS board to initialize the system from a manual push-button. Where a board drives SYSRESET*, but does not drive ACFAIL*, the timing in Figure 5-4 and 5-5 does not apply.

RULE 5.2:
Whenever any board drives SYSRESET* low, it MUST hold SYSRESET* low for a minimum period of 200 ms.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

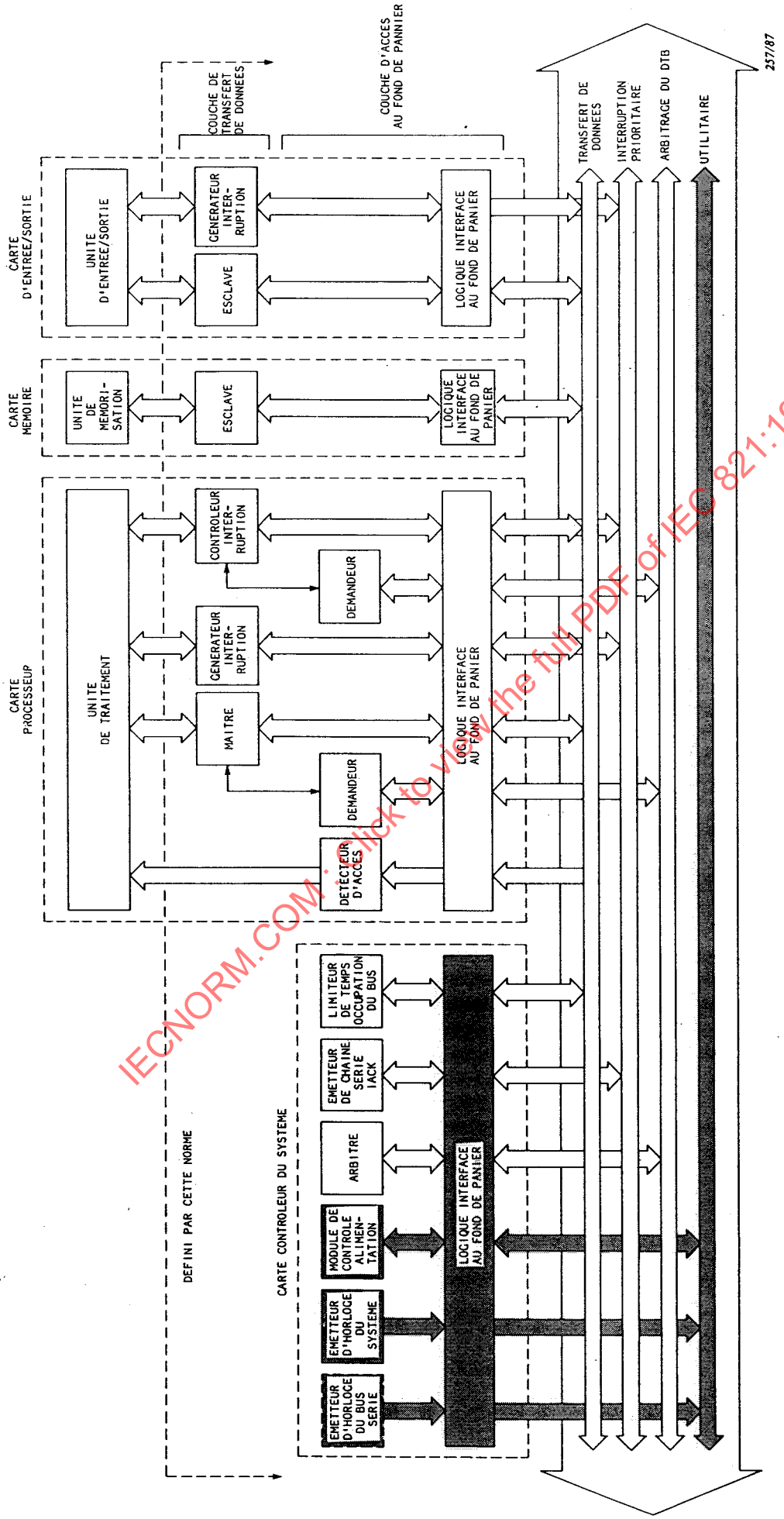


FIG. 5-1. - Schéma-bloc du bus utilitaire.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

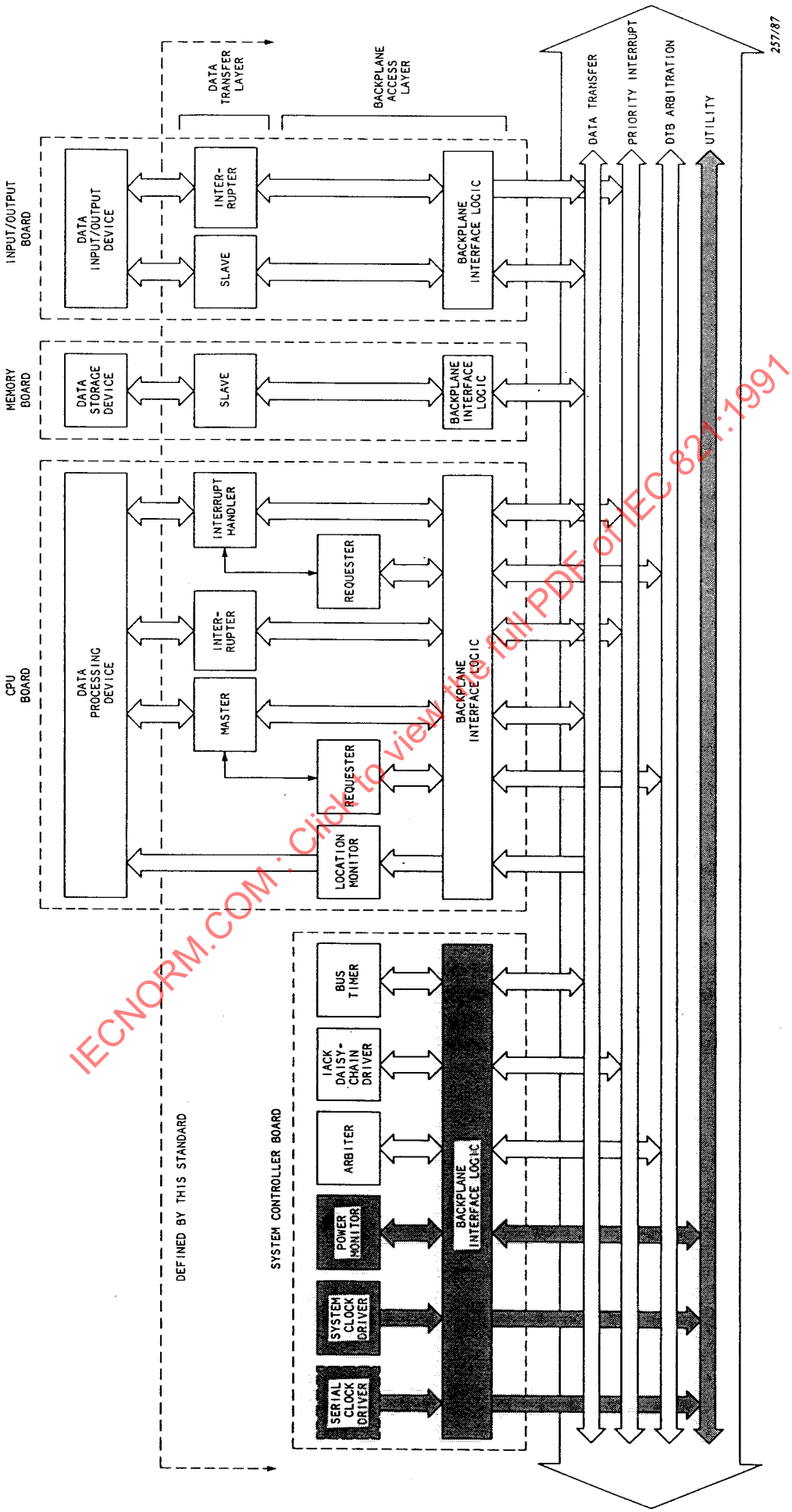


FIG. 5-1. - Utility Bus block diagram.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

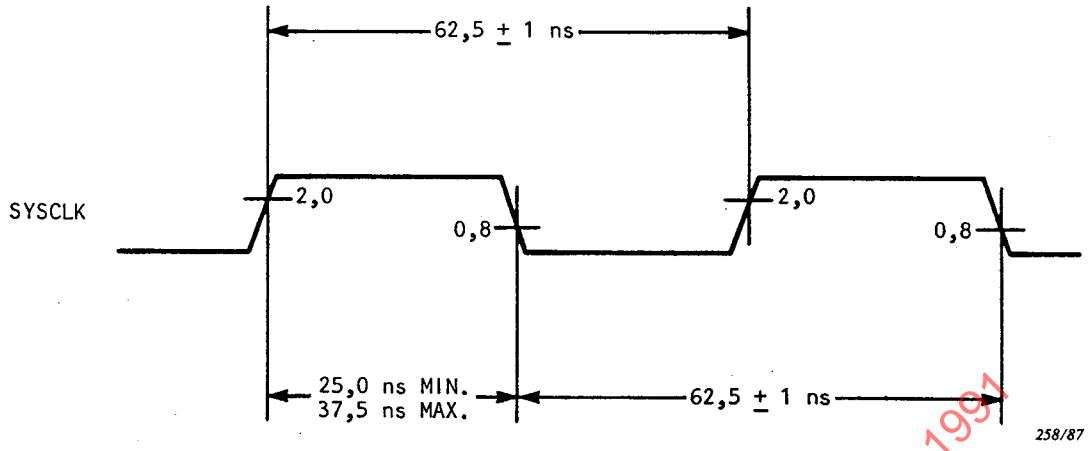


FIG. 5-2. - Chronogramme de l'EMETTEUR DE L'HORLOGE SYSTEME.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

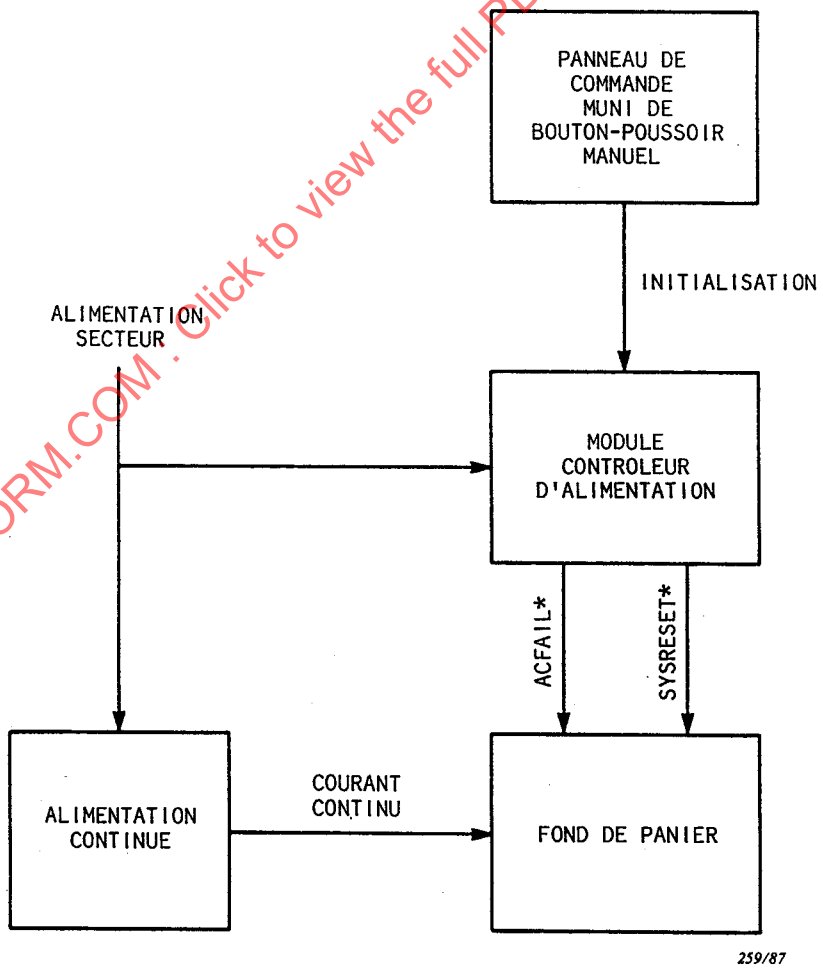


FIG. 5-3. - Schéma-bloc du module CONTROLEUR D'ALIMENTATION.

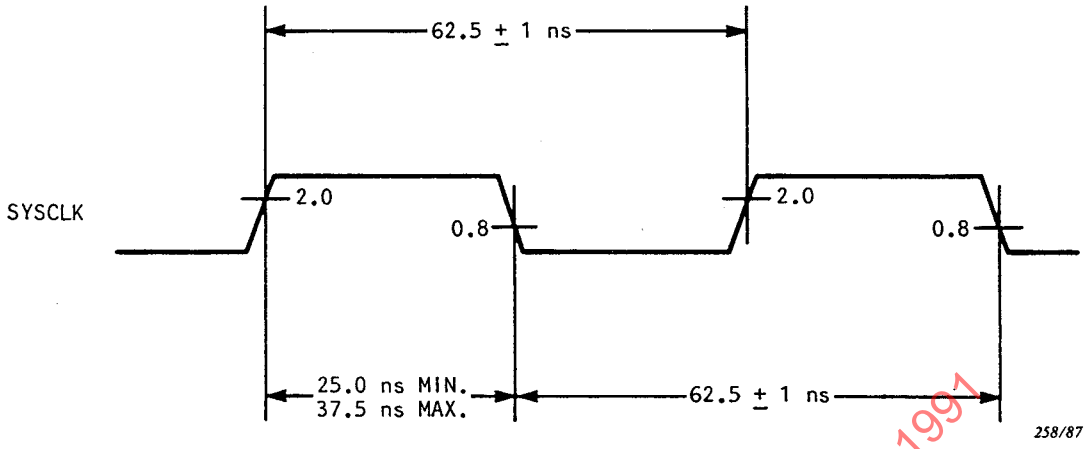


FIG. 5-2. - SYSTEM CLOCK DRIVER timing diagram.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

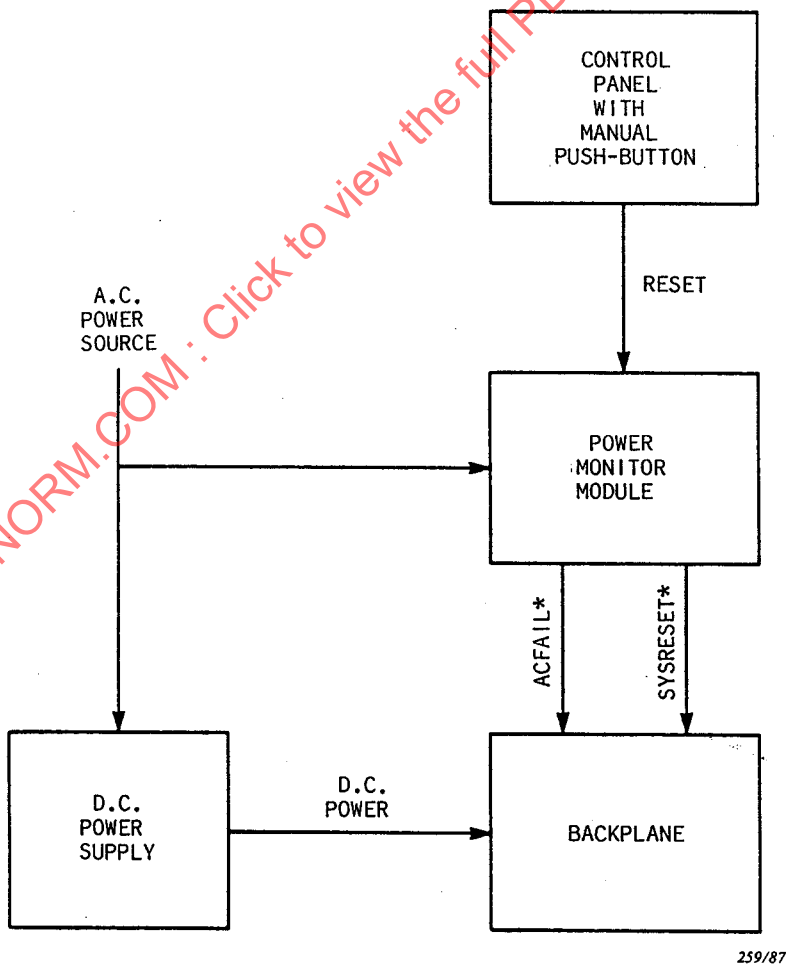


FIG. 5-3. - Block diagram of POWER MONITOR module.

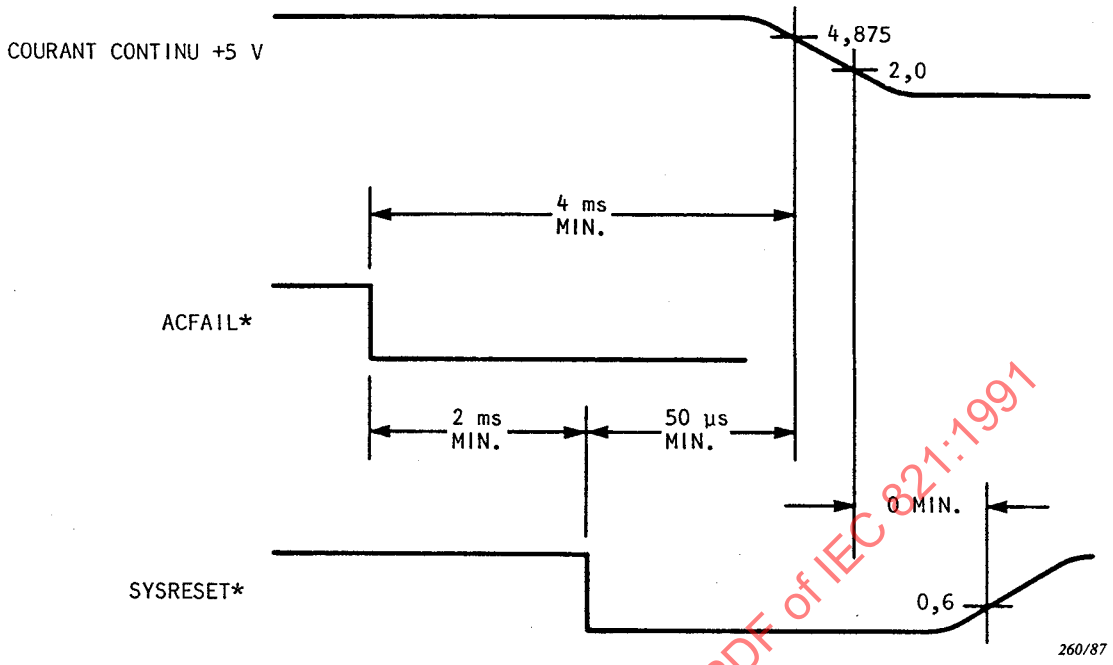


FIG. 5-4. - Chronogramme du CONTROLEUR D'ALIMENTATION lors d'une défaillance d'alimentation.

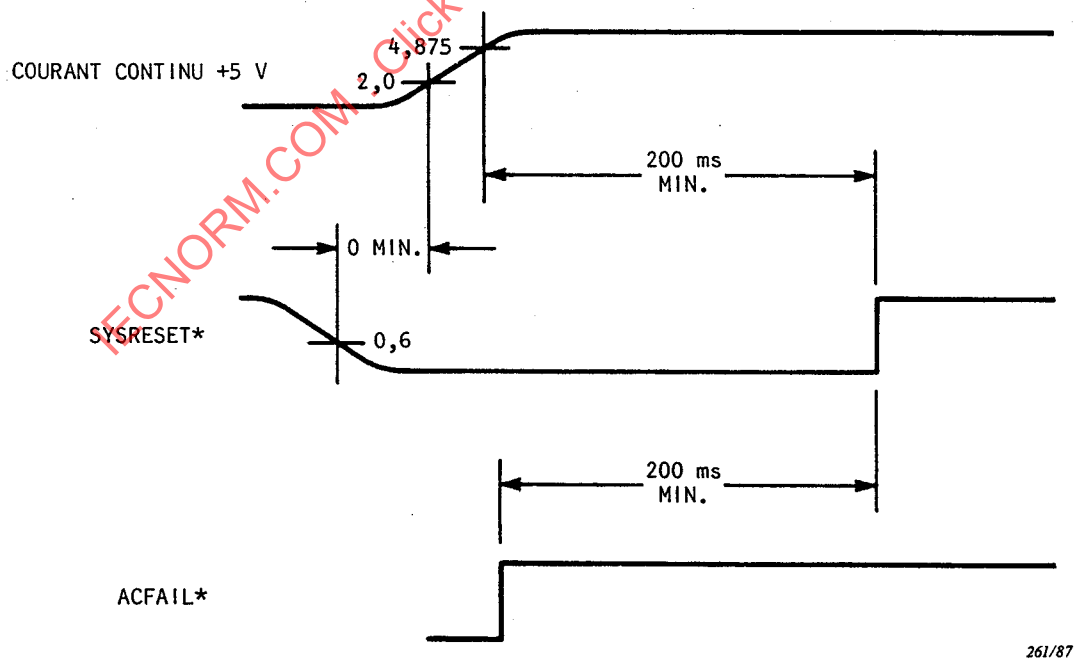


FIG. 5-5. - Chronogramme du CONTROLEUR D'ALIMENTATION lors de la mise sous tension.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

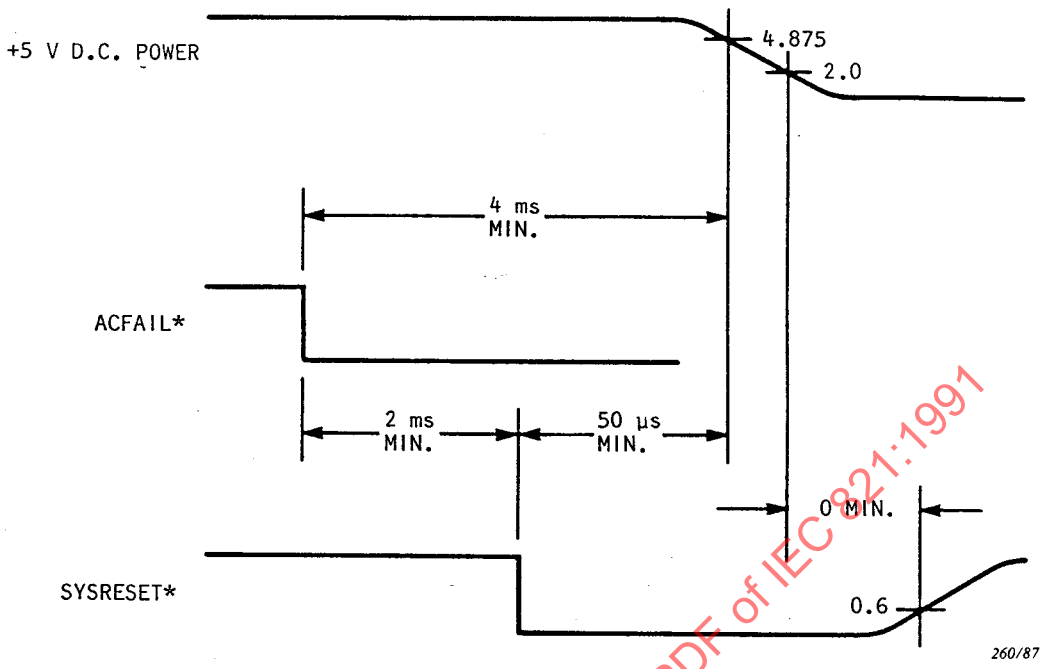


FIG. 5-4. - POWER MONITOR power failure timing.

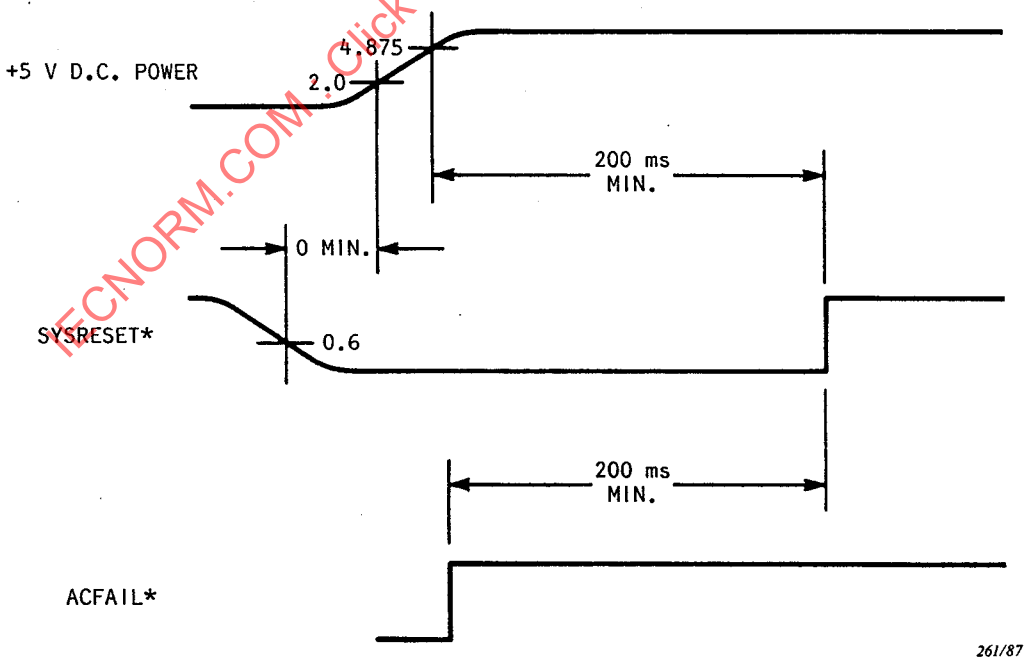


FIG. 5-5. - POWER MONITOR system restart timing.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

5.4 *Initialisation et diagnostic du système*

Le BUS CEI 821 définit des protocoles qui permettent l'arrêt et le démarrage du système de manière ordonnée. Deux lignes de signal sont utilisées pour le séquencement de l'arrêt et du démarrage de l'alimentation: ACFAIL* et SYSRESET*. Une autre ligne de signal SYSFAIL* est utilisée pour la séquence de démarrage.

Le comportement des modules fonctionnels pendant l'opération de coupure de l'alimentation est spécifié comme suit:

RECOMMANDATION 5.1:
Concevoir les MAITRES tels qu'ils ne demandent le bus en aucun cas excepté pour toute opération concernant le traitement de la défaillance de l'alimentation, après que ACFAIL* eut été au niveau bas depuis 200 µs.

RECOMMANDATION 5.2:
SI les MAITRES ou les CONTROLEURS D'INTERRUPTION ont une demande de bus en attente antérieure à la détection de ACFAIL* au niveau bas,
ALORS ils limitent leur activité non liée au traitement de la défaillance d'alimentation à 200 µs.

OBSERVATION 5.2:
Les accès au bus nécessaires pour sauvegarder et restituer les données du système à la mémoire du BUS CEI 821 dépendent de l'application et ne sont pas spécifiés ici. (Le système d'exploitation doit assurer que les données sauvegardées pendant l'opération de coupure de l'alimentation soient restituées avant la mise en fonction du système.) Dans le cas de système multiprocesseur, cela peut exiger des communications de processeur à processeur.

SYSRESET* est une ligne de signal à collecteur ouvert et est commandée par le module CONTROLEUR D'ALIMENTATION ou par n'importe quelle carte, en réponse à la fermeture d'un bouton-poussoir.

OBSERVATION 5.3:
Si un contact d'initialisation par bouton-poussoir est utilisé, des circuits spéciaux sont nécessaires pour garantir que les rebonds du contact ne vont pas provoquer la non-observation par la carte d'un temps minimal de 200 ms pendant lequel SYSRESET* doit être au niveau bas.

REGLE 5.3:
L'EMETTEUR D'HORLOGE SYSTEME DOIT continuer de fournir le signal de forme d'onde spécifiée SYSCLK, sans tenir compte du niveau de la ligne SYSRESET*.

AUTORISATION 5.4:
Lorsque SYSRESET* descend au niveau bas, toute carte demandant plus de 200 ms pour terminer son initialisation PEUT activer son émetteur SYSRESET* au niveau bas pour maintenir SYSRESET* au niveau bas pour la durée nécessaire.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

5.4 *System initialization and diagnostics*

The IEC 821 BUS provides protocols which allow the system to be shut down and powered up in an orderly manner. Two signal lines are used in the power-down and power-up sequences: ACFAIL* and SYSRESET*. Another signal line is used in the power-up sequence, SYSFAIL*.

The following specify the behavior of the functional modules during the power-down process.

RECOMMENDATION 5.1:
Design MASTERS so that they do not request the bus for any purpose except power-fail activity after ACFAIL* has been low for 200 µs.

RECOMMENDATION 5.2:
IF MASTERS or INTERRUPT HANDLERS have a bus request pending prior to detecting ACFAIL* low,

THEN they should limit their subsequent non-power-fail activity to 200 µs.

OBSERVATION 5.2:
Bus accesses required to save and restore system data to IEC 821 BUS memory depend upon the application, and are not specified here. The operating system has to assure that data saved during the shut-down process is restored prior to system operation. In the case of a multiprocessing system, this might require some processor-to-processor communication.

SYSRESET* is an open-collector line driven by a POWER MONITOR module or by any board in response to a push-button switch closure.

OBSERVATION 5.3:
Special circuitry is needed where push-button reset switches are used, to ensure that switch bounce does not cause the board to violate the 200 ms minimum SYSRESET* low time.

RULE 5.3:
The SYSTEM CLOCK DRIVER MUST continue to provide the specified SYSCLK waveform signal regardless of the state of the SYSRESET* line.

PERMISSION 5.4:
When SYSRESET* goes low, any board that requires more than 200 ms to complete its initialization MAY turn on its SYSRESET* driver low to maintain SYSRESET* low for the required period.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REGLE 5.4:
SI l'alimentation +5 V courant continu est dans les limites spécifiées lorsque SYSRESET* passe au niveau bas,
ALORS les modules fonctionnels DOIVENT satisfaire aux REGLES données dans le tableau 5-1, dans les délais spécifiés après le passage de SYSRESET* au niveau bas.

REGLE 5.5:
SI SYSRESET* est au niveau bas lorsque l'alimentation +5 V courant continu entre dans les limites spécifiées,
ALORS les modules fonctionnels DOIVENT satisfaire aux REGLES données dans le tableau 5-1, dans les délais spécifiés après l'entrée de l'alimentation dans ses limites spécifiées.

REGLE 5.6:
Après avoir satisfait aux REGLES du tableau 5-1, les modules fonctionnels NE DOIVENT PAS changer l'état de leurs émetteurs jusqu'à ce que SYSRESET* aille au niveau haut, excepté le cas où l'alimentation +5 V courant continu sort des limites spécifiées.

Tableau 5-1

Commandes émises par les modules pendant le démarrage et l'arrêt de l'alimentation

MODULE	NE DOIVENT PAS	APRES
MAITRES et CONTROLEURS D'INTERRUPTION	Commander AS*, DS0* ou DS1* du niveau haut au niveau bas	5 µs
MAITRES et CONTROLEURS D'INTERRUPTION	Commander IACK*, LWORD*, AS*, DS0*, DS1*, AM0-AM5, A01-A31, WRITE* ou D00-D31	20 µs
ESCLAVES et GENERATEURS D'INTERRUPTION	Commander D00-D31, DTACK* ou BERR*	30 µs
GENERATEURS D'INTERRUPTION	Commander IRQ1*-IRQ7*	30 µs
LIMITEUR DE TEMPS D'OCCUPATION DU BUS	Commander BERR*	30 µs
ARBITRE	Commander BG0IN*-BG3IN* du niveau haut au niveau bas	5 µs
ARBITRE	Commander BG0IN*-BG3IN* au niveau bas	30 µs
DEMANDEURS	Commander BBSY*	30 µs

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REGLE 5-7:
SI l'alimentation +5 V courant continu est dans les limites spécifiées lorsque SYSRESET* passe au niveau bas, et qu'un MAITRE ou un CONTROLEUR D'INTERRUPTION commande AS*, DS0* ou DS1* au niveau bas,
ALORS il DOIT maintenir ces signaux de validation au niveau bas assez longtemps pour satisfaire aux temps minimaux au niveau bas donnés dans les chapitres 2 et 4.

RULE 5.4:
IF the +5 V d.c. power source is within its specified range when SYSRESET* goes low,
THEN functional modules MUST satisfy the timing RULES given in Table 5-1 within the specified time after SYSRESET* goes low.

RULE 5.5:
IF SYSRESET* is low when the +5 V d.c. enters its specified range,
THEN the functional modules MUST satisfy the timing RULES given in Table 5-1 within the specified time after the power source enters its specified range.

RULE 5.6:
After satisfying the RULES in Table 5-1, functional modules MUST NOT change the state of their drivers until SYSRESET* goes high, unless the +5 V d.c. power source exits its specified range.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 5-1

Module drive during power-up and power-down sequences

MODULE	MUST NOT	AFTER
MASTERS and INTERRUPT HANDLERS	Drive AS*, DS0* or DS1* from high to low	5 µs
MASTERS and INTERRUPT HANDLERS	Drive IACK*, LWORD*, AS*, DS0*, DS1*, AM0-AM5, A01-A31, WRITE* or D00-D31	20 µs
SLAVES and INTERRUPTERS	Drive D00-D31, DTACK* or BERR*	30 µs
INTERRUPTERS	Drive IRQ1*-IRQ7*	30 µs
BUS TIMER	Drive BERR*	30 µs
ARBITER	Drive BG0IN*-BG3IN* from high to low	5 µs
ARBITER	Drive BG0IN*-BG3IN* low	30 µs
REQUESTERS	Drive BBSY*	30 µs

RULE 5.7:
IF the +5 V d.c. power source is within its specified range when SYSRESET* goes low, and a MASTER or INTERRUPT HANDLER is driving AS*, DS0* or DS1* low,
THEN it MUST maintain these strobes low long enough to satisfy the minimum low times given in Chapters 2 and 4.

SYSFAIL* est une ligne en collecteur ouvert maintenue au niveau bas lors du démarrage du système jusqu'à la fin des autotests du système (voir figure 5-6). Les considérations suivantes s'appliquent:

SUGGESTION 5.1:
Sur les cartes MAITRES intelligentes, inclure un bit du registre de contrôle accessible localement qui commande la broche SYSFAIL* de la carte au niveau bas à la mise sous tension. Cela permet à l'intelligence locale de la carte de faire un autotest local et de ne relâcher SYSFAIL* que si l'autotest se termine avec succès.

SUGGESTION 5.2:
Concevoir les cartes non intelligentes avec un bit de registre de contrôle accessible globalement et qui est initialisé de manière à commander SYSFAIL* au niveau bas. Cela permet à une carte intelligente sur le BUS CEI 821 de faire d'abord un test sur la carte non intelligente et ensuite d'écrire le bit du registre pour libérer l'émetteur de SYSFAIL*.

SUGGESTION 5.3:
Lorsqu'un bit du registre de contrôle commandant SYSFAIL* est inclus sur les cartes de BUS CEI 821, prévoir un LED d'état sur le panneau avant de chaque carte pour indiquer l'état de son bit SYSFAIL*. Ainsi, si une défaillance du système est indiquée par la ligne de signal SYSFAIL*, une inspection visuelle aidera à déterminer quelle carte est en défaut.

REGLE 5.8:
SI une carte bus CEI 821 est conçue pour commander SYSFAIL*,
ALORS ils DOIVENT commander SYSFAIL* au niveau bas dans un délai de 50 ms après que SYSRESET* fut passé au niveau bas comme indiqué sur la figure 5-6.

AUTORISATION 5.4:
Une carte de BUS CEI 821 PEUT aussi commander SYSFAIL* au niveau bas à n'importe quel moment du fonctionnement normal pour indiquer qu'il détecte une défaillance.

IECNORM.COM : Click to view the full PDF of IEC 821:1984

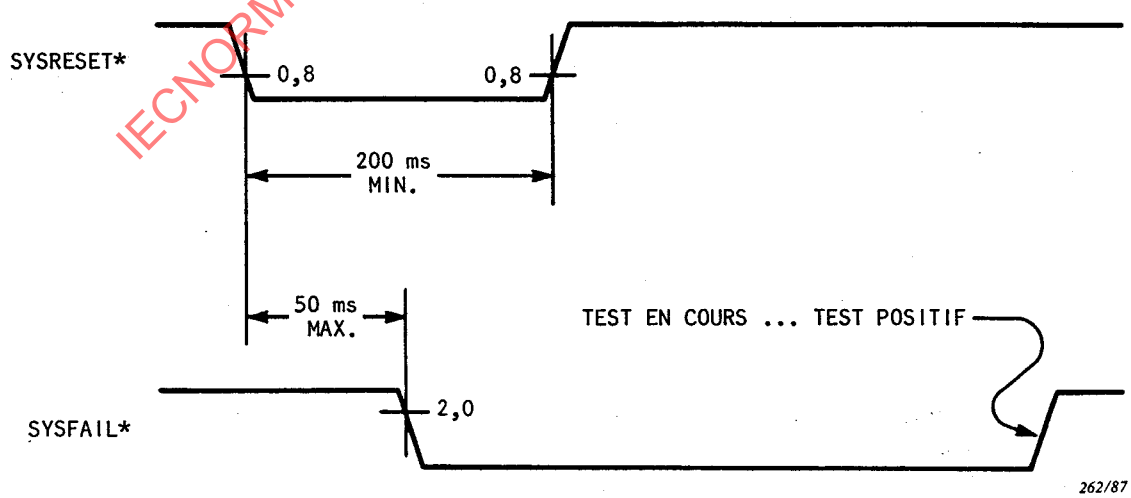


FIG. 5-6. - Chronogramme des signaux SYSRESET* et SYSFAIL*.

SYSFAIL* is an open collector line that is held low when the system is powered-up and remains low until system self-tests are complete (see Figure 5-6). The following applies:

SUGGESTION 5.1:
On intelligent MASTER boards, include a locally accessible control register bit that drives the board's SYSFAIL* pin low when power is first applied to the board. This permits the board's local intelligence to do a local self-test and release SYSFAIL* only if the self-test passes.

SUGGESTION 5.2:
Design non-intelligent boards with a globally accessible control register bit that is initialized to drive SYSFAIL* low. This allows an intelligent board on the IEC 821 BUS to first run a test on the non-intelligent board and then write to the register bit to release the board's SYSFAIL* driver.

SUGGESTION 5.3:
Where the SYSFAIL* control register bit is included on IEC 821 BUS boards, provide a status LED on the board's front panel to indicate the status of its SYSFAIL* bit. Then, if a system failure is indicated by the SYSFAIL* signal line, a visual inspection will help determine which board has failed.

RULE 5.8:
IF an IEC 821 BUS board is designed to drive SYSFAIL*,
THEN it MUST drive SYSFAIL* low within 50 ms after SYSRESET* goes low, as shown in Figure 5-6.

PERMISSION 5.4:
An IEC 821 BUS board MAY also drive SYSFAIL* low at any time during normal operation to indicate that it has detected some kind of failure.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

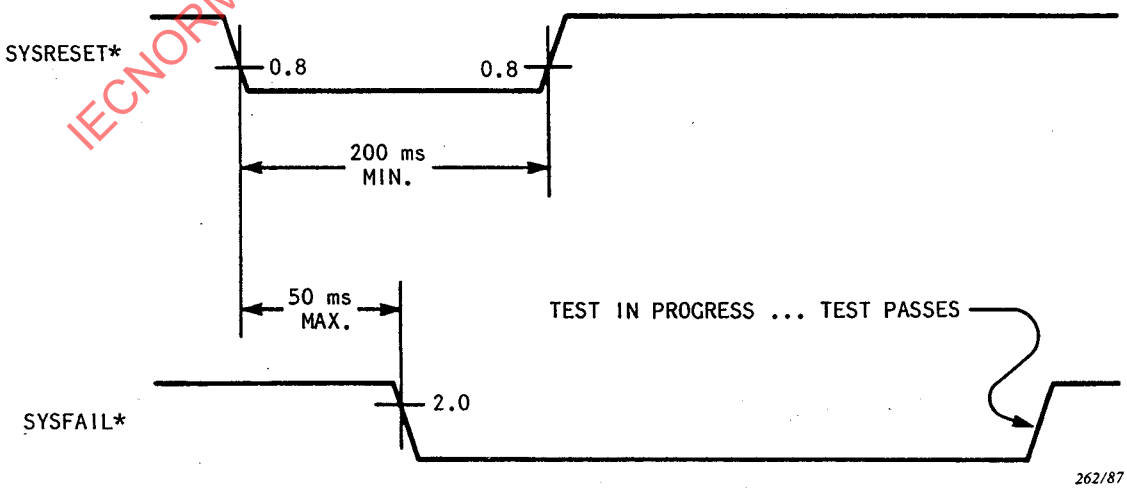


FIG. 5-6. - SYSRESET* and SYSFAIL* timing diagram.

5.5 *Broches d'alimentation*

La figure 5-7, page 378, donne la courbe du courant dans les broches d'alimentation du BUS CEI 821 en fonction de la température.

OBSERVATION 5.4:
Certaines broches de connecteurs ont une résistance de contact un peu plus élevée que d'autres lorsqu'elles sont enfichées dans le fond de panier. Cela produit un courant déséquilibré dans les broches parallèles. Supposons que deux broches parallèles transportent un courant total de 2 A. Si la résistance de contact sur l'une est de 1 mΩ et sur l'autre de 2 mΩ, une broche ne sera parcourue que par 0,67 A tandis que l'autre sera parcourue par 1,33 A!

REGLE 5.9:
Les broches du connecteur du BUS CEI 821 DOIVENT être capables de transporter au moins les courants indiqués par la courbe continue de la figure 5-7.

OBSERVATION 5.5:
Si une ou plusieurs broches d'alimentation ont une défaillance complète, tout le courant passe par les broches restantes. Par exemple, si la moitié des broches sont défaillantes, les broches restantes supporteront le double du courant normal. Selon l'intensité du courant, ces broches peuvent être endommagées.

SUGGESTION 5.4:
Lors de la conception d'une carte de BUS CEI 821 à consommation élevée, diviser la surface de la carte en zones alimentées par une grille d'alimentation séparée. Ne pas connecter ces grilles entre elles sur la carte de BUS CEI 821. Par contre, les connecter chacune à sa broche d'alimentation du BUS CEI 821.

OBSERVATION 5.6:
SI une carte de BUS CEI 821 double hauteur qui demande plus de puissance que son connecteur P_1 ne peut en fournir est enfichée dans un châssis contenant seulement un fond de panier J_1,
ALORS ses broches d'alimentation du connecteur P_1 seront surchauffées et pourront être endommagées.

5.6 *Ligne* RESERVEE

OBSERVATION 5.7:
Comme défini dans le chapitre 6, tableau 6-3, la ligne RESERVEE est continue sur le fond du panier.

REGLE 5.10:
La ligne RESERVEE est prévue pour une utilisation future et NE DOIT PAS être utilisée dans les développements de cartes de BUS CEI 821.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

5.5 *Power pins*

Figure 5-7, page 379, gives the current rating for the IEC 821 BUS power pins at various temperatures.

OBSERVATION 5.4:
Some connector pins have a slightly higher contact resistance than others when plugged into the backplane. This produces unbalanced current flow in pins which are paralleled. Suppose that two pins are paralleled and are carrying a total of 2 A of current. If the contact resistance on one is 1 mΩ and the other is 2 mΩ, then one pin will be carrying only 0.67 A while the other carries 1.33 A!

RULE 5.9:
IEC 821 BUS connector pins MUST be capable of at least carrying the currents shown by the solid line in Figure 5-7.

OBSERVATION 5.5:
If one or more power pins fail completely, all of the load current flows through the remaining pins. For example, if half of the pins fail, the remaining pins carry twice the normal current. Depending upon the load current, this might cause damage to these remaining good pins.

SUGGESTION 5.4:
When designing an IEC 821 BUS board with a high current load, divide the board's area into zones which are each powered by a separate power grid. Do not connect these grids to each other on the IEC 821 BUS board. Instead, connect each to its own IEC 821 BUS power pin.

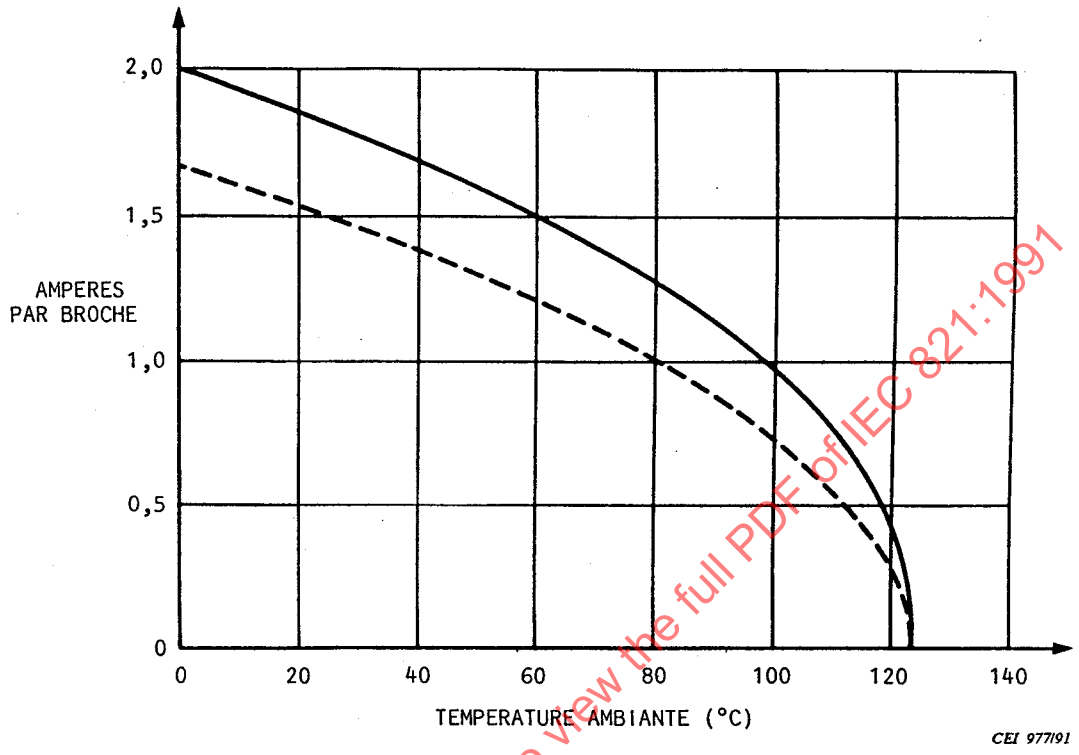
OBSERVATION 5.6:
IF a double height IEC 821 BUS board which draws more power than its P_1 connector can provide is plugged into a subrack which contains only a J_1 backplane,
THEN its P_1 power pins will overheat, and might be damaged.

5.6 RESERVED *line*

OBSERVATION 5.7:
As defined in Chapter 6, Table 6-3, the RESERVED line is terminated and bussed.

RULE 5.10:
The RESERVED line is set aside for future use and MUST NOT be used in any IEC 821 BUS board designs.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

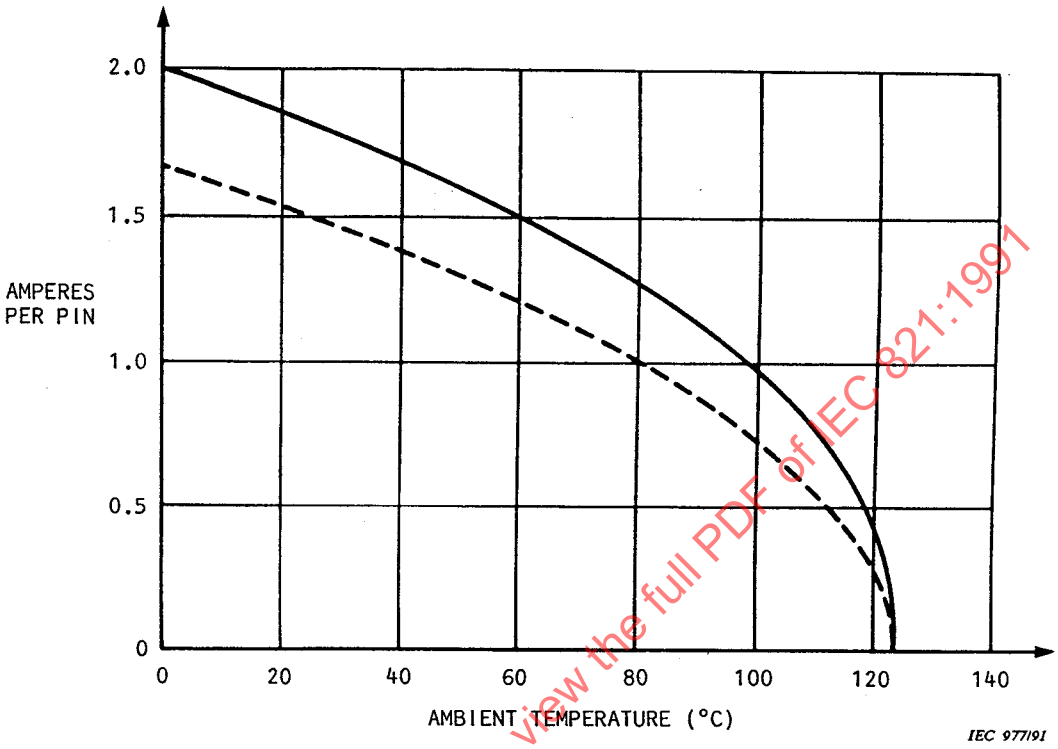


Note:
La courbe pointillée indique le courant qui peut être fourni par une broche de +5 V courant continu lorsque deux ou plusieurs broches sont connectées à une grille d'alimentation commune de la carte.

La courbe continue indique le courant qui peut être fourni par une broche de +5 V courant continu lorsque chacune de celles-ci est connectée à une grille séparée d'alimentation séparée de la carte.

FIG. 5-7. - Courant admissible dans les broches d'alimentation.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Note:
The dashed line shows the current that can be drawn per +5 V d.c. power pin where two or more pins are connected to a common on-board power grid.

The solid line shows the current that can be drawn per +5 V d.c. power pin where each pin is connected to a separate on-board power grid.

FIG. 5-7. - Current rating for power pins.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPITRE 6: SPECIFICATIONS ELECTRIQUES DU BUS CEI 821

6.1 *Introduction*

La transmission de données entre cartes de BUS CEI 821 telles que processeurs, mémoires et unités d'entrées/sorties a lieu à travers un ou deux fonds de panier suivant la conception. Les REGLES de ce chapitre assurent une chronologie correcte, un bruit minimal et minimisent les problèmes d'interférence sur les lignes de signaux du fond de panier. La conception des fonds de panier du BUS CEI 821 est basée sur les REGLES suivantes:

REGLE 6.1:
Les fonds de panier du BUS CEI 821 NE DOIVENT PAS avoir de pistes de signaux d'une longueur supérieure à 500 mm (19,68 in).

REGLE 6.2:
Les fonds de panier du BUS CEI 821 NE DOIVENT PAS avoir plus de 21 emplacements.

REGLE 6.3:
Pour les lignes qui exigent des adaptations (voir section 6.7), le fond de panier DOIT prévoir ces adaptations d'impédance aux deux extrémités de la ligne de signal.

REGLE 6.4:
Le fond de panier DOIT fournir des pistes d'alimentation pour la distribution de +5 V, +5 V STDBY, +12 V, et -12 V à toutes les broches d'alimentation spécifiées dans la section 7.6.

REGLE 6.5:
Le fond de panier DOIT fournir des connexions à toutes les broches de masse spécifiées dans la section 7.6.

AUTORISATION 6.1:
Les lignes de signaux du BUS CEI 821 sont normalement commandées par des émetteurs bipolaires mais n'importe quelle technologie conforme à cette norme PEUT être utilisée.

6.2 *Distribution du courant d'alimentation*

Le courant d'alimentation dans un système de BUS CEI 821 est distribué sur le ou les fonds de panier par des tensions continues régulées. Les tensions disponibles sont:

+5 V courant continu — C'est la source d'alimentation principale pour la plupart des systèmes de BUS CEI 821 dont la logique TTL, les microprocesseurs MOS et les mémoires nécessitent cette tension.

+/-12 V courant continu — Ces tensions sont souvent utilisées pour alimenter les émetteurs RS232C. Elles sont aussi utilisées parfois pour alimenter les dispositifs MOS et analogiques. Il arrive aussi qu'une tension de polarisation de -5 V courant continu ou des tensions ECL de -5,2 V courant continu soient dérivées de la source -12 V courant continu au moyen de régulateurs sur la carte. Habituellement, ces alimentations fournissent au

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPTER 6: IEC 821 BUS ELECTRICAL SPECIFICATIONS

6.1 *Introduction*

The transmission of data between IEC 821 BUS boards such as processors, memories and I/O devices takes place over one or two backplanes, depending on the design. The rules in this chapter ensure proper timing, minimal noise and minimal crosstalk problems on the backplane signal lines. The design of IEC 821 BUS backplanes is governed by the following RULES:

RULE 6.1:
IEC 821 BUS backplanes MUST NOT have any signal conductors longer than 500 mm (19.68 in).

RULE 6.2:
IEC 821 BUS backplanes MUST NOT have more than 21 slots.

RULE 6.3:
For those lines requiring termination (see Section 6.7), the backplane MUST provide some means for terminating them at both ends of the signal line.

RULE 6.4:
The backplane MUST provide power conductors for distribution of +5 V, +5 V STDBY, +12 V, and -12 V to all of the power pins specified in Section 7.6.

RULE 6.5:
The backplane MUST provide ground connections to all of the ground pins specified in Section 7.6.

PERMISSION 6.1:
IEC 821 BUS signal lines are normally driven by bipolar drivers, but any technology which complies with this standard MAY be used.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.2 *Power distribution*

Power in an IEC 821 BUS system is distributed on the backplane(s) as regulated direct current (d.c.) voltages. The available voltages are:

+ 5 V d.c.	This is the main power source for most IEC 821 BUS systems. Most of the system circuitry, including TTL logic, MOS microprocessors, and memories, requires this voltage.
+/- 12 V d.c.	These are often used for powering RS232C drivers. They are also sometimes used for powering MOS and analog devices. In some cases -5 V d.c. bias voltage or -5.2 V d.c. ECL voltages are also derived from the -12 V d.c. source using on-board regulators. These

système du BUS CEI 821 un courant inférieur à celui de la source +5 V courant continu.

+5 V courant continu STDBY Cette tension est utilisée pour maintenir la mémoire, les horloges du calendrier, etc., lorsque l'alimentation +5 V courant continu est défaillante.

6.2.1 *Spécifications des tensions courant continu*

Le tableau 6-1 résume les spécifications des tensions courant continu. Les spécifications données représentent l'écart maximal admis mesuré sur les broches du connecteur de n'importe laquelle des cartes enfichée dans le fond de panier.

RECOMMANDATION 6.1:
Concevoir et connecter les fonds de panier afin que le point de contrôle de la source d'alimentation soit situé près du centre du fond de panier et aussi près que possible du point où arrive l'alimentation dans le fond de panier.

OBSERVATION 6.1:
En plaçant le point de contrôle près du point d'entrée d'alimentation, on évite aux modules proches du point d'entrée d'alimentation de recevoir un niveau de tension trop élevé.

Tableau 6-1

Spécifications des tensions du bus

MNEMONIQUE	DESCRIPTION	ECART ADMIS (voir OBSERVATIONS)	ONDULATION/BRUIT AU-DESSOUS DE 10 MHz (Crête à crête)
+5 V	+5 V courant continu	+0,25 V/-0,125 V	50 mV
+12 V	Alimentation +12 V courant continu	+0,60 V/-0,36 V	50 mV
-12 V	Alimentation -12 V courant continu	-0,60 V/+0,36 V	50 mV
+5 V STDBY	+5 V courant continu veille	+0,25 V/-0,125 V	50 mV
GND	Masse	REFERENCE	

OBSERVATION 6.2:
Les écarts non symétriques donnés dans le tableau 6-1 garantissent que l'alimentation courant continu reste dans les tolérances demandées par la plupart des circuits intégrés malgré les baisses normales de tension dans le réseau de distribution d'alimentation.

OBSERVATION 6.3:
La puissance consommée par certains systèmes varie dans une large gamme pendant le fonctionnement normal du système. Par exemple, le rafraîchissement de la mémoire dynamique peut provoquer de grandes variations si une grande partie de la mémoire est rafraîchie en une fois. Dans ce cas le temps de réponse du système de distribution de la tension devient important.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

supplies normally don't supply as much power to the IEC 821 BUS system as the +5 V d.c. source does.

+5 V d.c. STDBY
This is used to sustain memory, time-of-day clocks, etc., when the +5 V d.c. power is lost.

6.2.1 *D.C. voltage specifications*

Table 6-1 summarizes the d.c. voltage specifications. The listed specifications are the maximum allowed variance as measured at the connector pins of any card plugged into the backplane.

RECOMMENDATION 6.1:
Design and connect backplanes so that the power supply sense point is located somewhere near the center of the backplane, and as close as possible to the point where power is introduced into the backplane.

OBSERVATION 6.1:
Placing the power supply sense point near the power input point prevents boards near the power input point from receiving too high a voltage.

Table 6-1

Bus voltage specifications

MNEMONICS	DESCRIPTION	ALLOWED VARIATION (see OBSERVATIONS)	RIPPLE/NOISE BELOW 10 MHz (Peak-to-peak)
+5 V	+5 V d.c.	+0.25 V/-0.125 V	50 mV
+12 V	+12 V d.c. power	+0.60 V/-0.36 V	50 mV
-12 V	-12 V d.c. power	-0.60 V/+0.36 V	50 mV
+5 V STDBY	+5 V d.c. standby	+0.25 V/-0.125 V	50 mV
GND	Ground	REFERENCE	

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 6.2:
The non-symmetric variation given in Table 6-1 ensures that the d.c. power remains within the tolerance required by most ICs despite the typical voltage drops that occur in the power distribution network.

OBSERVATION 6.3:
The power consumed by some systems fluctuates over a wide range during normal system operation. For example, dynamic memory refreshing might cause significant fluctuations if large amounts of memory are refreshed at one time. In this case, the response time of the voltage distribution system becomes important.

RECOMMANDATION 6.2:
Utiliser un condensateur de découplage sur les cartes de BUS CEI 821 pour minimiser les effets des transitoires d'alimentation.

6.2.2 *Caractéristiques électriques des broches et supports des connecteurs*

REGLE 6.6:
Le connecteur 96 broches utilisé par le BUS CEI 821 DOIT avoir les caractéristiques suivantes:

- Tension d'isolement: ≥ 100 V courant continu de broche à broche.
- Résistance de contact: ≤ 50 mΩ pour le courant nominal.
- Résistance d'isolement: ≥ 100 MΩ de broche à broche.

OBSERVATION 6.17:
Le matériau utilisé pour les connecteurs peut varier quant à sa constante diélectrique, et par là-même quant à sa susceptibilité à la diaphonie.

SUGGESTION 6.9:
Utiliser des connecteurs qui sont faits de matériaux qui minimisent la diaphonie.

6.3 *Caractéristiques électriques des signaux*

REGLE 6.7:
Les cartes de BUS CEI 821 NE DOIVENT pas commander de ligne de signal du fond de panier à un niveau permanent supérieur au plus haut niveau d'alimentation des broches +5 V ou inférieur au plus bas niveau des broches de masse.

REGLE 6.8:
Les cartes de BUS CEI 821 DOIVENT utiliser des émetteurs et des récepteurs qui correspondent aux caractéristiques suivantes:

- Niveau de sortie bas de l'émetteur en régime permanent ≤ 0,6 V.
- Niveau d'entrée bas du récepteur en régime permanent ≤ 0,8 V.
- Niveau de sortie haut de l'émetteur en régime permanent ≥ 2,4 V.
- Niveau d'entrée haut du récepteur en régime permanent ≥ 2,0 V.

La figure 6-1 donne une représentation graphique simple de ces niveaux.

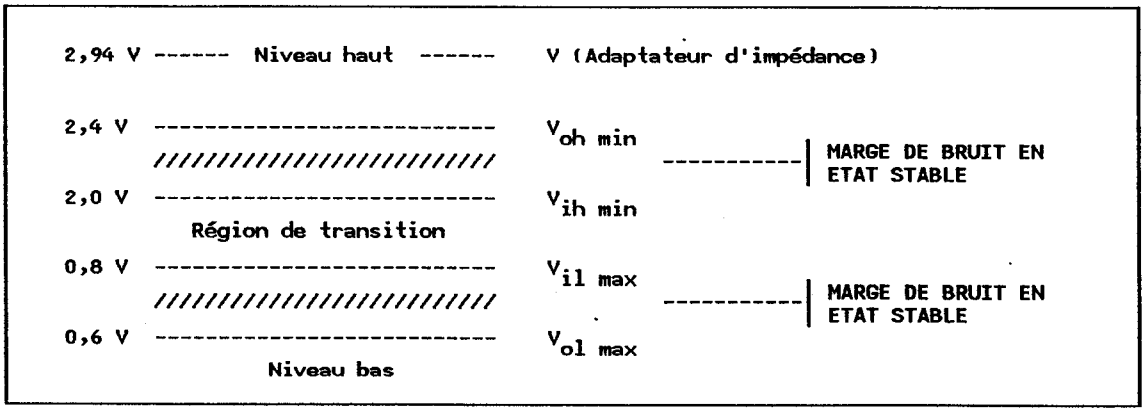


FIG. 6-1. - Niveaux des signaux du BUS CEI 821.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

RECOMMENDATION 6.2:
Use bypass capacitors on IEC 821 BUS boards to minimize the effects of power transient.

6.2.2 *Pin and socket connector electrical ratings*

RULE 6.6:
The 96-pin connector used by the IEC 821 BUS MUST provide the following:

- Voltage rating: ≥ 100 V d.c., isolation pin to pin.
- Contact resistance: ≤ 50 mΩ, at rated current.
- Insulation resistance: ≥ 100 MΩ, pin to pin.

OBSERVATION 6.17:
Connector molding materials vary in their dielectric permittivity, and thus, in their susceptibility to crosstalk.

SUGGESTION 6.9:
Use connectors that have molding material that minimizes crosstalk.

6.3 *Electrical signal characteristics*

RULE 6.7:
IEC 821 BUS boards MUST NOT drive any backplane signal line to a higher steady-state voltage than the highest voltage on any of its +5 V power pins, or to a lower steady-state voltage than the lowest voltage on any of its groundpins.

RULE 6.8:
IEC 821 BUS boards MUST use drivers and receivers that meet the following characteristics:

- Steady-state driver low output level ≤ 0.6 V.
- Steady-state receiver low input level ≤ 0.8 V.
- Steady-state driver high output level ≥ 2.4 V.
- Steady-state receiver high input level ≥ 2.0 V.

Figure 6.1 gives a simple graphic representation of these levels.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

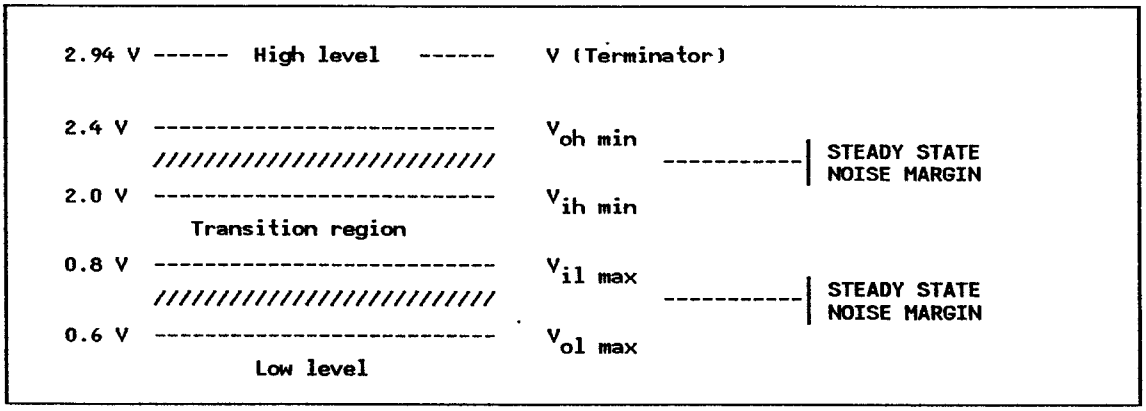


FIG. 6-1. - IEC 821 BUS signal levels.

Les cartes de BUS CEI 821 commandent les lignes du fond de panier par des circuits à trois états, des collecteurs ouverts et des émetteurs "totem-pole". La section 6.4 spécifie les contraintes de commande et de charge pour les différentes lignes de signaux. La section 6.7 résume les types d'émetteurs utilisés pour commander chaque ligne de signal.

REGLE 6.9:
Si l'on mesure les seuils de tension sur une carte de BUS CEI 821 pour vérifier la conformité avec les spécifications de temps, la référence de masse DOIT être prise sur la broche de masse de la carte la plus proche de la broche de signal où s'effectue la mesure, et le signal de tension DOIT être mesuré à la broche du connecteur de la carte.

6.4 *Spécifications de commande et de réception du bus*

Cette section définit les spécifications des émetteurs et des récepteurs pour toutes les lignes de signaux du BUS CEI 821. Le tableau 6-2 donne tous les signaux et indique les paragraphes qui les décrivent.

Tableau 6-2

Spécifications de commande et de réception du bus

NOM DU SIGNAL	PARAGRAPHE 6.4.2.x
A01-A31	2
ACFAIL*	5
AM0-AM5	2
AS*	1
BBSY*	5
BCLR*	3
BERR*	5
BG0OUT*-BG3OUT*	4
BR0*-BR3*	5
D00-D31	2
DS0*	1
DS1*	1
DTACK*	5
IACK*	2, 5
IACKOUT*	4
IRQ1*-IRQ7*	5
LWORD*	2
SERCLK	3
SYSCLK	3
SYSFAIL*	5
SYSRESET*	5
WRITE*	2

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.4.1 *Définitions des circuits de commande du bus*

Les circuits de commande type "totem-pole", trois états et à collecteur ouvert sont définis comme suit:

"Totem-pole" - Circuit de commande actif aux deux niveaux qui absorbe du courant au niveau bas et en fournit au niveau haut. Les circuits de commande totem-pole sont utilisés pour les signaux ayant un seul circuit de commande par ligne (par exemple les lignes de chaîne de reconnaissance).

IEC 821 BUS boards drive the backplane lines with three-state, open collector, and totem-pole drivers. Section 6.4 specifies the drive and loading requirements for the various signal lines. Section 6.7 provides a summary, showing which types of drivers are used to drive each signal line.

RULE 6.9:
When making voltage threshold measurements on an IEC 821 BUS board to verify compliance with timing specifications, the ground reference MUST be taken from the board's ground pin nearest the signal pin being measured, and the signal voltage MUST be measured on the board's connector pin.

6.4 *Bus driving and receiving requirements*

This section defines the driver and receiver specifications for all IEC 821 BUS signal lines. Table 6-2 lists all of the signals and shows which of the following paragraphs discusses it.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 6-2

Bus driving and receiving requirements

SIGNAL NAME	PARAGRAPH 6.4.2.x
A01-A31	2
ACFAIL*	5
AM0-AM5	2
AS*	1
BBSY*	5
BCLR*	3
BERR*	5
BG0OUT*-BG3OUT*	4
BR0*-BR3*	5
D00-D31	2
DS0*	1
DS1*	1
DTACK*	5
IACK*	2, 5
IACKOUT*	4
IRQ1*-IRQ7*	5
LWORD*	2
SERCLK	3
SYSCLK	3
SYSFAIL*	5
SYSRESET*	5
WRITE*	2

6.4.1 *Bus driver definitions*

Totem-pole, three-state, and open-collector drivers are defined as follows:

Totem-pole - An active driver in both states which sinks current in the low state and sources current in the high state. Totem-pole drivers are used on signals having only a single driver per line (e.g. daisy-chain lines).

Trois états - Identique à un circuit de commande "totem-pole", excepté qu'il peut être mis dans un état haute impédance (circuit de commande déconnecté) en plus des états logiques haut et bas. Les circuits de commande trois états sont utilisés sur les lignes qui peuvent être commandées par plusieurs dispositifs en différents points du bus (par exemple les lignes d'adresse ou de données). Il ne peut y avoir qu'un seul de ces circuits de commande actifs à un instant donné.

Collecteur ouvert - Absorbe du courant au niveau bas mais ne fournit pas de courant significatif au niveau haut. Les résistances d'adaptation d'impédance sur le fond de panier garantissent que la tension de la ligne de signal est au niveau haut chaque fois qu'elle n'est pas commandée. Les circuits de commande à collecteur ouvert sont utilisés sur les lignes de signaux qui peuvent être commandées simultanément par plusieurs dispositifs (par exemple lignes de demande d'interruption et de demande du bus).

6.4.2 *REGLES pour commander et charger toutes les lignes de signaux du BUS CEI 821*

REGLE 6.10:
Toutes les cartes de BUS CEI 821 DOIVENT fournir, sur chaque ligne de signal du BUS CEI 821 qu'elles contrôlent, une limitation qui empêche des dépassements négatifs en dessous de -1,5 V.

OBSERVATION 6.4:
Les dispositifs standards 74LSxxx et 74Fxxx ont des diodes de limitation interne sur leurs entrées qui satisferont la limitation spécifiée par la REGLE 6.10.

REGLE 6.11:
Les récepteurs du BUS CEI 821 DOIVENT garantir la détection d'un niveau logique haut au-dessus du seuil de 2,0 V, comme indiqué sur la figure 6-1, page 384.

REGLE 6.12:
Les récepteurs du BUS CEI 821 DOIVENT garantir la détection d'un niveau logique bas au-dessous du seuil de 0,8 V, comme indiqué sur la figure 6-1.

AUTORISATION 6.2:
Un circuit de commande trois états PEUT être utilisé comme un circuit de commande "totem-pole" si sa sortie est active en permanence.

6.4.2.1 *REGLES pour commander et charger les lignes de signaux trois états à courant élevé*

(AS*, DS0*, DS1*)

REGLE 6.13:
SI une carte de BUS CEI 821 commande les lignes AS*, DS0* ou DS1*,
ALORS les émetteurs sur ces lignes DOIVENT satisfaire aux spécifications suivantes:

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Three-state - Similar to a totem-pole driver except that it can go to a high impedance state (drivers turned off) in addition to the low and high logic states. Three-state drivers are used for lines that can be driven by several devices at different points on the bus (e.g. address or data lines). Only one of these drivers can be active at any one time.

Open-collector - Sinks current in the low state but sources no significant current in the high state. Terminating resistors on the backplane ensure that the signal line voltage rises to a high level whenever it is not driven low. Open-collector drivers are used for signal lines which can be driven by several devices simultaneously (e.g. interrupt and bus request lines).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.4.2 *Driving and loading RULES for all IEC 821 BUS lines*

RULE 6.10:
All IEC 821 BUS boards MUST provide clamping on each IEC 821 BUS signal line that it monitors to prevent negative excursions below -1.5 V.

OBSERVATION 6.4:
Standard 74LSxxx and 74Fxxx devices have internal clamping diodes on their inputs that will satisfy the clamping requirement specified in RULE 6.10.

RULE 6.11:
IEC 821 BUS receivers MUST guarantee detection of a high logic level above a threshold of 2.0 V, as shown in Figure 6-1, page 385.

RULE 6.12:
IEC 821 BUS receivers MUST guarantee detection of a low logic level below a threshold of 0.8 V, as shown in Figure 6-1.

PERMISSION 6.2:
A three-state driver MAY be used as a totem-pole driver if its output is permanently enabled.

6.4.2.1 *Driving and loading RULES for high current three-state lines* (AS*, DS0*, DS1*)

RULE 6.13:
IF an IEC 821 BUS board drives the lines AS*, DS0* or DS1*,
THEN its drivers for these lines MUST meet the following specifications:

- Courant absorbé au niveau bas: IOL ≥ 64 mA.
- Tension au niveau bas: VOL ≤ 0,6 V à IOL = 64 mA.
- Courant de source au niveau haut: IOH ≥ 3 mA.
- Tension au niveau haut: VOH ≥ 2,4 V à IOH = 3 mA.
- Courant minimal de la source avec une broche de la carte à la masse: IOS ≥ 50 mA à 0 V.
- Courant maximal de la source avec une broche de la carte à la masse: IOS ≤ 225 mA à 0 V.

REGLE 6.14:
Lorsque les émetteurs sont à l'état haute impédance, les cartes de BUS CEI 821 DOIVENT limiter leur charge sur les lignes AS*, DS0* et DS1* aux valeurs suivantes:

- Courant produit par la carte à 0,6 V, incluant le courant de fuite: IOZL + IIL ≤ 450 µA.
- Courant absorbé par la carte à 2,4 V, incluant le courant de fuite: IOZH + IIH ≤ 100 µA.
- Charge capacitive totale sur le signal incluant la piste du signal: CT ≤ 20 pF.

OBSERVATION 6.5:
Les courants fournis et absorbés indiqués dans les REGLES 6.13 et 6.14 incluent les courants fournis et absorbés par les émetteurs et les récepteurs sur la carte.

SUGGESTION 6.1:
Utiliser les dispositifs 74S241 ou 74F241/244 comme émetteur sur les lignes AS*, DS0* et DS1*.

Utiliser les dispositifs 74LS240, 74LS241 ou 74LS244 comme récepteur sur les lignes AS*, DS0* et DS1*.

6.4.2.2 *REGLES pour commander et charger les lignes de signaux trois états standards*

(A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*)

REGLE 6.15:
SI une carte de BUS CEI 821 commande les lignes A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* ou WRITE*,
ALORS les émetteurs sur ces lignes DOIVENT satisfaire aux spécifications suivantes:

- Courant absorbé au niveau bas: IOL ≥ 48 mA.
- Tension au niveau bas: VOL ≤ 0,6 V à IOL = 48 mA.
- Courant de source au niveau haut: IOH ≥ 3 mA.
- Tension au niveau haut: VOH ≥ 2,4 V à IOH = 3 mA.
- Courant minimal de la source avec une broche de la carte à la masse: IOS ≥ 50 mA à 0 V.
- Courant maximal de la source avec une broche de la carte à la masse: IOS ≤ 225 mA à 0 V.

REGLE 6.16:
Lorsque les émetteurs sont à l'état haute impédance, les cartes de BUS CEI 821 DOIVENT limiter leur charge sur les lignes A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* et WRITE* aux valeurs suivantes:

IECNORM.COM: Click to view the full PDF of IEC 821:1991

- Low state sink current: IOL ≥ 64 mA.
- Low state voltage: VOL ≤ 0.6 V at IOL = 64 mA.
- High state source current: IOH ≥ 3 mA.
- High state voltage: VOH ≥ 2.4 V at IOH = 3 mA.
- Minimum source current with board pin grounded: IOS ≥ 50 mA at 0 V.
- Maximum source current with board pin grounded: IOS ≤ 225 mA at 0 V.

RULE 6.14:
When drivers are turned off, IEC 821 BUS boards MUST limit their loading of the lines AS*, DS0* and DS1* to the following values:

- Current sourced by board at 0.6 V, including leakage current: IOZL + IIL ≤ 450 µA.
- Current sunk by board at 2.4 V, including leakage current: IOZH + IIH ≤ 100 µA.
- Total capacitive load on signal, including signal trace: CT ≤ 20 pF.

OBSERVATION 6.5:
The source and sink currents listed in RULES 6.13 and 6.14 include both driver and receiver currents sourced and sunk on the board.

SUGGESTION 6.1:
Use 74S241 or 74F241/244 devices to drive the lines AS*, DS0* and DS1*.

Use 74LS240, 74LS241, or 74LS244 devices to receive the lines AS*, DS0* and DS1*.

6.4.2.2 *Driving and loading RULES for standard three-state lines*
(A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*)

RULE 6.15:
IF an IEC 821 BUS board drives the lines A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* or WRITE*,
THEN its drivers for these lines MUST meet the following specifications:

- Low state sink current: IOL ≥ 48 mA.
- Low state voltage: VOL ≤ 0.6 V at IOL = 48 mA.
- High state source current: IOH ≥ 3 mA.
- High state voltage: VOH ≥ 2.4 V at IOH = 3 mA.
- Minimum source current with board pin grounded: IOS ≥ 50 mA at 0 V.
- Maximum source current with board pin grounded: IOS ≤ 225 mA at 0 V.

RULE 6.16:
When drivers are turned off, IEC 821 BUS boards MUST limit their loading of the lines A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, and WRITE* to the following values:

IECNORM.COM : Click to view the full PDF of IEC 821:1991

- Courant produit par la carte à 0,6 V incluant le courant de fuite: IOZL + IIL ≤ 700 µA.
- Courant absorbé par la carte à 2,4 V, incluant le courant de fuite: IOZH + IIH ≤ 150 µA.
- Charge capacitive totale sur le signal incluant la piste du signal: CT ≤ 20 pF.

OBSERVATION 6.6:
Les courants fournis et absorbés spécifiés dans les REGLES 6.15 et 6.16 incluent les courants fournis et absorbés par les émetteurs et les récepteurs sur la carte.

SUGGESTION 6.2:
Utiliser les dispositifs 74ALS645-1, 74F244, 74AS573 ou 74AS580 comme émetteur sur les lignes A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* et WRITE*.

Utiliser les dispositifs 74LS240, 74LS241 ou 74LS244 comme récepteur sur les lignes A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* et WRITE*.

Utiliser les dispositifs 74ALS645-1, 74ALS245A-1, 74ALS646-1 ou 74ALS648-1 pour émettre et recevoir sur les lignes A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* et WRITE*.

6.4.2.3 *REGLES pour commander et charger les lignes "totem-pole" à courant élevé*

(SERCLK, SYSCLK, BCLR*)

REGLE 6.17:
Les systèmes du BUS CEI 821 DOIVENT avoir seulement une seule carte commandant chacune des lignes SERCLK, SYSCLK ou BCLR*. Les émetteurs sur ces lignes DOIVENT satisfaire aux spécifications suivantes.

- Courant absorbé au niveau bas: IOL ≥ 64 mA.
- Tension au niveau bas: VOL ≤ 0,6 V à IOL = 64 mA.
- Courant de source au niveau haut: IOH ≥ 3 mA.
- Tension au niveau haut: VOH ≥ 2,4 V à IOH = 3 mA.
- Courant minimal de la source avec une broche de la carte à la masse: IOS ≥ 50 mA à 0 V.
- Courant maximal de la source avec une broche de la carte à la masse: IOS ≤ 255 mA à 0 V.

REGLE 6.18:
Toutes les cartes de BUS CEI 821 DOIVENT limiter leur charge sur les lignes SERCLK, SYSCLK et BCLR* aux valeurs suivantes:

- Courant produit par la carte à 0,6 V, incluant le courant de fuite: IOZL + IIL ≤ 600 µA.
- Courant absorbé par la carte à 2,4 V incluant le courant de fuite: IOZH + IIH ≤ 50 µA.
- Charge capacitive totale sur le signal, incluant la piste de signal pour le contrôleur de système (avec émetteurs): CT ≤ 20 pF.
- Charge capacitive totale sur le signal, incluant la piste de signal pour toutes les autres cartes (sans émetteur): CT ≤ 12 pF.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

- Current sourced by board at 0.6 V, including leakage current: IOZL + IIL ≤ 700 µA.
- Current sunk by board at 2.4 V, including leakage current: IOZH + IIH ≤ 150 µA.
- Total capacitive load on signal, including signal trace: CT ≤ 20 pF.

OBSERVATION 6.6:
The source and sink currents specified in RULES 6.15 and 6.16 include both driver and receiver currents sourced and sunk on the board.

SUGGESTION 6.2:
Use 74ALS645-1, 74F244, 74AS573, or 74AS580 devices to drive the lines A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* and WRITE*.

Use 74LS240, 74LS241, or 74LS244 devices to receive the lines A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* and WRITE*.

Use 74ALS645-1, 74ALS245A-1, 74ALS646-1, or 74ALS648-1 devices to transceive the lines A01-A31, D00-D31, AM0-AM5, IACK*, LWORD* and WRITE*.

6.4.2.3 *Driving and loading RULES for high current totem-pole lines* (SERCLK, SYSCLK, BCLR*)

RULE 6.17:
IEC 821 BUS systems MUST have only one board driving each of the lines SERCLK, SYSCLK or BCLR*. Its drivers for these lines MUST meet the following specifications:

- Low state sink current: IOL ≥ 64 mA.
- Low state voltage: VOL ≤ 0.6 V at IOL = 64 mA.
- High state source current: IOH ≥ 3 mA.
- High state voltage: VOH ≥ 2.4 V at IOH = 3 mA.
- Minimum source current with board pin grounded: IOS ≥ 50 mA at 0 V.
- Maximum source current with board pin grounded: IOS ≤ 255 mA at 0 V.

RULE 6.18:
All IEC 821 BUS boards MUST limit their loading of the lines SERCLK, SYSCLK and BCLR* to the following values:

- Current sourced by board at 0.6 V including leakage current: IOZL + IIL ≤ 600 µA.
- Current sunk by board at 2.4 V, including leakage current: IOZH + IIH ≤ 50 µA.
- Total capacitive load on signal, including signal trace, for system controllers (which have drivers): CT ≤ 20 pF.
- Total capacitive load on signal, including signal trace, for other boards (which have no drivers): CT ≤ 12 pF.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 6.7:
Les courants fournis et absorbés spécifiés dans les REGLES 6.17 et 6.18 incluent les courants fournis et absorbés par les émetteurs et les récepteurs sur la carte.

SUGGESTION 6.3:
Utiliser les dispositifs 74S241 ou 74F241/244 comme émetteur sur les lignes SERCLK, SYSCLK et BCLR*.

Utiliser les dispositifs 74LS240, 74LS241 ou 74LS244 comme récepteur sur les lignes SERCLK, SYSCLK et BCLR*.

6.4.2.4 *REGLES pour commander et charger les lignes "totem-pole" standards*

(BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*)

REGLE 6.19:
SI une carte de BUS CEI 821 commande les lignes BG0OUT*-BG3OUT*/BG0IN*-BG3IN* ou IACKOUT*/IACKIN*
ALORS les émetteurs sur ces lignes DOIVENT satisfaire aux spécifications suivantes:

- Courant absorbé au niveau bas: IOL ≥ 8 mA.
- Tension au niveau bas: VOL ≤ 0,6 V à IOL = 8 mA.
- Courant de source au niveau haut: IOH ≥ 400 µA.
- Tension au niveau haut: VOH ≥ 2,7 V à IOH = 400 µA.

REGLE 6.20:
Toutes les cartes de BUS CEI 821 DOIVENT limiter leur charge sur les lignes BG0OUT*-BG3OUT*/BG0IN*-BG3IN* et IACKOUT*/IACKIN* aux valeurs suivantes:

- Courant produit par la carte à 0,6 V incluant le courant de fuite: IOZL + IIL ≤ 600 µA.
- Courant absorbé par la carte à 2,4 V, incluant le courant de fuite: IOZH + IIH ≤ 50 µA.
- Charge capacitive totale sur le signal incluant la piste du signal: CT ≤ 20 pF.

OBSERVATION 6.8:
Les courants fournis et absorbés dans les REGLES 6.19 et 6.20 incluent les courants fournis et absorbés par les émetteurs et les récepteurs sur la carte.

SUGGESTION 6.4:
Utiliser n'importe quel dispositif standard qui satisfasse aux spécifications ci-dessus comme émetteur sur les lignes BG0OUT*-BG3OUT*/BG0IN*-BG3IN* et IACKOUT*/IACKIN*.

Utiliser les dispositifs 74LS240, 74LS241 ou 74LS244 comme récepteur sur les lignes BG0OUT*-BG3OUT*/BG0IN*-BG3IN* et IACKOUT*/IACKIN*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 6.7:
The source and sink currents specified in RULES 6.17 and 6.18 include both driver and receiver currents sourced and sunk on the board.

SUGGESTION 6.3:
Use 74S241 or 74F241/244 devices to drive the lines SERCLK, SYSCLK and BCLR*.

Use 74LS240, 74LS241, or 74LS244 devices to receive the lines SERCLK, SYSCLK and BCLR*.

6.4.2.4 *Driving and loading RULES for standard totem-pole lines*
(BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*)

RULE 6.19:
IF an IEC 821 BUS board drives the lines BG0OUT*-BG3OUT*/-BG0IN*-BG3IN* or IACKOUT*/IACKIN*,
THEN its drivers for these lines MUST meet the following specifications:

- Low state sink current: IOL ≥ 8 mA.
- Low state voltage: VOL ≤ 0.6 V at IOL = 8 mA.
- High state source current: IOH ≥ 400 µA.
- High state voltage: VOH ≥ 2.7 V at IOH = 400 µA.

RULE 6.20:
All IEC 821 BUS boards MUST limit their loading of each of the lines BG0OUT*-BG3OUT*/BG0IN*-BG3IN* and IACKOUT*/IACKIN* to the following values:

- Current sourced by board at 0.6 V, including leakage current: IOZL + IIL ≤ 600 µA.
- Current sunk by board at 2.4 V, including leakage current: IOZH + IIH ≤ 50 µA.
- Total capacitive load on signal, including signal trace: CT ≤ 20 pF.

OBSERVATION 6.8:
The source and sink currents specified in RULES 6.19 and 6.20 include both driver and receiver currents sourced and sunk on the board.

SUGGESTION 6.4:
Use any standard device that meets the specifications above to drive the lines BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*.

Use 74LS240, 74LS241, or 74LS244 devices to receive the lines BG0OUT*-BG3OUT*/BG0IN*-BG3IN* and IACKOUT*/IACKIN*.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.4.2.5 *REGLES pour commander et charger les lignes à collecteur ouvert (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*)*

REGLE 6.21:
SI une carte de BUS CEI 821 commande les lignes BR0*-BR3*, BBSY*, IRQ1*-IRQ7* DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL* ou IACK*.
ALORS les émetteurs sur ces lignes DOIVENT satisfaire les spécifications suivantes:

- Courant absorbé au niveau bas: IOL ≥ 48 mA.
- Tension de sortie au niveau bas: VOL ≤ 0,6 V à IOL = 48 mA.

REGLE 6.22:
Toutes les cartes de BUS CEI 821 DOIVENT limiter leur charge sur les lignes BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL* et IACK* aux valeurs suivantes:

- Courant produit par la carte à 0,6 V, incluant le courant de fuite: IOZL + IIL ≤ 400 µA. (DTACK* et BERR*) IOZL + IIL ≤ 600 µA (tous les autres signaux).
- Courant absorbé par la carte à 2,4 V, incluant le courant de fuite: IOZH + IIH ≤ 50 µA.
- Charge capacitive totale sur le signal, incluant la piste de signal: CT ≤ 20 pF.

OBSERVATION 6.9:
Les courants absorbés spécifiés dans les REGLES 6.21 et 6.22 incluent les courants fournis et absorbés par les émetteurs et les récepteurs sur la carte.

SUGGESTION 6.5:
Utiliser les dispositifs 74S38 comme émetteur sur les lignes BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, ACFAIL* et IACK*.

Utiliser les dispositifs 74LS240, 74LS241 ou 74LS244 comme récepteur sur les lignes BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL* et IACK*.

SUGGESTION 6.6:
Puisque la plupart des émetteurs TTL ne fonctionnent pas d'une manière fiable lorsque la source d'alimentation +5 V est hors spécification, commander SYSRESET* dans le module CONTROLEUR D'ALIMENTATION avec un émetteur construit à partir d'un transistor discret de faible signal et grand gain.

6.5 *Interconnexions des lignes de signaux du fond de panier*

Le BUS CEI 821 est un système d'interface à haute performance. Sa conception tient compte des effets de ligne de transmission sur le fond de panier. Les temps d'établissement des adresses et des données spécifiés dans les chapitres 2 et 4 tiennent compte du fait que les

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.4.2.5 *Driving and loading RULES for open-collector lines*

(BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*)

RULE 6.21:
IF an IEC 821 BUS board drives the lines BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL* or IACK*.
THEN its drivers for these lines MUST meet the following specifications:

- Low state sink current: $I_{OL} \geq 48$ mA.
- Low state voltage: $V_{OL} \leq 0.6$ V at $I_{OL} = 48$ mA.

RULE 6.22:
All IEC 821 BUS boards MUST limit their loading of each of the lines BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL* and IACK* to the following values.

- Current sourced by board at 0.6 V, including leakage current: $I_{OZL} + I_{IL} \leq 400$ µA (DTACK* and BERR*). $I_{OZL} + I_{IL} \leq 600$ µA (all others).
- Current sunk by board at 2.4 V, including leakage current: $I_{OZH} + I_{IH} \leq 50$ µA.
- Total capacitive load on signal, including signal trace: $C_T \leq 20$ pF.

OBSERVATION 6.9:
The sink current specified in RULES 6.21 and 6.22 includes both driver and receiver currents sourced and sunk on the board.

SUGGESTION 6.5:
Use 74S38 devices to drive the lines BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, ACFAIL* and IACK*.

Use 74LS240, 74LS241, or 74LS244 devices to receive the lines BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL* and IACK*.

SUGGESTION 6.6:
Since most TTL drivers do not work reliably when the +5 V power source is out of specification, on a POWER MONITOR module, drive SYSRESET* with a driver built from a discrete high-gain small signal transistor.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.5 *Backplane signal line interconnections*

The IEC 821 BUS is a high performance interface system. Its design takes into account transmission line effects on the backplane. The address and data set-up times specified in Chapters 2 and 4 take into account the fact that most drivers available today do not reliably drive

émetteurs disponibles aujourd'hui ne commandent pas correctement les lignes de signaux du fond de panier de leur niveau bas à leur niveau haut sans qu'une réflexion à l'extrémité du bus ne se produise. Bien que ces réflexions soient inévitables, elles ne doivent pas être excessives sinon des oscillations pourraient se produire. Les paragraphes suivants spécifient les caractéristiques du fond de panier pour obtenir les résultats désirés.

6.5.1 *Réseaux d'adaptation d'impédance*

REGLE 6.23:
Des adaptateurs DOIVENT être utilisés à chaque extrémité de toutes les lignes de signaux du BUS CEI 821, sauf pour les lignes de chaîne série.

OBSERVATION 6.10:
Les adaptateurs dans le BUS CEI 821 ont quatre objectifs:

- Réduire les réflexions des extrémités du fond de panier.
- Fournir une résistance de rappel au niveau haut pour les circuits de commande à collecteur ouvert.
- Restituer les lignes de signaux au niveau haut quand les dispositifs trois états sont hors service.
- Fournir un courant de maintien pour commuter le transistor de drainage du circuit de commande, aidant à commuter les lignes de transmission sur des transitions positives.

L'équivalent Thévenin de l'adaptateur d'impédance est donné sur la figure 6-2, page 400. Le diviseur de tension, également donné, fournit les valeurs de l'adaptateur.

OBSERVATION 6.11:
Si une tolérance maximale de ±5% est admise sur les valeurs de résistances et de tensions de source utilisées dans le réseau de résistances représenté à la figure 6-2 ce réseau satisfera aux tolérances permises par l'équivalent Thévenin.

OBSERVATION 6.12:
Le réseau de résistances indiqué par la figure 6-2 présente l'impédance équivalente Thévenin seulement si la source +5 V est découplée à la masse de façon satisfaisante par un condensateur de découplage.

RECOMMANDATION 6.3:
Prévoir un condensateur de découplage d'une valeur comprise entre 0,01 µF à 0,1 µF aussi près que possible de la broche V_{cc} de chacun des boîtiers de résistances d'adaptation d'impédance.

AUTORISATION 6.3:
Tout réseau de résistances et source de tension PEUVENT être utilisés pour fournir l'adaptateur aussi longtemps qu'ils répondent à l'équivalent Thévenin indiqué à la figure 6-2.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

backplane signal lines from the low to the high level until there is a reflection from the end of the bus. Although these reflections serve a useful purpose, they cannot be excessive or ringing will result. The following paragraphs specify the backplane characteristics that achieve the desired result.

6.5.1 *Termination networks*

RULE 6.23:
Termination networks MUST be used on each end of all IEC 821 BUS signal lines except the daisy-chain lines.

OBSERVATION 6.10:
The terminations in the IEC 821 BUS serve four purposes:

- They reduce reflections from the ends of the backplane.
- They provide a high state pull-up for open-collector drivers.
- They restore the signal lines to the high level when three-state devices are disabled.
- They provide a standing current for the driver sink transistor to switch off, causing the signal line to rise more swiftly on positive transitions.

The Thevenin equivalent of the termination is shown in Figure 6-2, page 401. The voltage divider also shown provides this termination value.

OBSERVATION 6.11:
If a maximum tolerance of ±5% is maintained on the resistor values and source voltage used in the resistor network shown in Figure 6-2, the circuit shown will meet the tolerances shown for the Thevenin equivalent.

OBSERVATION 6.12:
The resistor network shown in Figure 6-2 presents its Thevenin equivalent impedance only when its +5 V source is adequately decoupled to ground by a bypass capacitor.

RECOMMENDATION 6.3:
Provide a bypass capacitor with a value in the range of 0.01 µF to 0.1 µF as close as possible to the V_{cc} pin of each resistor termination package.

PERMISSION 6.3:
Any resistor network and voltage source MAY be used to provide the termination, as long as they provide the Thevenin equivalent shown in Figure 6-2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

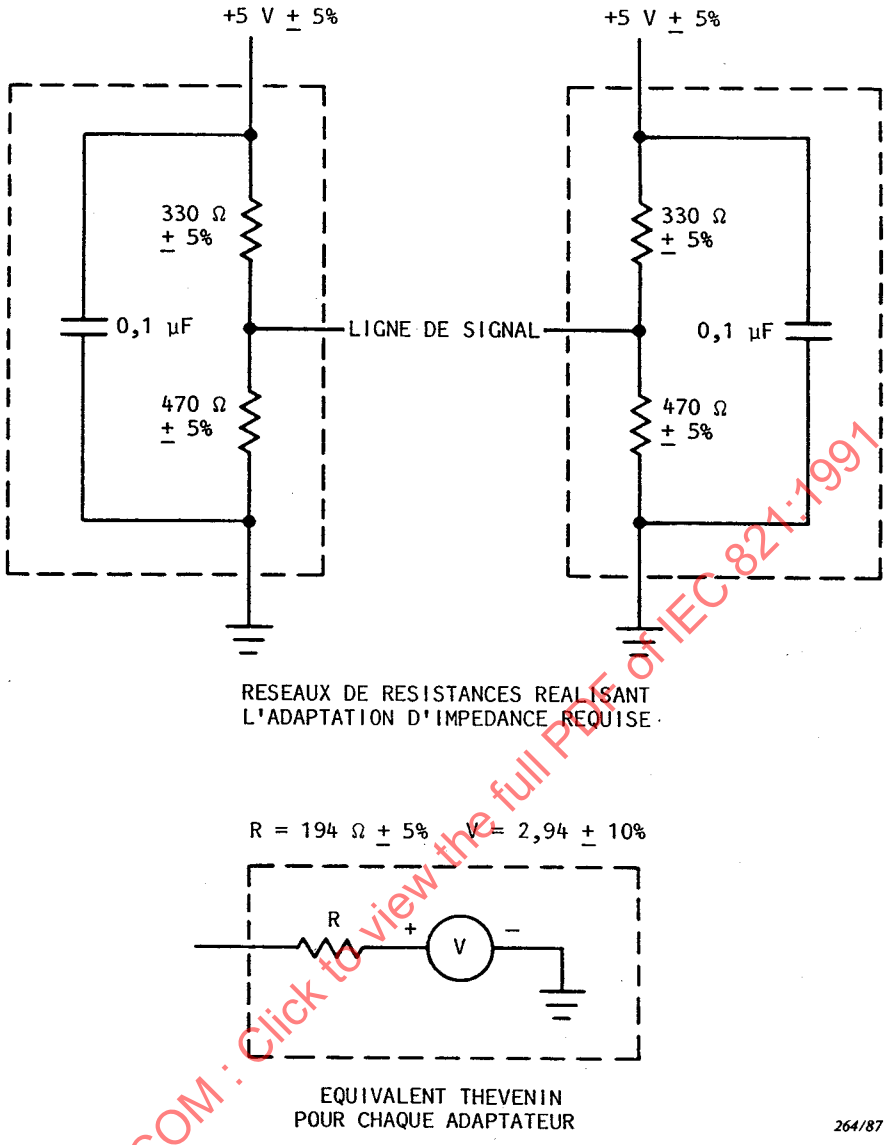


FIG. 6-2. - Adaptation d'impédance standard du bus.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.5.2 *Impédance caractéristique*

Chaque piste sur le fond de panier a une impédance caractéristique associée Z_o. Cette impédance caractéristique est importante parce que des discontinuités de Z_o (dues à l'effet capacitif et aux charges du bus) et des désadaptations entre Z_o et les adaptations d'impédance peuvent causer des distorsions des signaux.

La figure 6-3, page 402, indique la section d'une piste de microruban normale pour une ligne de signal d'un fond de panier à multicouches. Z_o est fonction de la largeur et de l'épaisseur de la ligne, de l'épaisseur du diélectrique et de sa constante diélectrique relative. La figure 6-4, page 404, indique l'impédance caractéristique en fonction de la largeur de la ligne de microruban pour une carte en fibre de verre époxy d'épaisseur courante.

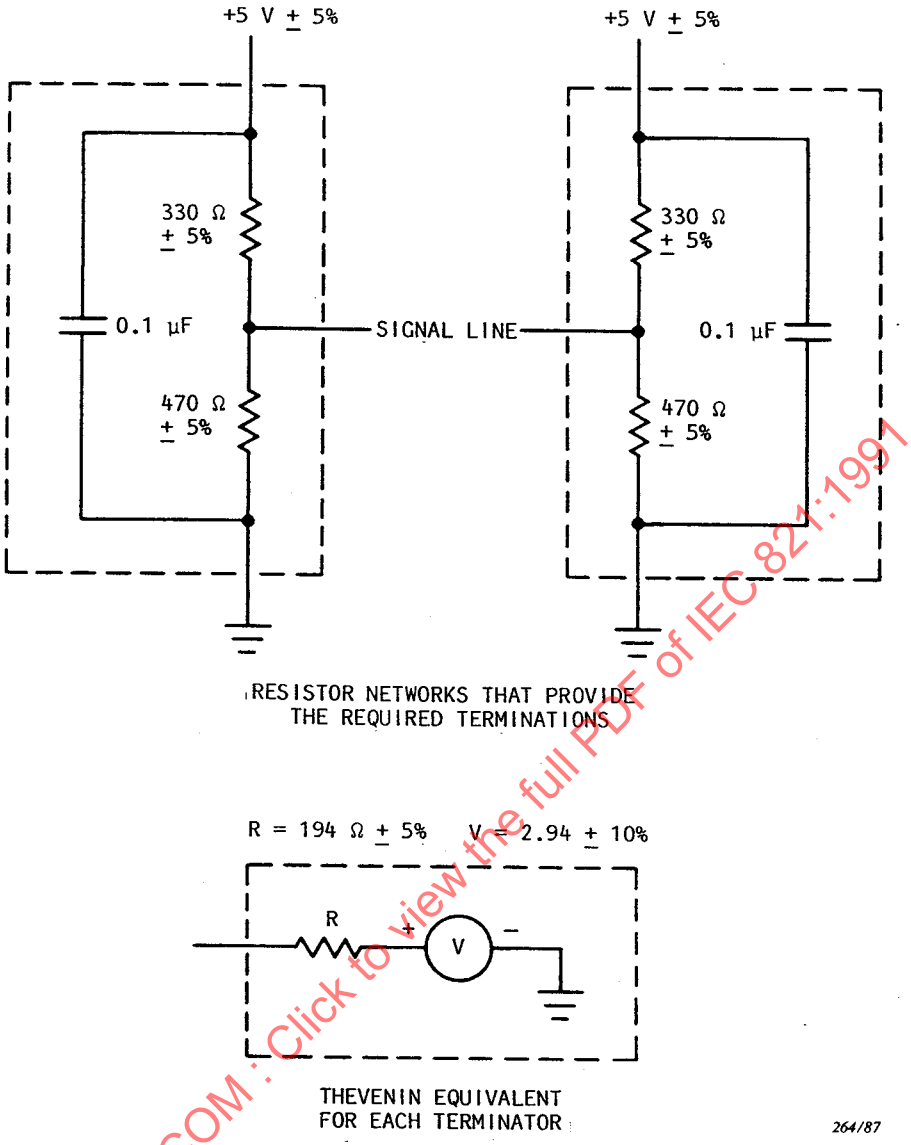


FIG. 6-2. - Standard bus termination.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

6.5.2 *Characteristic impedance*

Each signal line in the backplane has an associated characteristic impedance Z_o. This characteristic impedance is important because discontinuities in Z_o (due to capacitive effect and loads on the bus) and mismatches between Z_o and the terminations can cause distortions of signal waveforms.

Figure 6.3, page 403, shows a microstrip signal line cross section which is the normal configuration for a multilayer backplane signal line. The Z_o is a function of the width and thickness of the line, the thickness of the dielectric and its relative dielectric constant. Figure 6-4, page 405, shows characteristic impedance versus microstrip line width for common thickness of fiberglass-epoxy board.

Les adaptations sur les lignes de signaux du BUS CEI 821 réduisent la distorsion des signaux. Bien qu'une adaptation parfaite d'impédance (qui élimine totalement les distorsions dues aux réflexions) ne soit pas réalisée entre les réseaux de résistances et la ligne de signal, il est important de ne pas permettre une trop grande désadaptation, comme ce pourrait être le cas si la valeur Z_o de la ligne était trop faible.

RECOMMANDATION 6.4:

Lorsqu'on conçoit un fond de panier du BUS CEI 821, choisir une largeur de piste de signal et une épaisseur de carte qui donne une Z_o (calculée à partir de la figure 6-4) aussi proche que possible de 100 Ω.

L'impédance caractéristique réelle de la ligne de signal du fond de panier s'appelle l'impédance caractéristique effective (Z_o'), et sera plus faible que Z_o, à cause des effets capacitifs des trous métallisés et des broches de connecteurs. Cette capacité supplémentaire fait baisser Z_o' au-dessous de 100 Ω. Bien que les trous métallisés soient nécessaires pour les connecteurs, il convient que le nombre de trous supplémentaires soit minimisé.

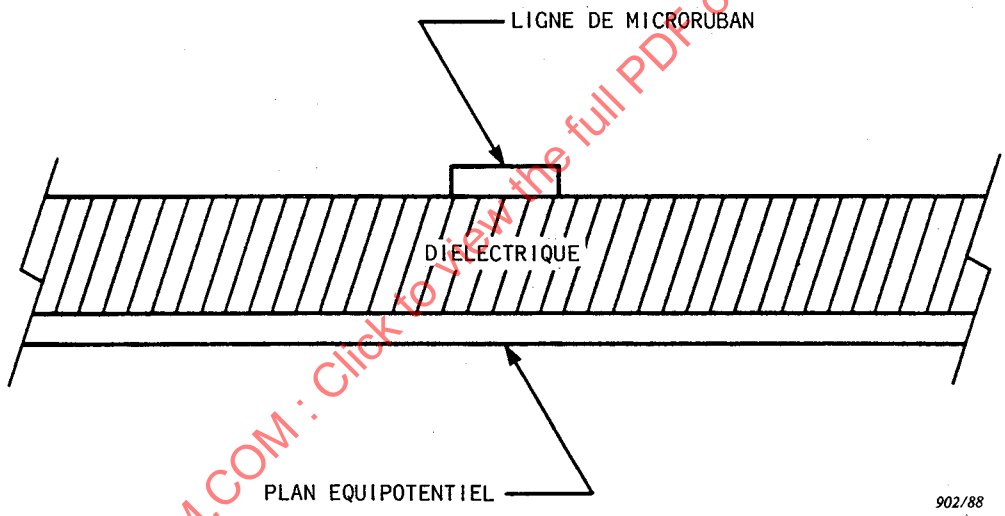


FIG. 6-3. – Coupe d'une piste de microruban utilisée comme ligne de signal sur le fond de panier.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

The terminations on the IEC 821 BUS signal lines reduce distortion of their signal waveforms. Although a perfect impedance match (which totally eliminates distortions due to reflections) is not maintained between the termination networks and the signal lines, it is important not to allow too great a mismatch, as might be the case if a signal line's Z_o value is too low.

RECOMMENDATION 6.4:
When designing an IEC 821 BUS backplane, choose a signal line width and board thickness that gives a Z_o (as calculated from Figure 6-4) as close as possible to 100 Ω.

The actual characteristic impedance of a backplane signal line is called the effective characteristic impedance (Z_o') and will be lower than Z_o, due to the capacitance of plated-through holes and connector pins. This additional capacitance makes Z_o' go below 100 Ω. Although plated-through holes are necessary to accommodate connectors, other holes should be kept to a minimum.

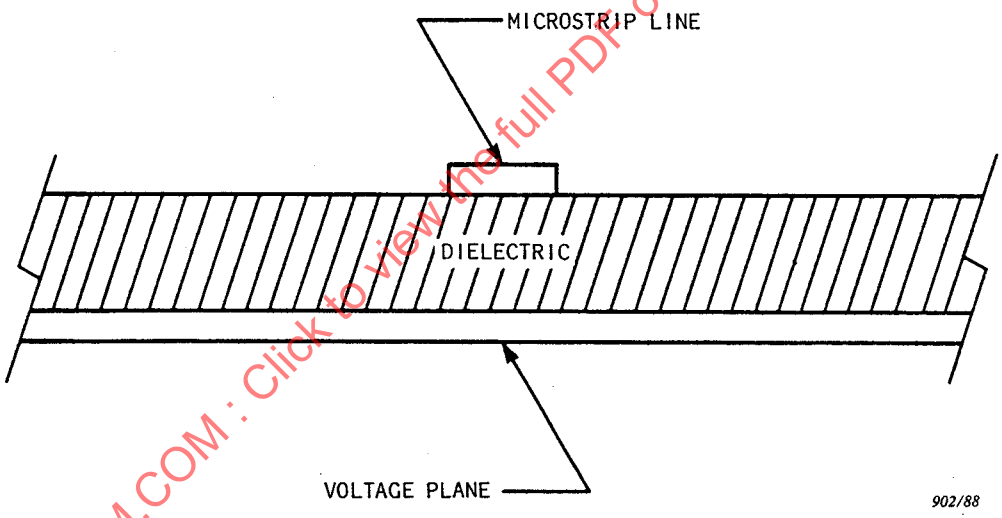


FIG. 6-3. - Backplane microstrip signal line cross section.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

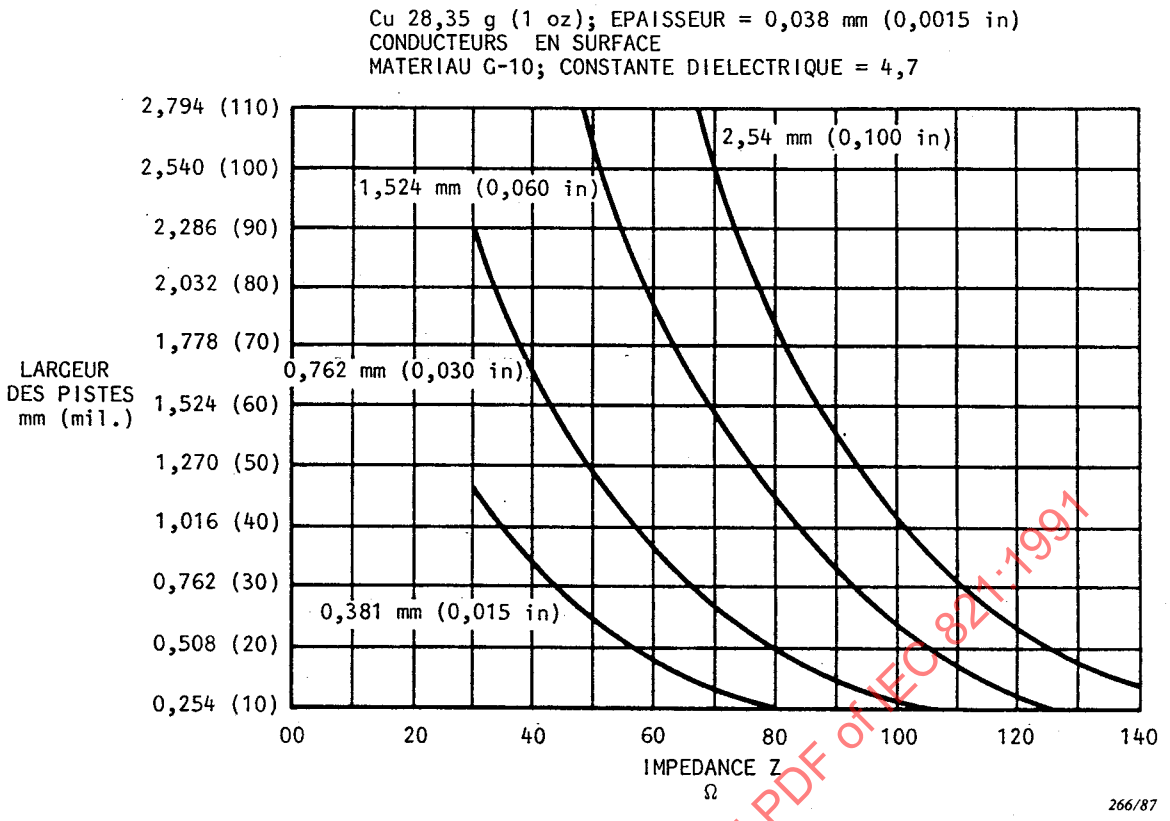


FIG. 6-4. - Z_o en fonction de la largeur de ligne.

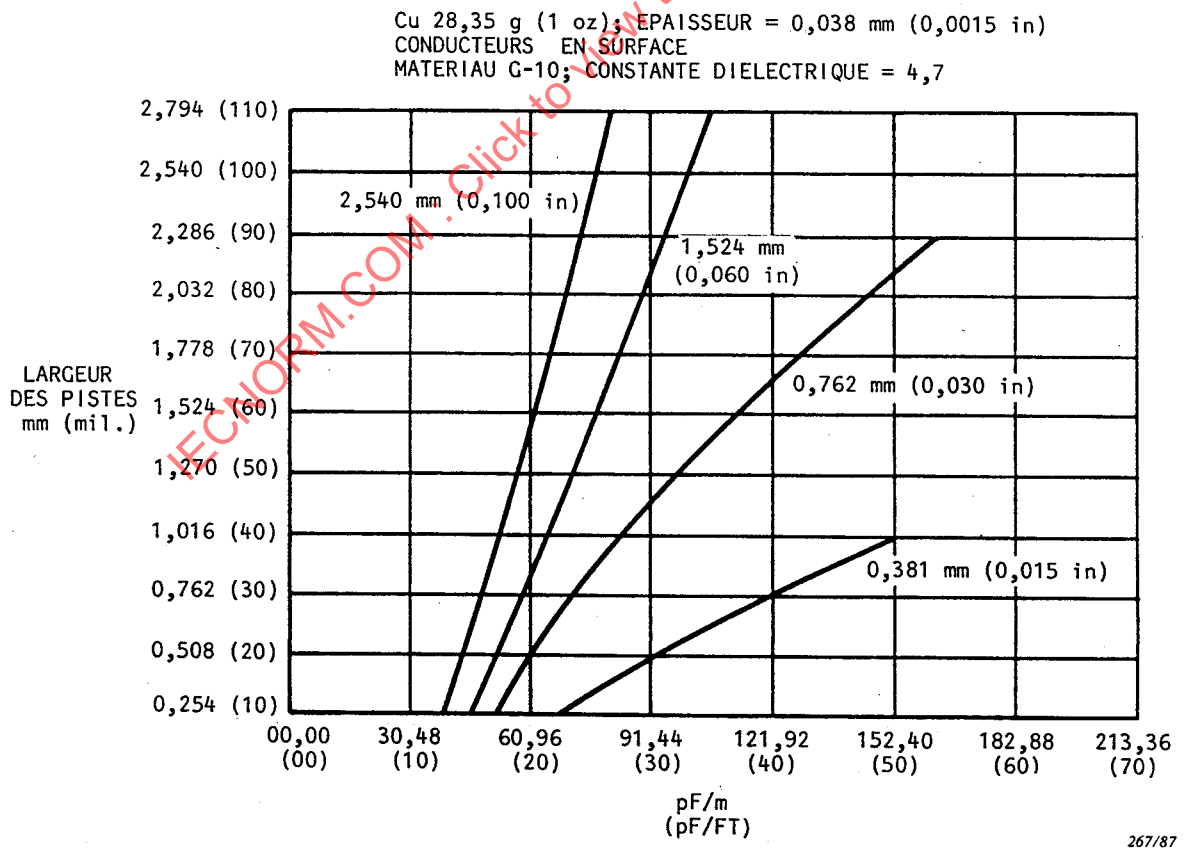


FIG. 6-5. - C_o en fonction de la largeur de ligne.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

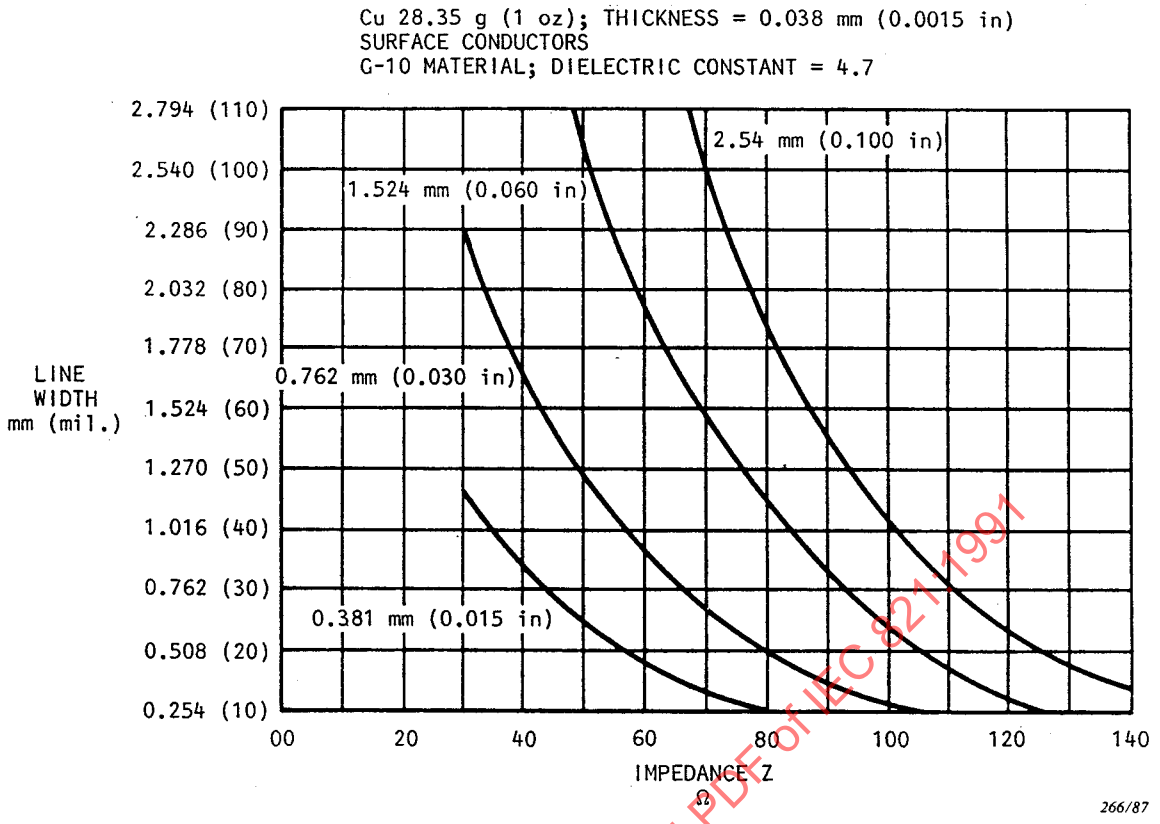


FIG. 6-4. - Z_o versus line width.

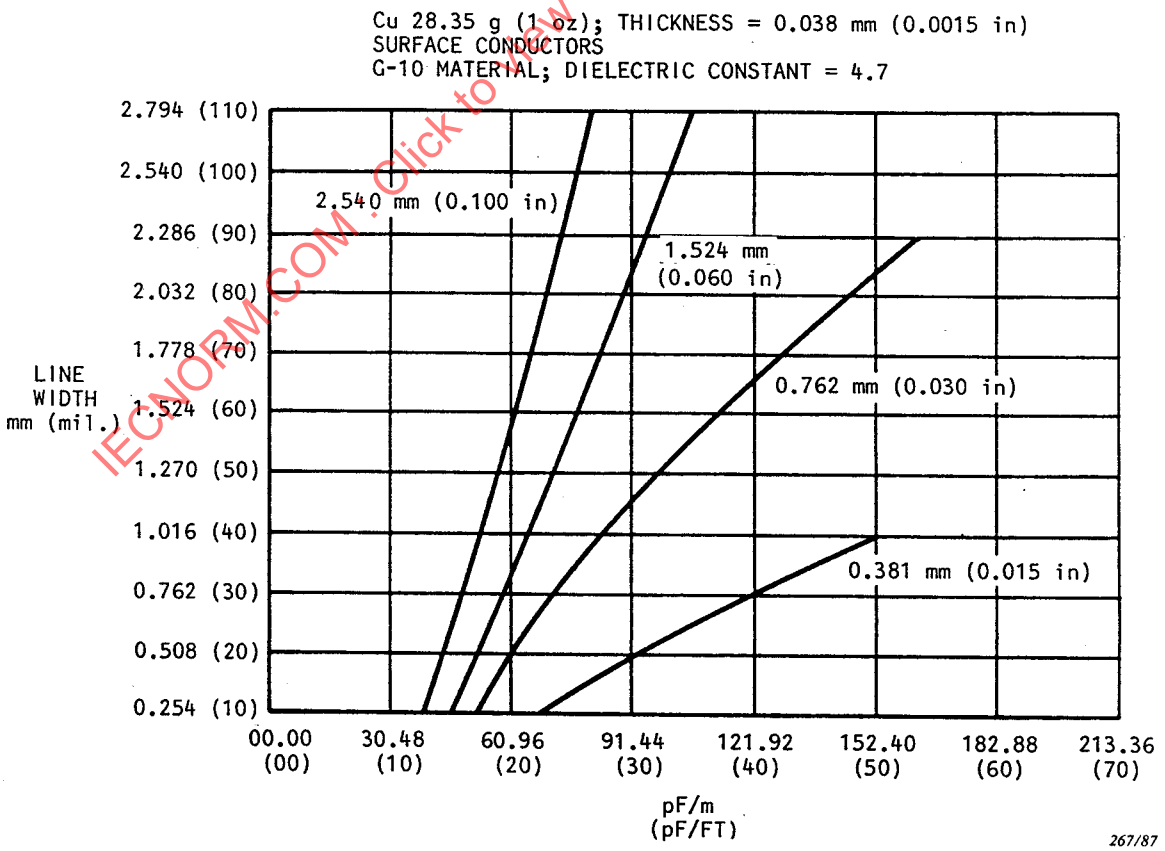


FIG. 6-5. - C_o versus line width.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

L'impédance de la piste du fond de panier (sans cartes insérées dans le fond de panier) peut être calculée par l'équation suivante:

$$Z_{o'} = \frac{Z_o}{\sqrt{1 + C_d/C_o}}$$

où:

Z_o = impédance de la ligne de microruban, sans tenir compte des effets de charge des cartes de circuits imprimés enfichées, des connecteurs et des trous métallisés (Voir figure 6-4, page 404.)

C_d = capacité distribuée, par mètre linéaire, des trous métallisés, et des connecteurs du fond de panier

C_o = capacité intrinsèque de la ligne, par mètre linéaire, de la ligne de microruban sans tenir compte des effets de charge des cartes de circuits imprimés enfichées, des connecteurs et des trous métallisés (Voir figure 6-5, page 404.)

$Z_{o'}$ = impédance de la ligne de signal du fond de panier, incluant les effets de charge des connecteurs, des trous métallisés mais excluant les effets de charge des cartes de circuits imprimés enfichées

OBSERVATION 6.13:
Les valeurs typiques de $Z_{o'}$ pour un fond de panier du BUS CEI 821, sans cartes insérées, varient de 50 Ω à 60 Ω. Si cette impédance est de 50 Ω ou plus, elle assurera un fonctionnement satisfaisant.

6.5.3 *Informations complémentaires*

REGLE 6.24:
La longueur des pistes à partir des connecteurs 96 broches jusqu'aux circuits de la carte NE DOIT PAS dépasser 50,8 mm (2 in).

OBSERVATION 6.14:
SI la piste allant du connecteur 96 broches aux circuits sur la carte à plusieurs branches,
ALORS les longueurs de chaque branche doivent être additionnées pour obtenir la longueur totale spécifiée dans la REGLE 6.24.

REGLE 6.25:
Il NE DOIT PAS y avoir plus d'un émetteur qui commande les lignes SYSCLK et SERCLK.

REGLE 6.26:
SI les modules de l'EMETTEUR D'HORLOGE SYSTEME et de l'EMETTEUR D'HORLOGE SERIE sont prévus,
ALORS ils DOIVENT être installés dans l'emplacement 1 du fond de panier.

OBSERVATION 6.15:
En plaçant l'EMETTEUR D'HORLOGE SYSTEME et l'EMETTEUR D'HORLOGE SERIE sur la carte dans l'emplacement 1, on minimise la distorsion de leur forme d'onde due aux réflexions aux extrémités du fond de panier.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

The backplane signal line impedance (without any boards plugged into the backplane) can be calculated with the following equation:

$$Z_{o'} = \frac{Z_o}{\sqrt{1 + C_d/C_o}}$$

where:

Z_o = impedance of the microstrip line, ignoring the loading effects of plug-in PC boards, connectors, and plated-through holes (See Figure 6-4, page 405.)

C_d = distributed capacitance, per unit of distance, of the plated-through holes, and backplane connectors

C_o = intrinsic line capacitance, per unit of distance, of the microstrip line, ignoring the loading effects of plug-in PC boards, connectors, and plated-through holes (See Figure 6-5, page 405.)

$Z_{o'}$ = backplane signal line impedance, including the loading effects of connectors, and plated-through holes but excluding the loading effects of plug-in PC boards

OBSERVATION 6.13:
Typical $Z_{o'}$ values for an IEC 821 BUS backplane, with no boards inserted, ranges from 50 Ω to 60 Ω. If this impedance is 50 Ω, or higher, it will provide satisfactory operation.

6.5.3 *Additional information*

RULE 6.24:
Circuit traces from the 96 pin connectors to the on-board circuitry MUST NOT have a length greater than 50.8 mm (2 in).

OBSERVATION 6.14:
IF the trace from the 96 pin connector to on-board circuitry branches,
THEN the length of each branch is added to get the total length specified in RULE 6.24.

RULE 6.25:
There MUST NOT be more than one driver driving the SYSCLK and SERCLK lines.

RULE 6.26:
IF the SYSTEM CLOCK DRIVER and the SERIAL CLOCK DRIVER modules are provided,
THEN they MUST be installed in slot 1 of the backplane.

OBSERVATION 6.15:
Locating the SYSTEM CLOCK DRIVER and the SERIAL CLOCK DRIVER on the board in slot 1 minimizes the distortion of their waveforms from the reflections off the ends of the backplane.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

SUGGESTION 6.7:

Si les valeurs réelles de la capacité de charge ne peuvent être obtenues à partir des feuilles de spécifications du fabricant, les valeurs suivantes peuvent être utilisées pour estimer la capacité totale de charge d'une carte de BUS CEI 821:

- Capacité typique d'un récepteur: 3-5 pF.
- Capacité typique d'un émetteur: 10-12 pF.
- Capacité typique d'un émetteur-récepteur: 15-18 pF.
- Capacité typique d'une piste de 50,8 mm (2 in) d'un circuit imprimé: 2-3 pF.

OBSERVATION 6.16:

Les pistes de circuits qui sont parallèles, comme sur le fond de panier, induisent parfois des signaux entre elles. Ce phénomène est communément appelé diaphonie. Lorsqu'on conçoit les fonds de panier du BUS CEI 821, l'espacement des lignes et leur position par rapport à la masse et aux plans d'alimentation ont un grand effet sur le niveau de diaphonie observé.

SUGGESTION 6.8:

Les délais de propagation à travers les émetteurs du bus dépendent de leur niveau de charge et les lignes de signaux du BUS CEI 821 représentent des charges importantes. Lors du calcul des temps les plus défavorables, cela doit être pris en compte. Si la feuille de spécifications du fabricant de l'émetteur donne un délai de propagation pour une charge de 300 pF, utiliser ce dernier pour calculer les cas les plus défavorables. Si les seules valeurs de délai de propagation correspondent à une charge de 30 pF, ajouter 10 ns au délai de propagation et 15 ns au délai d'activation.

6.6 *Signaux définis par l'utilisateur*

RECOMMANDATION 6.5:

Si une carte a un connecteur 96 broches à l'emplacement P_2, n'alimenter aucune des broches P_2 avec une tension plus grande que ±15 V. Cela réduit la probabilité de dommages sérieux au système BUS CEI 821 l'occasion d'un court-circuit accidentel avec une autre ligne de signal.

6.7 *Emetteurs des lignes de signaux et adaptations*

Cette section résume les types d'émetteurs qui doivent être utilisés pour chaque ligne de signal du BUS CEI 821.

Pour simplifier le tableau 6-3, une notation avec abréviation est utilisée pour décrire les différents types d'émetteurs. Les notations utilisées sont les suivantes:

- Totem-pole (à courant élevé) = TP HC.
- Totem-pole (standard) = TP STD.
- Trois états (à courant élevé) = 3 HC.
- Trois états (standards) = 3 STD.
- Collecteur ouvert = OC.

Pour les spécifications détaillées, voir la section 6.4.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

SUGGESTION 6.7:
If actual capacitance loading values cannot be obtained from manufacturer specification sheets, the following values can be used to estimate the total capacitive loading of an IEC 821 BUS board:

- The typical capacitance of a receiver: 3-5 pF.
- The typical capacitance of a driver: 10-12 pF.
- The typical capacitance of a transceiver: 15-18 pF.
- The typical capacitance of a 50.8 mm (2 in) PC trace: 2-3 pF.

OBSERVATION 6.16:
Circuit traces which run parallel to each other, such as in a backplane, sometimes induce signal transitions in each other. This phenomenon is commonly known as crosstalk. When designing IEC 821 BUS backplanes, the spacings of lines and their position relative to ground and power planes have a large effect on the amount of crosstalk observed.

SUGGESTION 6.8:
Propagation delays through bus drivers depend on how heavily they are loaded, and IEC 821 BUS signal lines typically represent heavy loads. This has to be taken into account when calculating worst case timing. If the manufacturer's data sheet for the driver gives a propagation delay for a 300 pF load, use that to do the worst case calculations. If the only propagation delay values are for a 30 pF load, add 10 ns to the propagation delay and 15 ns to the turn-on delay.

6.6 *User defined signals*

RECOMMENDATION 6.5:
If a board has a 96-pin connector in its P_2 location, do not allow any of the P_2 pins to be driven to a voltage greater than ±15 V. This reduces the likelihood of serious damage to the IEC 821 BUS system in the event that a signal trace from one of these pins is accidentally shorted to some other signal line.

6.7 *Signal line drivers and terminations*

This section summarizes the types of drivers which have to be used for each of the signal lines on the IEC 821 BUS.

In order to simplify Table 6-3, an abbreviated notation is used to describe the various types of drivers. The notations used are shown below:

- Totem-pole (high current) = TP HC.
- Totem-pole (standard) = TP STD.
- Three-state (high current) = 3 HC.
- Three-state (standard) = 3 STD.
- Open-collector = OC.

For detailed specifications, see Section 6.4.

IECNORM.COM : Click to view the full PDF of IEC 821:1987

Tableau 6-3

Résumé des émetteurs du bus

MNEMONIQUE DU SIGNAL	NOM DU SIGNAL	TYPE D'EMETTEUR	CONNECTE ET ADAPTE?
A01-A31 (31 lignes)	BUS D'ADRESSE	3 STD	OUI
ACFAIL*	DEFAILLANCE SECTEUR	OC	OUI
AM0-AM5 (six lignes)	MODIFICATEUR D'ADRESSE	3 STD	OUI
AS*	VALIDATION D'ADRESSE	3 HC	OUI
BBSY*	OCCUPATION DU BUS	OC	OUI
BCLR*	LIBERATION DU BUS	TP HC	OUI
BERR*	BUS EN DEFAUT	OC	OUI
BG0IN*-BG3IN* BG0OUT*-BG3OUT* (chaîne série)	CHAINE SERIE D'ALLOCATION DU BUS	TP STD	NON
BR0*-BR3* (quatre lignes)	DEMANDE DU BUS	OC	OUI
D00-D31 (32 lignes)	BUS DE DONNEES	3 STD	OUI
DS0*-DS1* (deux lignes)	VALIDATION DE DONNEE	3 HC	OUI
DTACK*	ACCUSE DE RECEPTION DU TRANSFERT DE DONNEES	OC	OUI
IACK*	RECONNAISSANCE D'INTERRUPTION	3 STD ou OC	OUI
IACKIN*/IACKOUT* (chaîne série)	CHAINE SERIE DE RECONNAISSANCE	TP STD	NON
IRQ1*-IRQ7* (sept lignes)	DEMANDE D'INTERRUPTION	OC	OUI
LWORD*	MOT LONG	3 STD	OUI
RESERVED	RESERVE	—	OUI
SERCLK	HORLOGE DU BUS SERIE	TP HC	OUI
SERDAT*	DONNEES DU BUS SERIE	OC	OUI
SYSCLK	HORLOGE SYSTEME	TP HC	OUI
SYSFAIL*	DEFAUT DU SYSTEME	OC	OUI
SYSRESET*	INITIALISATION	OC	OUI
WRITE*	ECRITURE	3 STD	OUI

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Table 6-3

Bus driver summary

SIGNAL MNEMONIC	SIGNAL NAME	DRIVER TYPE	BUSSED AND TERMINATED?
A01-A31 (31 lines)	ADDRESS BUS	3 STD	YES
ACFAIL*	A.C POWER FAILURE	OC	YES
AM0-AM5 (six lines)	ADDRESS MODIFIER	3 STD	YES
AS*	ADDRESS STROBE	3 HC	YES
BBSY*	BUS BUSY	OC	YES
BCLR*	BUS CLEAR	TP HC	YES
BERR*	BUS ERROR	OC	YES
BG0IN*-BG3IN* BG0OUT*-BG3OUT* (daisy-chain)	BUS GRANT DAISY-CHAIN	TP STD	NO
BR0*-BR3* (four lines)	BUS REQUEST	OC	YES
D00-D31 (32 lines)	DATA BUS	3 STD	YES
DS0*-DS1* (two lines)	DATA STROBES	3 HC	YES
DTACK*	DATA TRANSFER ACKNOWLEDGE	OC	YES
IACK*	INTERRUPT ACKNOWLEDGE	3 STD or OC	YES
IACKIN*/IACKOUT* (daisy-chain)	INTERRUPT ACKNOWLEDGE DAISY-CHAIN	TP STD	NO
IRQ1*-IRQ7* (seven lines)	INTERRUPT REQUEST	OC	YES
LWORD*	LONGWORD	3 STD	YES
RESERVED	RESERVED	—	YES
SERCLK	SERIAL CLOCK	TP HC	YES
SERDAT*	SERIAL DATA	OC	YES
SYSCLK	SYSTEM CLOCK	TP HC	YES
SYSFAIL*	SYSTEM FAILURE	OC	YES
SYSRESET*	SYSTEM RESET	OC	YES
WRITE*	WRITE	3 STD	YES

IECNORM.COM : Click to view the full PDF of IEC 821:1991

CHAPITRE 7: SPECIFICATIONS MECANIQUES DU BUS CEI 821

7.1 *Introduction*

Les informations de ce chapitre assurent que les dimensions des ensembles de cartes, des fonds de panier, des châssis et des accessoires mécaniques associés au BUS CEI 821 sont compatibles.

Les spécifications mécaniques données dans ce chapitre sont conformes aux Publications suivantes de la CEI: 297-1[1], 297-3[2] (dont l'annexe A traite du montage des connecteurs spécifiés dans la Publication 603-2) et 603-2[3] de la CEI. Les caractéristiques électriques des connecteurs du BUS CEI 821, spécifiées dans les chapitres 5 et 6, supplantent la Publication 603-2 de la CEI lorsqu'elles diffèrent.

La Publication 603-2 de la CEI décrit une famille de types de connecteurs qui sont identifiés par des labels de forme:

603-2-CEI-C096-XX-XXX

Tous les connecteurs P_1/J_1 et P_2/J_2 utilisés sur les cartes et fonds de panier de BUS CEI 821 sont membres de cette famille. Ce chapitre utilise le label 603-2-CEI-XXXXXX-XXX pour faire référence à tous ces types de connecteurs en tant que groupe. Il utilise le label 603-2-CEI-C096MX-XXX pour faire référence aux types de connecteurs mâles 96 broches de cette famille utilisés sur les cartes de BUS CEI 821 et le label 603-2-CEI-C096FX-XXX pour faire référence aux type de connecteurs femelles 96 broches utilisés sur les fonds de panier du BUS CEI 821.

La figure 7-1, page 436, est une vue de face d'un châssis d'une largeur de 482,6 mm (19 in) qui montre comment des cartes de hauteur simple et de hauteur double de BUS CEI 821 peuvent être mélangées dans un châssis unique. Les cartes sont introduites verticalement dans le châssis par l'avant du système, le côté composants à droite.

AUTORISATION 7.1:
Les systèmes basés sur le BUS CEI 821 PEUVENT être construits en utilisant des cartes simple hauteur, double hauteur, ou un ensemble des deux.

REGLE 7.1:
Les châssis BUS CEI 821 simple hauteur DOIVENT avoir un seul fond de panier J_1.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

---

1 Dimensions des structures mécaniques de la série de 482,6 mm (19 in) - Première partie: Panneaux et bâtis

2 Troisième partie: Bacs et blocs enfichables associés.

3 Connecteurs pour fréquences inférieures à 3 MHz pour utilisation avec cartes imprimées - Deuxième partie: Connecteurs pour circuits imprimés en deux parties, pour grille de base de 2,54 mm (0,1 in) avec caractéristiques de montage communes.

CHAPTER 7: IEC 821 BUS MECHANICAL SPECIFICATIONS

7.1 *Introduction*

Information is provided in this chapter to ensure that the IEC 821 BUS board assemblies, backplanes, subracks, and associated mechanical accessories are dimensionally compatible.

The mechanical specifications given in this chapter conform to the following IEC Publications 297-1[1], 297-3[2] (of which the Appendix A deals with the mounting of connectors specified in Publication 603-2) and 603-2[3]. The electrical characteristics for IEC 821 BUS connectors, as specified in Chapters 5 and 6, supersede IEC Publication 603-2 where they differ.

IEC Publication 603-2 describes a family of connector types which are identified by labels of the form:

603-2-IEC-C096 XX-XXX

All of the P_1/J_1 and P_2/J_2 connectors used on IEC 821 BUS boards and backplanes are members of this family. In this chapter, the label 603-2-IEC-XXXXXX-XXX is used when referring to all of these connector types as a group. The label 603-2-IEC-C096MX-XXX is used when referring to the 96-pin male connector types within this family which are used on IEC 821 BUS boards. 603-2-IEC-C096FX-XXX is used when referring to the 96-pin female connector types which are used on IEC 821 BUS backplanes.

Figure 7-1, page 437, is a front view of a 482.6 mm (19 in) width subrack which shows how single height and double height IEC 821 BUS boards can be mixed in a single subrack. Boards are inserted into the subrack from the front, in a vertical plane with the component face of the board on the right.

PERMISSION 7.1:
IEC 821 BUS based systems MAY be built using either single height boards, double height boards, or a mixture of both.

RULE 7.1:
Single height IEC 821 BUS subracks MUST have a single "J_1" backplane.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

---

1 Dimensions of mechanical structures of the 482.6 mm (19 in) series - Part 1: Panels and racks.

2 Part 3: Subracks and associated plug-in units.

3 Connectors for frequencies below 3 MHz for use with printed boards - Part 2: Two-part connectors for printed boards, for basic grid of 2.54 mm (0.1 in), with common mounting features.

REGLE 7.2:
Les châssis double hauteur DOIVENT avoir:

1) un fond de panier J_1 monté dans la partie supérieure du châssis;
OU
2) les deux fonds de panier J_1 et J_2 avec J_1 monté dans la partie supérieure et J_2 monté dans la partie inférieure;
OU
3) un fond de panier double hauteur J_1/J_2, lequel supporte les deux connecteurs J_1 et J_2.

REGLE 7.3:
Les fonds de panier du BUS CEI 821 NE DOIVENT PAS avoir plus de 21 emplacements.

AUTORISATION 7.2:
Lorsque les fonds de panier utilisent moins de 21 emplacements, le châssis du BUS CEI 821 PEUT avoir une largeur inférieure au châssis standard 482,6 mm (19 in).

REGLE 7.4:
Excepté la largeur du châssis, qui varie selon le nombre prévu d'emplacements de cartes, toutes les dimensions du châssis DOIVENT être en accord avec celles données dans ce chapitre pour assurer la compatibilité mécanique entre les cartes et le châssis.

7.2 *Cartes du BUS CEI 821*

RECOMMANDATION 7.1:
Réaliser des cartes de BUS CEI 821 de 1,6 ± 0,2 mm (0,063 ± 0,008 in) d'épaisseur.

OBSERVATION 7.1:
L'épaisseur des cartes de BUS CEI 821 est importante car elle doit être en accord avec les rails des guides de carte des châssis. Les cartes plus épaisses ne peuvent pas entrer dans les guides et les cartes moins épaisses pourraient ne pas être guidées correctement dans les connecteurs J_1 et J_2 du fond de panier.

OBSERVATION 7.2:
La dimension des connecteurs 603-2-CEI-XXXXXX-XXX assure une certaine distance entre la face de montage du connecteur et la ligne centrale de chacune des broches de connecteurs. Cela assure que le centre des broches de connecteurs P_1 et P_2 sera aligné correctement avec les connecteurs J_1 et J_2 du fond de panier.

AUTORISATION 7.3:
Les cartes de BUS CEI 821 PEUVENT être conçues avec des cartes d'épaisseur supérieure à 1,6 mm (0,063 in) si:

1) l'épaisseur du bord inférieur et du bord supérieur de la carte, lesquels s'ajustent dans les rails des guides, est réduit à 1,6 mm (0,063 in) sur une largeur de 2,5 mm (0,098 in) (voir figures 7-2 et 7-3, pages 438 et 440), et

2) la surface de montage sur la carte pour un ou des connecteurs CEI 602-3 est de 4,07 mm (0,160 in) du plan de séparation inter-carte (voir figure 7-5, page 444).

IECNORM.COM: Click to view the full PDF of IEC 821:1991

RULE 7.2:
Double height IEC 821 BUS subracks MUST have:

1) a J_1 backplane mounted in the upper portion of the subrack,
OR
2) a J_1 and a J_2 backplane, with the J_1 backplane mounted in the upper portion and the J_2 backplane mounted in the lower portion,
OR
3) a double height J_1/J_2 backplane which provides both J_1 and J_2 connectors.

RULE 7.3:
IEC 821 BUS backplanes MUST NOT have more than 21 slots.

PERMISSION 7.2:
When using backplanes of fewer than 21 slots, the IEC 821 BUS subrack MAY be less than the standard 482.6 mm (19 in) rack size.

RULE 7.4:
Except for the rack width, which varies depending on the number of slots it supports, all subrack dimensions MUST agree with those given in this chapter to ensure mechanical compatibility between the boards and the subrack.

7.2 *IEC 821 BUS boards*

RECOMMENDATION 7.1:
Make IEC 821 BUS boards 1.6 ± 0.2 mm (0.063 ± 0.008 in) thick.

OBSERVATION 7.1:
The thickness of IEC 821 BUS boards is important because the subrack's guide rails are designed to accommodate boards of this thickness. Thicker boards might not fit into the guides and thinner boards might not be guided properly into the backplane's J_1 and J_2 connectors.

OBSERVATION 7.2:
The dimensioning of the 603-2-IEC-XXXXXX-XXX connectors provides a certain distance between the connector's mounting face and the center line of each of the connector's pins. This ensures that the P_1 and P_2 connector pin centers will align properly with the J_1 and J_2 connectors of the backplane.

PERMISSION 7.3:
IEC 821 BUS boards MAY be designed with board thicknesses greater than 1.6 mm (0.063 in) if:

1) the thickness of the top and bottom edges of the board, which fit into the guide rails, is reduced to 1.6 mm (0.063 in) for a distance of 2.5 mm (0.098 in) from the top and bottom edges of the board (see Figure 7-2 and Figure 7-3, pages 439 and 441), and

2) the mounting surface provided by the board for the IEC 602-3 connector(s) is 4.07 mm (0.160 in) from the interboard separation planes (see Figure 7-5, page 445).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Deux dimensions de cartes sont définies comme cartes standards de BUS CEI 821: simple hauteur et double hauteur (voir figures 7-2 et 7-3, pages 438 et 440).

7.2.1 *Cartes simple hauteur*

OBSERVATION 7.3:
Une carte simple hauteur du BUS CEI 821 a 100 mm (3,937 in) de hauteur et 160 mm (6,299 in) de profondeur avec une surface d'environ 160,0 cm^2 (24,8 in^2).

REGLE 7.5:
Toutes les cartes simple hauteur DOIVENT être conçues selon les dimensions données dans la figure 7-2.

REGLE 7.6:
La grille de trous du connecteur 96 broches P_1 603-2-CEI-C096MX-XXX DOIT être placée comme indiqué sur la figure 7-2.

SUGGESTION 7.1:
Utiliser la grille du circuit imprimé indiquée dans la figure 7-2.

OBSERVATION 7.4:
Le matériel modulaire pour le panneau avant, disponible chez quelques fabricants, lorsqu'il est monté selon la grille représentée sur la figure 7-2, s'aligne convenablement avec la grille du panneau avant de la figure 7-7, page 448.

AUTORISATION 7.4:
Des composants, autres que le connecteur 603-2-CEI-C096MX-XXX, PEUVENT être placés de telle façon qu'ils ne soient pas alignés avec la grille du circuit imprimé.

7.2.2 *Cartes double hauteur*

OBSERVATION 7.5:
Une carte double hauteur du BUS CEI 821 a 233,35 mm (9,187 in) de haut et une profondeur de 160 mm (6,299 in) avec une surface d'environ 373,4 cm^2 (57,9 in^2).

REGLE 7.7:
Toutes les cartes double hauteur DOIVENT être conçues selon les dimensions données dans la figure 7-3.

REGLE 7.8:
La grille de trous du connecteur 96 broches P_1 603-2-CEI-C096MX-XXX DOIT être placée comme indiqué sur la figure 7-3.

REGLE 7.9:
SI un connecteur 96 broches 603-2-CEI-C096MX-XXX est utilisé pour P_2,
ALORS sa grille de trous DOIT être comme indiqué sur la figure 7-3.

OBSERVATION 7.6:
Comme dans le cas des cartes simple hauteur ci-dessus, cette grille représentée sur la figure 7-3 aligne convenablement les composants modulaires du panneau avant avec la grille du panneau avant indiquée dans la figure 7-8, page 450.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Two board sizes are defined as standard IEC 821 BUS boards: single height and double height (see Figures 7-2 and 7-3, pages 439 and 441).

7.2.1 *Single height boards*

OBSERVATION 7.3:
A single height IEC 821 BUS board is 100 mm (3.937 in) high and 160 mm (6.299 in) deep with an area of approximately 160.0 cm² (24.8 in²).

RULE 7.5:
All single height boards MUST be designed according to the dimensions given in Figure 7-2.

RULE 7.6:
The hole pattern for the 96-pin 603-2-IEC-C096MX-XXX P_1 connector MUST be as shown in Figure 7-2.

SUGGESTION 7.1:
Use the PC layout grid shown in Figure 7-2.

OBSERVATION 7.4:
Modular front panel hardware is available from several manufacturers which, when mounted on the grid shown in Figure 7-2, properly aligns with the front panel grid shown in Figure 7-7, page 449.

PERMISSION 7.4:
Components, other than the 603-2-IEC-C096MX-XXX connector, MAY be placed in such a way that they do not align with the grid pattern.

7.2.2 *Double height boards*

OBSERVATION 7.5:
A double height IEC 821 BUS board is 233.35 mm (9.187 in) high and 160 mm (6.299 in) deep with an area of approximately 373.4 cm² (57.9 in²).

RULE 7.7:
All double height boards MUST be designed according to the dimensions given in Figure 7-3.

RULE 7.8:
The hole pattern for the 96-pin 603-2-IEC-C096MX-XXX P_1 connector MUST be as shown in Figure 7-3.

RULE 7.9:
IF a 96-pin 603-2-IEC-C096MX-XXX connector is used for P_2,

THEN its hole pattern MUST be as shown in Figure 7-3.

OBSERVATION 7.6:
As in the case of the single height boards above, the grid shown in Figure 7-3 properly aligns modular front panel components with the front panel grid shown in Figure 7-8, page 451.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

AUTORISATION 7.5:
Des composants, autres que les connecteurs 603-2-CEI-XXXXXX-XXX PEUVENT être placés de telle façon qu'ils ne soient pas alignés avec la grille du circuit imprimé.

OBSERVATION 7.7:
Il y a une discontinuité de 1,27 mm (0,05 in) entre les grilles au pas de 2,54 mm (0,10 in) du circuit imprimé relatives à la moitié haute et à la moitié basse de la carte.

7.2.3 *Connecteurs de la carte*

La carte simple hauteur n'a qu'un connecteur sur l'arrière: le connecteur P_1. Une carte double hauteur peut avoir un ou deux connecteurs sur l'arrière. Si elle n'a qu'un connecteur, il s'appelle le connecteur P_1, situé sur la moitié supérieure. Si la carte a deux connecteurs, le connecteur supérieur s'appelle connecteur P_1 et le connecteur inférieur s'appelle connecteur P_2.

REGLE 7.10:
Les connecteurs P_1 et P_2 de toutes les cartes de BUS CEI 821 DOIVENT satisfaire ou dépasser les spécifications mécaniques d'un connecteur 603-2-CEI-C096MX-XXX classe 2 et DOIVENT être montés comme indiqué sur la figure 7-4, page 442.

OBSERVATION 7.8:
Les connecteurs 603-2-CEI classe 2 ont une endurance mécanique minimale de 400 cycles d'insertion/extraction.

OBSERVATION 7.9:
Le symbole de symétrie dans l'encart en dessous des contours de chaque carte dans la figure 7-4, donne la limite supérieure de l'inclinaison de la ligne centrale du connecteur en respectant le bord inférieur de la carte. Cette limite est décrite dans la règle suivante.

REGLE 7.11:
La distance perpendiculaire (d_1) du bord inférieur de la carte au point A dans la figure 7-4 NE DOIT PAS différer de sa distance perpendiculaire (d_2) au point B de plus de 0,3 mm (0,012 in).

REGLE 7.12:
SI une carte de BUS CEI 821 est conçue pour utiliser la rangée centrale du connecteur P_2 pour l'extension d'adresse ou de bus de données ou si la carte demande une puissance plus importante que celle que le connecteur P_1 peut fournir,
ALORS un connecteur P_2 de 96 broches du type 603-2-CEI-C096MX-XXX DOIT être prévu et il DOIT être monté comme indiqué sur la figure 7-4.

AUTORISATION 7.6:
Lorsque ni l'extension d'adresse ni celle du bus de données ne sont nécessaires et lorsque la carte ne demande pas plus de puissance que le connecteur P_1 ne peut en fournir, tout connecteur 603-2-CEI-XXXXXX-XXX PEUT être utilisé pour le connecteur P_2 sur une carte de BUS CEI 821 double hauteur, ou la carte PEUT être conçue sans connecteur P_2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

PERMISSION 7.5:
Components, other than the 603-2-IEC-XXXXXX-XXX connectors, MAY be placed in such a way that they do not align with the grid pattern.

OBSERVATION 7.7:
There is a discontinuity of 1.27 mm (0.05 in) between the 2.54 mm (0.10 in) grid patterns for the upper and lower half of the board.

7.2.3 *Board connectors*

The single height board has only one connector on its back edge. It is called the P_1 connector. A double height board has either one or two connectors on its back edge. If it has one connector, that connector is called the P_1 connector and is located on the upper half of the back edge. If it has two connectors the upper one is called the P_1 connector and the lower one is called the P_2 connector.

RULE 7.10:
The P_1 and P_2 connectors of all IEC 821 BUS boards MUST meet or exceed the mechanical specifications of a 603-2-IEC-C096MX-XXX class 2 connector and MUST be mounted as shown in Figure 7-4, page 443.

OBSERVATION 7.8:
603-2-IEC class 2 connectors have a minimum mechanical endurance of 400 insertion/extraction cycles.

OBSERVATION 7.9:
The symmetry symbol in the box below each board outline in Figure 7-4 sets an upper limit on how much the connector's center line can be tilted with respect to the board's lower edge. This limit is described in the following rule.

RULE 7.11:
The perpendicular distance (d_1) from the board's lower edge to the point A in Figure 7-4 MUST NOT differ from its perpendicular distance (d_2) to point B by more than 0.3 mm (0.012 in).

RULE 7.12:
IF an IEC 821 BUS board is designed to use the center row of P_2 for address or data bus expansion, or the board requires more power than the P_1 connector can provide,

THEN a 96-pin 603-2-IEC-C096MX-XXX P_2 connector MUST be provided and it MUST be mounted as shown in Figure 7-4.

PERMISSION 7.6:
Where neither address nor data bus expansion is required, and where the board does not require more power than the P_1 connector can provide, any 603-2-IEC-XXXXXX-XXX connector MAY be used for P_2 on a double height IEC 821 BUS board or the board MAY be designed without a P_2 connector.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

AUTORISATION 7.7:
Sur les cartes double hauteur, les deux rangées de broches externes du connecteur P_2 PEUVENT être utilisées à la guise de l'utilisateur (voir paragraphe 7.6.2).

AUTORISATION 7.8:
Les câbles d'entrée-sortie PEUVENT être connectés sur le bord avant d'une carte de BUS CEI 821. Les connecteurs utilisés pour cela ne sont pas spécifiés.

SUGGESTION 7.2:
Lorsque c'est possible, éviter les connexions de câbles sur le bord avant des cartes de BUS CEI 821. Cela facilite l'installation et l'extraction des cartes du châssis pendant la maintenance.

7.2.4 *Cartes équipées*

Une carte équipée se compose en général d'une carte de circuit imprimé définie ci-dessus avec un ou deux connecteurs 603-2-CEI-XXXXXX-XXX fixés sur le bord arrière, des composants électroniques et un panneau avant optionnel avec poignées. Pour plus de détails sur les panneaux avant, voir la section 7.3.

REGLE 7.13:
Les soudures, les pistes et les composants sur les cartes de BUS CEI 821 NE DOIVENT PAS être à moins de 2,5 mm (0,098 in) du bord de la carte pour garantir l'espace nécessaire aux guides de la carte. Les figures 7-2 et 7-3, pages 438 et 440, indiquent ces dimensions.

La figure 7-5, page 444, représente une vue en coupe des cartes de circuit imprimé, leurs panneaux avant, leurs connecteurs et le fond de panier. Les dimensions sont données en valeurs nominales et sont établies sur les dimensions données dans les autres dessins de ce chapitre.

7.2.5 *Largeurs des cartes*

AUTORISATION 7.9:
Les cartes de BUS CEI 821 PEUVENT être conçues pour occuper plus d'un emplacement.

Les cartes de BUS CEI 821 conçues pour occuper un seul emplacement du châssis sont appelées des cartes simple largeur.

7.2.6 *Gauchissement des cartes du BUS CEI 821, longueur des pattes et hauteur des composants*

Pendant la phase de fabrication, les cartes sont parfois gauchies.

REGLE 7.14:
La somme du gauchissement de la carte et de la longueur des pattes des composants DOIT être inférieure ou égale à 2,47 mm (0,097 in) par rapport au côté soudure d'une carte idéale non gauchie, et la somme de la hauteur des composants et du gauchissement dans l'autre direction DOIT être inférieure ou égale à 13,71 mm (0,54 in) plus un multiple entier (N) de 20,32 mm (0,8 in) du côté composant d'une carte que serait la carte idéale (non gauchie). (Où N est le nombre d'emplacements qu'occupe la carte moins 1.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

PERMISSION 7.7:
On double height boards, the two outside rows of pins on the P_2 connector MAY be used to provide user defined connections (see Paragraph 7.6.2).

PERMISSION 7.8:
I/O cables MAY be connected to the front edge of an IEC 821 BUS board. No connectors are prescribed for these cable connections.

SUGGESTION 7.2:
Where possible, avoid the use of cable connections to the front edge of IEC 821 BUS boards. This makes it much easier to install and remove boards from the subrack during maintenance.

7.2.4 *Board assemblies*

The board assembly typically consists of a PC board, as defined above with either one or two 603-2-IEC-XXXXXX-XXX connectors affixed to the board's back edge, electronic components, and an optional front panel with handles. For more detail on the front panels, see Section 7.3.

RULE 7.13:
Solder filets, tracking, and components on IEC 821 BUS boards MUST NOT be closer than 2.5 mm (0.098 in) from the top and bottom edges of the board to guarantee clearance between them and the board guides. Figures 7-2 and 7-3, pages 439 and 441, show these dimensions.

Figure 7-5, page 445, shows a cross sectional view of a PC board, its front panel, its connector and the backplane. The dimensions given are nominal values and are based upon the dimensions given in the other drawings in this chapter.

7.2.5 *Board widths*

PERMISSION 7.9:
IEC 821 BUS boards MAY be designed to occupy more than one slot.

IEC 821 BUS boards designed to occupy a single slot of the subrack are called single width boards.

7.2.6 *IEC 821 BUS board warpage, lead length and component height*

During the manufacturing process boards sometimes become warped.

RULE 7.14:
The sum of warpage and component lead length MUST be less than or equal to 2.47 mm (0.097 in) from where the solder side of an ideal (unwarped) board would be, and the sum of component height and warpage (in the other direction) MUST be less than or equal to 13.71 mm (0.54 in) plus an integral multiple (N) of 20.32 mm (0.8 in), from where the component side of an ideal (unwarped) board would be. (Where N is the number of slots that the board occupies minus 1.)

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.10:
Pendant l'insertion dans le châssis, les pattes de composants d'une carte pourraient toucher le côté droit du panneau avant à sa gauche. Dans ce cas, il convient que la carte soit insérée avec soin pour éviter la torsion des pattes des composants.

SUGGESTION 7.3:
Lorsque c'est possible, couper la longueur des pattes des composants à 1,52 mm (0,06 in). Cela améliore l'installation et l'enlèvement des cartes. Puisque le maximum de gauchissement admissible est affecté par la longueur des pattes de composants, le fait de les couper permet aux cartes ayant subi un gauchissement de satisfaire aux spécifications.

OBSERVATION 7.11:
Les dimensions données dans la SUGGESTION 7.3 assurent qu'il y aura un espace d'au moins 2,54 mm (0,10 in) entre les composants de chaque carte et les pattes de composants de la carte de droite. Cet espace assure un passage d'air adéquat et évite un gauchissement supplémentaire et le contact entre cartes dû aux vibrations.

REGLE 7.15:
Toutes les cartes de BUS CEI 821 DOIVENT être mesurées après avoir été assemblées pour garantir que la somme du gauchissement de la carte, de la longueur des pattes de composants et de la hauteur des composants ne dépasse pas la longueur admise. Pour mesurer cela correctement, la carte DOIT être insérée dans le châssis (ou dans un montage de test équipé de fixations semblables) durant la mesure.

La figure 7-6, page 446, représente une carte (simple ou double hauteur) dans un châssis, et montre comment la combinaison du gauchissement de la carte, de la longueur des pattes de composants et de la hauteur des composants est mesurée. Le plan de séparation entre les cartes, défini dans cette figure, fournit la référence de ces mesures.

OBSERVATION 7.12:
Un montage de test spécial qui simule un châssis permettant de faire ces mesures plus rapidement est indiqué dans la figure 7-6.

7.3 *Panneaux avant*

Cette section fournit les spécifications mécaniques des panneaux avant de la carte simple et double hauteur ainsi que du matériel associé.

AUTORISATION 7.10:
Les cartes de BUS CEI 821 PEUVENT être fabriquées avec ou sans panneaux avant.

RECOMMANDATION 7.2:
Utiliser les panneaux avant et le matériel associé pour empêcher les cartes de BUS CEI 821 de sortir du châssis suite à des vibrations, et pour guider le passage d'air à travers le châssis.

REGLE 7.16:
SI les panneaux avant sont utilisés,
ALORS des vis DOIVENT être prévues au sommet et à la base de ces panneaux pour assurer leur maintien sur le châssis et les vis filetées DOIVENT être au pas de M 2,5 x 0,45.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.10:
During insertion into the subrack, the component leads of a board might contact the right edge of the front panel to its left. For this reason, the board should be inserted carefully to avoid bending the component leads.

SUGGESTION 7.3:
Where possible, trim the component lead lengths to 1.52 mm (0.06 in). This makes installation and removal of boards more convenient. Since the maximum allowable warpage is affected by the length of these component leads, trimming them allows boards with larger warpage to meet the specifications.

OBSERVATION 7.11:
The dimensions given in SUGGESTION 7.3 ensure that there will be a clearance of at least 2.54 mm (0.1 in) between components of each board and the component leads of the board to its right. This space allows adequate air flow and prevents additional warpage and vibration from causing interboard contact.

RULE 7.15:
All IEC 821 BUS boards MUST be measured, after they are assembled, to ensure that the combination of board warpage, component lead length, and component height does not exceed the specified limits when the board is inserted into a subrack. In order to properly make these measurements, the board MUST be placed in a subrack (or a similar test fixture) while the measurements are taken.

Figure 7-6, page 447, shows a board (single or double height) in a subrack, and shows how the combination of board warpage, component lead length, and component height is to be measured. The interboard separation planes defined in that figure provide the reference from which the measurements are made.

OBSERVATION 7.12:
A special test fixture, which simulates a subrack, is helpful in speeding up the measurements shown in Figure 7-6.

7.3 *Front panels*

This section provides the mechanical specifications for the single and double height board front panels and associated hardware.

PERMISSION 7.10:
IEC 821 BUS boards MAY be manufactured with or without front panels.

RECOMMENDATION 7.2:
Use front panels and associated hardware to prevent IEC 821 BUS boards from vibrating out of the subrack, and to guide airflow through the subrack.

RULE 7.16:
IF front panels are used,
THEN screws MUST be provided on those panels to secure the top and bottom of the panels to the subrack and their screw threads MUST be M 2.5 x 0.45 pitch.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

La figure 7-7, page 448, représente un panneau avant de simple hauteur et simple largeur. La figure 7-8, page 450, représente un panneau avant double hauteur et simple largeur. Le format de grille sur la face arrière de ces panneaux avant est aligné avec les grilles des cartes définies respectivement dans les figures 7-2 et 7-3, pages 438 et 440.

SUGGESTION 7.4:
Installer les composants de panneaux avant tel que diodes électro-luminescentes (LED) et interrupteurs de manière que leur centre soit aligné avec un point de la grille du panneau avant.

7.3.1 *Poignées*

AUTORISATION 7.11:
Les panneaux avant des cartes de BUS CEI 821 PEUVENT être conçus avec ou sans poignées.

RECOMMANDATION 7.3:
Mettre des poignées pour faciliter l'extraction des cartes de BUS CEI 821 du châssis.

OBSERVATION 7.13:
Les poignées disponibles chez différents fabricants peuvent être de formes différentes.

SUGGESTION 7.5:
Choisir des poignées qui ont une profondeur et une hauteur conformes aux dimensions indiquées sur les figures 7-7 et 7-8.

RECOMMANDATION 7.4:
Quand des poignées sont montées sur les panneaux avant des cartes de BUS CEI 821, choisir un ou plusieurs endroits indiqués sur les figures 7-7, 7-8, 7-11 et 7-12, pages 448, 450, 456 et 458.

AUTORISATION 7.12:
Sur les cartes simple hauteur, des poignées PEUVENT être installées selon une des combinaisons suivantes:

1) Poignée supérieure uniquement.
2) Poignée inférieure uniquement.
3) Deux poignées, une supérieure et une inférieure.

AUTORISATION 7.13:
Sur les cartes double hauteur, des poignées PEUVENT être installées selon une des combinaisons suivantes:

1) Supérieure uniquement.
2) Milieu uniquement.
3) Inférieure uniquement.
4) Supérieure et milieu.
5) Inférieure et milieu.
6) Supérieure et inférieure.

OBSERVATION 7.14:
Quand des cartes simple et double hauteur partagent le même châssis, les poignées placées au centre du panneau avant des cartes double hauteur se retrouvent alignés avec les poignées des cartes simple hauteur, formant ainsi une ligne continue de meilleure apparence.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

Figure 7-7, page 449, shows a single height, single width front panel. Figure 7-8, page 451, shows a double height, single width front panel. The grid format on the rear face of these front panels is aligned with the board grids in Figures 7-2 and 7-3, pages 439 and 441, respectively.

SUGGESTION 7.4:
Install front panel components such as Light Emitting Diodes (LEDs) and switches so that their centers are aligned with a front panel grid point.

7.3.1 *Handles*

PERMISSION 7.11:
IEC 821 BUS boards front panels MAY be designed with or without handles.

RECOMMENDATION 7.3:
Provide handles to make IEC 821 BUS boards easier to remove from the subrack.

OBSERVATION 7.13:
The handles available from various manufacturers vary somewhat in overall shape.

SUGGESTION 7.5:
Choose handles whose depth and height conform to the dimensions shown in Figure 7-7 and Figure 7-8.

RECOMMENDATION 7.4:
When mounting handles on IEC 821 BUS board front panels, choose one or more of the locations shown in Figures 7-7, 7-8, 7-11 and 7-12, pages 449, 451, 457 and 459.

PERMISSION 7.12:
On single height boards, handles MAY be installed in any of the following combinations:

1) Top only.
2) Bottom only.
3) Top and bottom.

PERMISSION 7.13:
On double height boards handles MAY be installed in any of the following combinations:

1) Top only.
2) Middle only.
3) Bottom only.
4) Top and middle.
5) Bottom and middle.
6) Top and bottom.

OBSERVATION 7.14:
When double and single height boards share the same subrack, handles in the center of the double height front panels align with the handles of single height boards, forming an unbroken line and giving a more consistent appearance.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.15:
Extraire une carte double hauteur qui possède le connecteur P_1 et le connecteur 96 broches P_2 nécessite d'équilibrer la force d'extraction à 180 N (40,5 lbf). En plaçant les poignées au sommet et à la base de la carte double hauteur, l'extraction de cette carte sera plus facile.

7.3.2 *Montage du panneau avant*

RECOMMANDATION 7.5:
SI on utilise des panneaux avant,
ALORS les zones réservées définies dans les figures 7-9 et 7-10, pages 452 et 454, doivent être laissées libres de composants pour permettre l'installation des supports de montage du panneau avant. Les trous utilisés pour monter ces pièces doivent être situés comme indiqué sur les figures 7-2 et 7-3, pages 438 et 440.

RECOMMANDATION 7.6:
SI les fonds de panier sont utilisés sur des cartes double hauteur,
ALORS fournir au moins un support de montage à l'un des deux endroits indiqués sur la figure 7-10.

REGLE 7.17:
SI les fonds de panier sont utilisés,
ALORS la dimension de référence, indiquée sur les figures 7-9 et 7-10 à partir de la face arrière du panneau avant jusqu'à la face arrière du connecteur DOIT être respectée.

OBSERVATION 7.16:
Les dimensions de référence à partir de la face arrière du panneau avant jusqu'à la face avant du fond de panier garantissent que les connecteurs P_1 et P_2 seront engagés complètement et que les verrouillages du panneau avant pourront fixer la carte au châssis.

7.3.3 *Dimensions du panneau avant*

Toutes les dimensions du panneau avant sont mesurées d'un point de référence placé à 0,15 mm (0,006 in) à gauche du coin supérieur gauche vu de l'avant.

REGLE 7.18:
Les panneaux avant de simple largeur DOIVENT être conçus aux dimensions indiquées sur les figures 7-7 et 7-8, pages 448 et 450.

RECOMMANDATION 7.7:
Réaliser les panneaux avant d'une épaisseur nominale de 2,5 mm (0,098 in).

OBSERVATION 7.17:
La largeur de 20,02 mm (0,78 in) des panneaux avant pour emplacement simple est inférieure à 0,30 mm (0,012 in) au pas de 20,32 mm (0,8 in) des emplacements. Cela empêche l'empiètement des panneaux avant adjacents dû aux tolérances des assemblages des cartes et des châssis.

REGLE 7.19:
SI une carte occupe plus d'un emplacement et possède un panneau avant,
ALORS la largeur de ce panneau avant DOIT être 20,02 mm (0,78 in) plus un multiple entier (N-1) de 20,32 mm (0,8 in), où N est le nombre d'emplacements qu'occupe la carte.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.15:
Removal of double height boards that have both a P_1 and a 96-pin P_2 connector requires up to 180 N (40.5 lbf) of extraction force. Placing handles at the top and bottom of double height boards makes removal of these boards easiest.

7.3.2 *Front panel mounting*

RECOMMENDATION 7.5:
IF front panels are used,
THEN keep the reserved areas shown in Figures 7-9 and 7-10, pages 453 and 455, free of components to allow for installation of front panel mounting brackets. Locate the holes used to mount these brackets as shown in Figures 7-2 and 7-3, pages 439 and 441.

RECOMMENDATION 7.6:
IF front panels are used on double height boards,
THEN provide at least one center mounting bracket at one of the two locations shown in Figure 7-10.

RULE 7.17:
IF front panels are used,
THEN the test dimension shown in Figures 7-9 and 7-10, from the rear face of the front panel to the rear face of the connector, MUST be maintained.

OBSERVATION 7.16:
The test dimensions from the rear face of the front panel to the front face of the backplane guarantee that the P_1 and P_2 connectors will be fully engaged and that the front panel fasteners will be able to secure the board into the subrack.

7.3.3 *Front panel dimensions*

All dimensioning of the front panel is done from a datum point 0.15 mm (0.006 in) to the left of its top left corner as viewed from the front.

RULE 7.18:
Single width front panels MUST be designed to the dimensions shown in Figures 7-7 and 7-8, pages 449 and 451.

RECOMMENDATION 7.7:
Make front panels 2.5 mm (0.098 in) nominal thickness.

OBSERVATION 7.17:
The 20.02 mm (0.78 in) width of the single slot front panels is 0.30 mm (0.012 in) narrower than the 20.32 mm (0.8 in) slot spacing. This prevents mechanical interference between adjacent front panels due to tolerances in the board assemblies and subracks.

RULE 7.19:
IF a board occupies more than one slot and has a front panel,

THEN the width of that front panel MUST be 20.02 mm (0.78 in) plus an integral multiple (N-1) of 20.32 mm (0.8 in), where N is the number of slots that the board occupies.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

REGLE 7.20:
Les panneaux avant d'emplacement simple DOIVENT être équipés d'un verrouillage en haut et d'un autre en bas, situés comme indiqué sur les figures 7-7 et 7-8, pages 448 et 450.

7.3.4 *Panneaux de remplissage*

Les panneaux de remplissage sont utilisés parfois lorsque le positionnement du fond de panier laisse un espace sur l'extrémité gauche ou droite du panneau avant du châssis ou lorsqu'il y a des emplacements libres. Ces panneaux de remplissage n'ont pas besoin de supports de montage parce qu'ils ne sont pas fixés aux cartes de circuits imprimés. Ils sont fixés au châssis par des vis ou des verrouillages rapides en haut et en bas comme les panneaux avant des cartes de BUS CEI 821.

REGLE 7.21:
Les panneaux de remplissage DOIVENT être conçus pour être conformes aux dimensions données sur les figures 7-11 et 7-12, pages 456 et 458.

REGLE 7.22:
Les panneaux de remplissage simple emplacement DOIVENT être équipés avec un verrouillage au sommet et un autre à la base, placés comme indiqué sur les figures 7-11 et 7-12.

RECOMMANDATION 7.8:
Utiliser des panneaux de remplissage sur les systèmes de BUS CEI 821 pour maintenir le passage d'air approprié dans le châssis et pour améliorer l'aspect du système de BUS CEI 821 assemblé.

SUGGESTION 7.6:
Equiper les panneaux de remplissage avec des poignées. Cela donnera un meilleur aspect lorsqu'ils seront installés dans le même châssis que les cartes de BUS CEI 821 munies de panneaux avant et de poignées.

SUGGESTION 7.7:
Fournir des trous de montage supplémentaires sur les panneaux de remplissage plus larges que 101,60 mm (4,0 in) pour permettre une meilleure fixation au châssis.

7.3.5 *Ejecteurs/injecteurs de cartes*

OBSERVATION 7.18:
Plusieurs fabricants offrent des types différents d'éjecteurs/injecteurs de cartes qui facilitent l'insertion et l'enlèvement des cartes de BUS CEI 821.

OBSERVATION 7.19:
La force d'insertion pour un seul connecteur 603-2-CEI-C096MX-XXX peut atteindre 90 N (20,23 lbf).

AUTORISATION 7.14:
Les cartes de BUS CEI 821 PEUVENT être équipées de n'importe quel type d'éjecteurs, d'injecteurs ou de fixations s'ils ne créent pas des incompatibilités avec les cartes ou châssis conçus selon les spécifications du BUS CEI 821.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

RULE 7.20:
Single slot front panels MUST be equipped with one fastener at the top and another at the bottom, located as shown in Figures 7-7 and 7-8, pages 449 and 451.

7.3.4 *Filler panels*

Filler panels are sometimes used where the backplane positioning leaves a gap on the left or right end of the subrack's front panel or where there are empty slots. These filler panels require no mounting brackets because they are not attached to printed circuit boards. They are secured to the subrack by screws or quarter-turn fasteners on their top and bottom ends like the front panels of IEC 821 BUS boards.

RULE 7.21:
Filler panels MUST be designed to conform to the dimensions given in Figures 7-11 and 7-12, pages 457, and 459.

RULE 7.22:
Single slot filler panels MUST be equipped with one fastener at the top and another at the bottom, located as shown in Figures 7-11 and 7-12.

RECOMMENDATION 7.8:
Use filler panels on IEC 821 BUS based systems to maintain proper air flow within the subrack and to improve the appearance of the assembled IEC 821 BUS system.

SUGGESTION 7.6:
Equip filler panels with handles. This will give a more consistent appearance when they are installed in the same subrack with IEC 821 BUS boards that have front panels and handles.

SUGGESTION 7.7:
Provide additional mounting holes on filler panels wider than 101.60 mm (4.0 in) to provide better attachment to the subrack.

7.3.5 *Board ejectors/injectors*

OBSERVATION 7.18:
Several vendors offer different types of board ejectors/injectors that make insertion and removal of IEC 821 BUS boards easier.

OBSERVATION 7.19:
The insertion force for a single 603-2-IEC-C096MX-XXX connector can be as high as 90 N (20.23 lbf).

PERMISSION 7.14:
IEC 821 BUS boards MAY be equipped with any type of ejectors, injectors, or retainers as long as they do not make the products they are used on incompatible with boards or subracks designed to the IEC 821 BUS specifications.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

7.4 *Fonds de panier*

Le fond de panier principal est conçu comme le fond de panier J_1. Parfois, il est le seul fond de panier dans le système de BUS CEI 821. Quand un châssis double hauteur est utilisé, ce fond de panier est monté dans la partie supérieure du châssis. Lorsqu'on utilise un BUS CEI 821 étendu, un deuxième fond de panier appelé fond de panier J_2 est installé sous le fond de panier J_1 dans la partie inférieure du châssis. Ce fond de panier J_2 ne relie que la rangée du centre b des broches de connecteurs J_2, permettant d'utiliser les deux rangées extérieures a et c pour l'implantation du BUS CEI 822 ou toute autre utilisation définie par l'utilisateur. Le terme J_1/J_2 est utilisé pour décrire un fond de panier qui fournit les connecteurs J_1 et J_2 sur la même carte.

Les emplacements de carte sont appelés 1, 2, 3 ... 21, le numérotage des emplacements débutant à l'extrémité gauche du châssis, vue de l'avant. La propagation de la chaîne série commence à l'emplacement 1 et va jusqu'à 21.

REGLE 7.23:
Les fonds de panier J_1 du BUS CEI 821 DOIVENT relier tous les signaux de tous les emplacements sauf pour les signaux de la chaîne série. (Voir paragraphe 7.6.1.)

REGLE 7.24:
Lorsqu'on utilise soit un fond de panier J_2 soit un fond de panier J_1/J_2 pour fournir une largeur de 32 bits d'adresses et de données, il DOIT relier toutes les broches de la rangée du centre (rangée b) des emplacements équipés d'un connecteur. (Voir paragraphe 7.6.2.)

REGLE 7.25:
Les connecteurs 96 broches 603-2-CEI-C096FX-XXX DOIVENT être utilisés sur tous les fonds de panier J_1 du BUS CEI 821 et sur tous les fonds de panier d'extension J_2.

REGLE 7.26:
Tous les fonds de panier J_1 du BUS CEI 821 DOIVENT prévoir la mise en place de cavaliers pour la reconnaissance de l'interruption et les chaînes séries d'allocation du bus lorsqu'une carte n'est pas insérée dans un emplacement.

SUGGESTION 7.8:
Pour permettre des cavaliers sur les chaînes séries du fond de panier J_1, utiliser des connecteurs 603-2-CEI-C096FX-XXX qui ont des broches à connexions enroulées.

SUGGESTION 7.9:
SI des connecteurs J_1 sans broches à connexions enroulées sont utilisés,
ALORS placer toutes les broches des cavaliers de la chaîne série près du prochain connecteur J_1 auquel elles se connectent.

RECOMMANDATION 7.15:
Pour améliorer l'intégrité du système de masse dans les configurations étendues, utiliser un fond de panier J_1/J_2.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

7.4 *Backplanes*

The primary backplane is designated as the J_1 backplane. In some cases this is the only backplane in the IEC 821 BUS system. When a double height subrack is used, this backplane is mounted in the upper portion of that subrack. When the expanded IEC 821 BUS is used, a second backplane, designated the J_2 backplane, is installed below the J_1 backplane in the lower portion of the subrack. This J_2 backplane busses only the center row b of the J_2 connector pins, allowing the two outer rows a and c to be used to implement the IEC 822 BUS or for any other user defined functions. The term J_1/J_2 is used to describe a combined backplane that provides both the J_1 and the J_2 connectors on the same board.

Board slots are designated 1, 2, 3 ... 21, with the slot numbering starting at the left end of the subrack, as viewed from the front. The daisy-chain propagation starts with slot 1 and goes to 21.

RULE 7.23:
J_1 IEC 821 BUS backplanes MUST bus all signals in all slots except for the daisy-chained signals. (See Paragraph 7.6.1.)

RULE 7.24:
When either a J_2 or a J_1/J_2 backplane is used to provide for 32-bit wide address and data transfers, it MUST bus all pins of the center row (row b) of those slots for which it has connectors. (See Paragraph 7.6.2.)

RULE 7.25:
The 96-pin 603-2-IEC-C096FX-XXX connectors MUST be used on all J_1 IEC 821 BUS backplanes and on all J_2 expansion backplanes.

RULE 7.26:
All IEC 821 BUS J_1 backplanes MUST have some provision for jumpering the interrupt acknowledge and bus grant daisy-chains when boards are not plugged into a slot.

SUGGESTION 7.8:
To provide for the jumpering of the J_1 backplane daisy-chains, use 603-2-IEC-C096FX-XXX connectors that have wire-wrap pins.

SUGGESTION 7.9:
IF J_1 connectors without wire-wrap pins are used,

THEN place all of the jumper pins for daisy-chains next to the J_1 connector that they are jumpering.

RECOMMENDATION 7.15:
To improve system ground integrity in expanded configurations, use a J_1/J_2 backplane.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

SUGGESTION 7.10:
Utiliser des connecteurs 603-2-CEI-C096FX-XXX avec des broches à connexions enroulées comme connecteurs de fond de panier J_2. Cela permet la fixation de câbles plats et de fonds de panier secondaires à ces broches.

7.4.1 *Dimensions exigées du fond de panier*

La figure 7-13, page 460, représente un fond de panier à 21 emplacements simple hauteur. La figure 7-15, page 464, décrit un fond de panier double hauteur.

AUTORISATION 7.16:
Les fonds de panier du BUS CEI 821 PEUVENT être conçus avec au maximum 21 emplacements.

RECOMMANDATION 7.9:
Lorsqu'un fond de panier est conçu avec moins de 21 emplacements, sa largeur DOIT être:

$$(N \times 20{,}32 \text{ mm}) - 1{,}44 \; {}^{0}_{-0{,}3} \text{ mm}$$

ou

$$(N \times 20{,}32 \text{ mm}) \; {}^{0}_{-0{,}3} \text{ mm}$$

où N est égal au nombre d'emplacements. Cela permet à deux fonds de panier d'être placés l'un à côté de l'autre sans perdre d'emplacement dans le châssis.

RECOMMANDATION 7.10:
Ne pas concevoir de fonds de panier de largeurs supérieures à 425,28 mm $^{0}_{-0,3}$ mm (16,743 in). Des fonds de panier plus longs pourraient ne pas être compatibles avec les châssis les plus répandus.

AUTORISATION 7.17:
Les fonds de panier du BUS CEI 821 PEUVENT être conçus avec ou sans bornes filetées de connection des câbles d'alimentation du fond de panier.

REGLE 7.27:
Sauf en ce qui concerne la largeur qui varie avec le nombre d'emplacements, les fonds de panier J_1 et J_2 du BUS CEI 821 DOIVENT être conçus aux dimensions indiquées dans les figures 7-13 et 7-14.

REGLE 7.37:
Sauf pour la largeur qui varie avec le nombre d'emplacements, le fond de panier J_1/J_2 DOIT être conçu aux dimensions données dans les figures 7-15 et 7-16.

OBSERVATION 7.20:
Les dimensions du fond de panier indiquées dans la figure 7-14, page 462, se répètent tous les 20,32 mm (0,8 in).

7.4.2 *Réseaux d'adaptation d'impédance des lignes de signaux*

REGLE 7.28:
Les fonds de panier du BUS CEI 821 DOIVENT prévoir des adaptations d'impédance enfichables pour toutes les lignes de signaux indiquées à la section 6.7.

IECNORM.COM: Click to view the full PDF of IEC 821:1991

SUGGESTION 7.10:
Use 603-2-IEC-C096FX-XXX connectors with wire-wrap pins for the connectors on J_2 backplanes. This allows attachment of ribbon cables and secondary backplanes to those pins.

7.4.1 *Backplane dimensional requirements*

Figure 7-13, page 461, depicts a single height 21-slot backplane. Figure 7-15, page 465, depicts a double height backplane.

PERMISSION 7.16:
IEC 821 BUS backplanes MAY be designed with up to 21 slots.

RECOMMENDATION 7.9:
When designing a backplane with fewer than 21 slots, make the width

$$(N \times 20.32 \text{ mm}) - 1.44 \; {}^{0}_{-0.3} \text{ mm}$$

or

$$(N \times 20.32 \text{ mm}) \; {}^{0}_{-0.3} \text{ mm}$$

where N is the number of slots. This allows two backplanes to be installed next to each other without wasting a slot position in the subrack.

RECOMMENDATION 7.10:
Do not design backplanes with widths greater than 425.28 $^{0}_{-0.3}$ mm (16.743 in). Backplanes longer than this might not fit into widely available subracks.

PERMISSION 7.17:
IEC 821 BUS backplanes MAY be designed with or without threaded studs for power cable connections to the backplane.

RULE 7.27:
Except for the width dimension which varies with the number of slots, IEC 821 BUS J_1 and J_2 backplanes MUST be designed to the dimensions given in Figures 7-13 and 7-14.

RULE 7.37:
Except for the width dimension which varies with the number of slots, J_1/J_2 backplanes MUST be designed to the dimensions given in Figures 7-15 and 7-16.

OBSERVATION 7.20:
The backplane dimensions shown in Figure 7-14, page 463, repeat every 20.32 mm (0.8 in).

7.4.2 *Signal line termination networks*

RULE 7.28:
IEC 821 BUS backplanes MUST provide terminations for all of the signal lines as indicated in Section 6.7.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.25:
Les réseaux d'impédance installés sur le fond de panier assurent une meilleure qualité de signal qu'un circuit embroché.

RECOMMANDATION 7.15:
Prévoir l'installation de réseaux d'impédance sur le fond de panier.

REGLE 7.29:
La longueur des pistes de signaux du fond de panier, incluant toute carte d'adaptation d'impédance enfichable, NE DOIT PAS excéder 508 mm (20,0 in).

7.5 *Assemblage des châssis du BUS CEI 821*

Cette section indique comment les châssis du BUS CEI 821 sont assemblés. Toutes les dimensions horizontales sont prises à partir de l'extrémité gauche de l'ouverture avant du châssis.

7.5.1 *Châssis et largeurs des emplacements*

La figure 7-19, page 472, représente un châssis typique double hauteur avec 21 emplacements.

AUTORISATION 7.19:
Les châssis double hauteur PEUVENT être utilisés pour installer les cartes double hauteur ou PEUVENT être subdivisés par l'installation d'un support en deux sections simple hauteur, l'une au-dessus de l'autre.

OBSERVATION 7.22:
Le support indiqué dans l'AUTORISATION 7.19 fournit deux guides de carte: le guide du bas pour la carte du dessus et le guide du haut pour la carte du dessous.

SUGGESTION 7.11:
Installer les guides de la carte de l'extrémité gauche (emplacement 1) pour que leur axe soit à 3,27 mm (0,129 in) de l'extrémité gauche de l'ouverture du châssis. Cela fournit un espace suffisant pour les pattes des composants de la carte installée dans cet emplacement, sans perte de place. (Si ce guide de carte est installé plus à droite, il n'y aura pas la place pour les 21 emplacements.)

7.5.2 *Dimensions du châssis*

REGLE 7.30:
Tous les châssis du BUS CEI 821 double hauteur DOIVENT satisfaire à toutes les contraintes dimensionnelles données sur la figure 7-19, sauf pour la largeur qui varie selon le nombre d'emplacements du châssis.

REGLE 7.31:
Tous les châssis du BUS CEI 821 simple hauteur DOIVENT satisfaire à toutes les contraintes dimensionnelles données sur la figure 7-19 sauf pour la largeur qui varie selon le nombre d'emplacements du châssis, et l'espace vertical entre les guides de carte inférieurs et supérieurs qui est de $100{,}2\ ^{+0{,}4}_{0}$ mm au lieu de 233,55 mm ($3{,}94\ ^{+0{,}015}_{0}$ in au lieu de 9.19 in).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.25:
Termination networks that are built onto the backplane provide better signal quality than plug-on terminator boards.

RECOMMENDATION 7.15:
Include built-in termination networks on backplanes.

RULE 7.29:
Backplane signal trace lengths, including any plug-on terminator boards, MUST NOT exceed 508 mm (20.0 in).

7.5 *Assembly of IEC 821 BUS subracks*

This section shows how IEC 821 BUS subracks are assembled. All horizontal dimensions are from the left hand edge of the front opening of the subrack.

7.5.1 *Subracks and slot widths*

Figure 7-19, page 473, shows a typical double height 21-slot subrack.

PERMISSION 7.19:
Double height subracks MAY be used to house double height boards or they MAY be sub-divided by the installation of a bracket, into two single height sections, one above the other.

OBSERVATION 7.22:
The bracket allowed in PERMISSION 7.19 provides two board guides: the lower guide for the board above it and the upper guide for the board below it.

SUGGESTION 7.11:
Where possible, install the left-most (slot 1) board guides so that their center line is 3.27 mm (0.129 in) from the left end of the rack opening. This provides sufficient clearance for the component leads of the board installed in that slot, and doesn't waste any horizontal space. (If this board guide is installed farther to the right there will not be room for 21 slots.)

7.5.2 *Subrack dimensions*

RULE 7.30:
All double height IEC 821 BUS subracks MUST meet all of the dimensional requirements given in Figure 7-19, except for the width dimension, which varies according to how many slots are in the subrack.

RULE 7.31:
All single height IEC 821 BUS subracks MUST meet all of the dimensional requirements given in Figure 7-19, except for the width dimension, which varies according to how many slots are in the subrack, and the vertical distance between the lower and upper board guides, which is $100.2\ ^{+0.4}_{0}$ mm instead of 233.55 mm ($3.94\ ^{+0.015}_{0}$ in instead of 9.19 in).

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.23:

La dimension entre la surface de montage du panneau avant et la face avant du fond de panier est particulièrement critique, puisqu'elle garantit l'enfichage correct du connecteur.

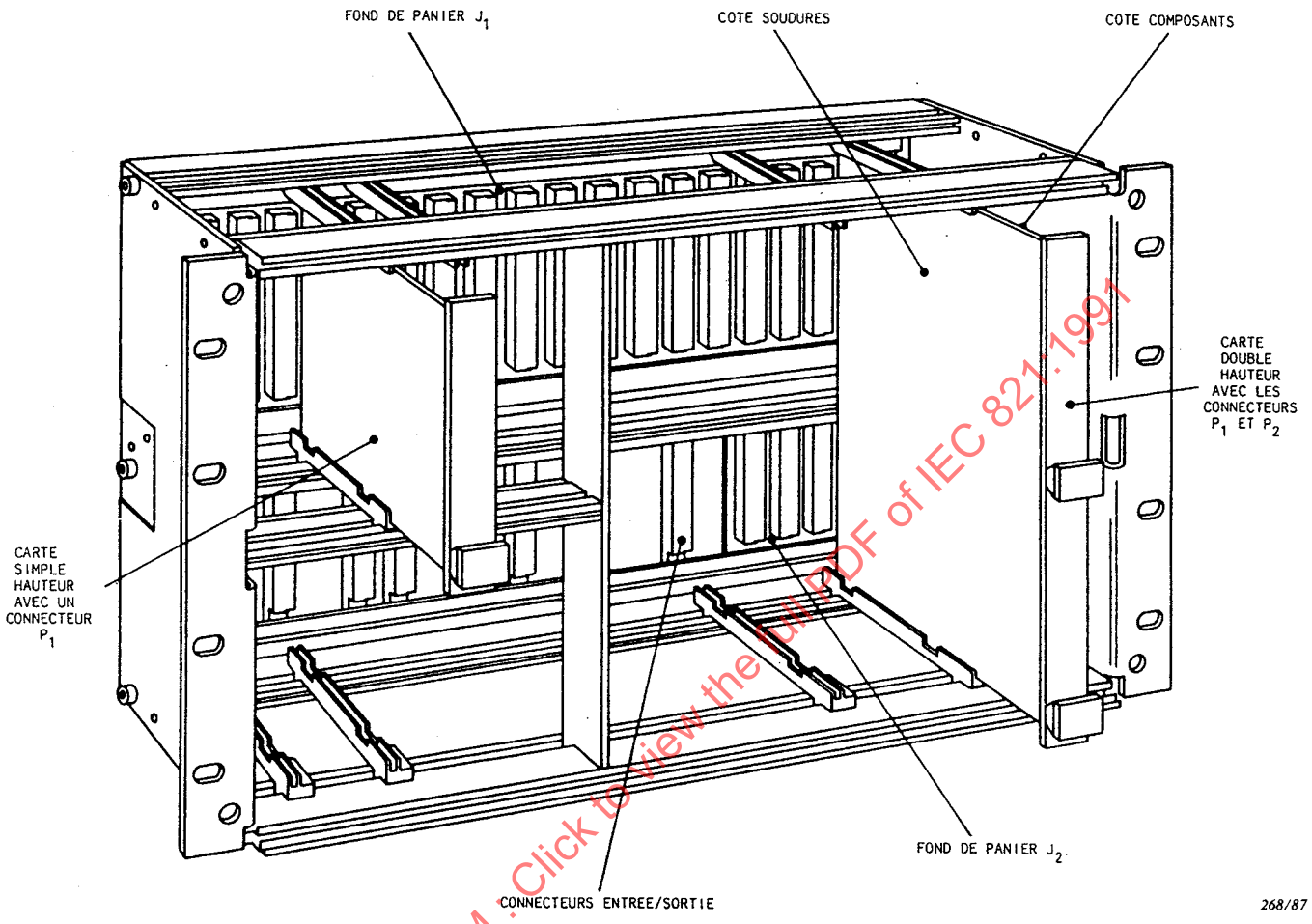


FIG. 7-1. - Châssis équipé avec des cartes de tailles différentes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991

OBSERVATION 7.23:

The dimension from the front panel mounting surface to the front face of the backplane is particularly critical, since it guarantees correct connector engagement.

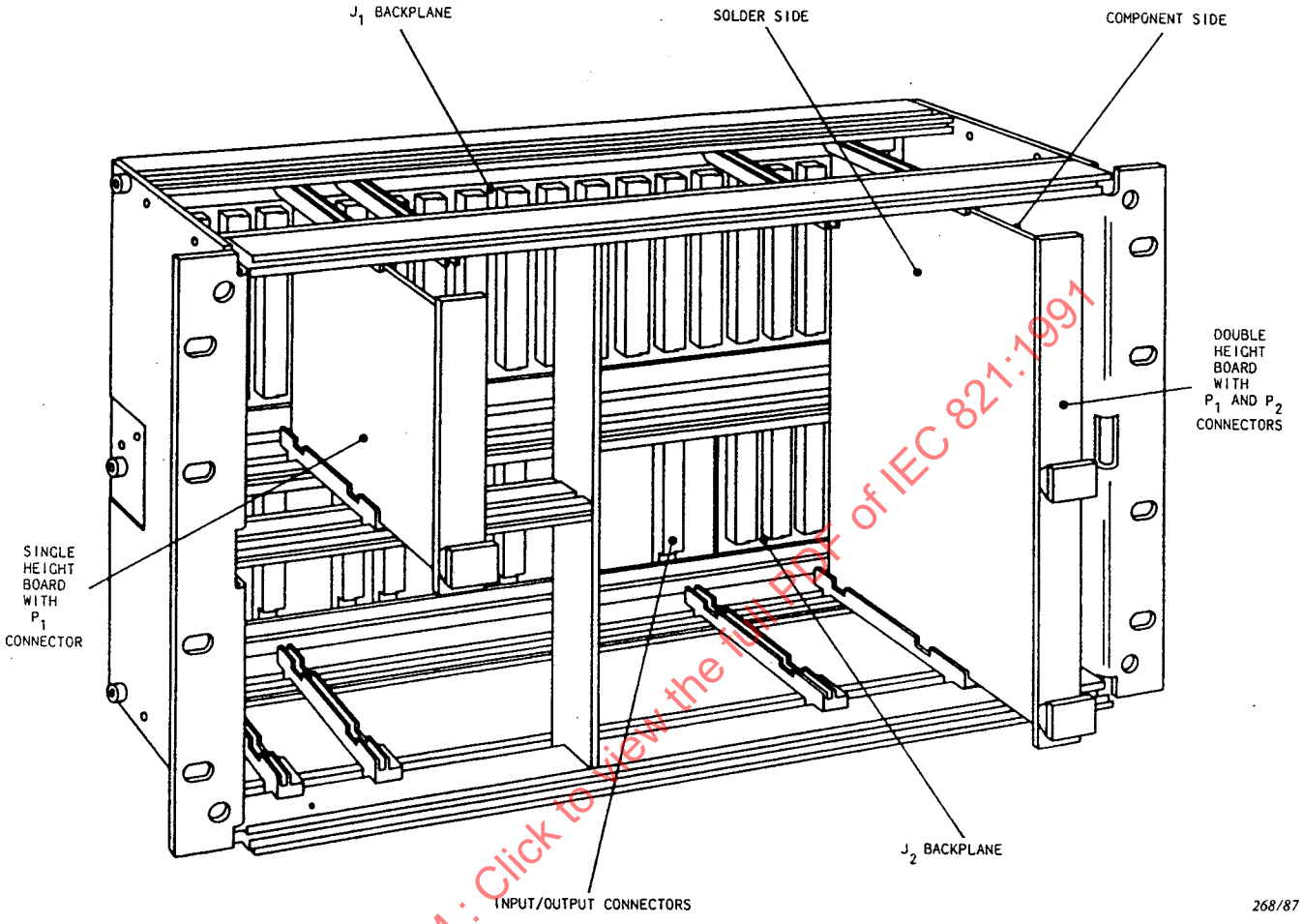
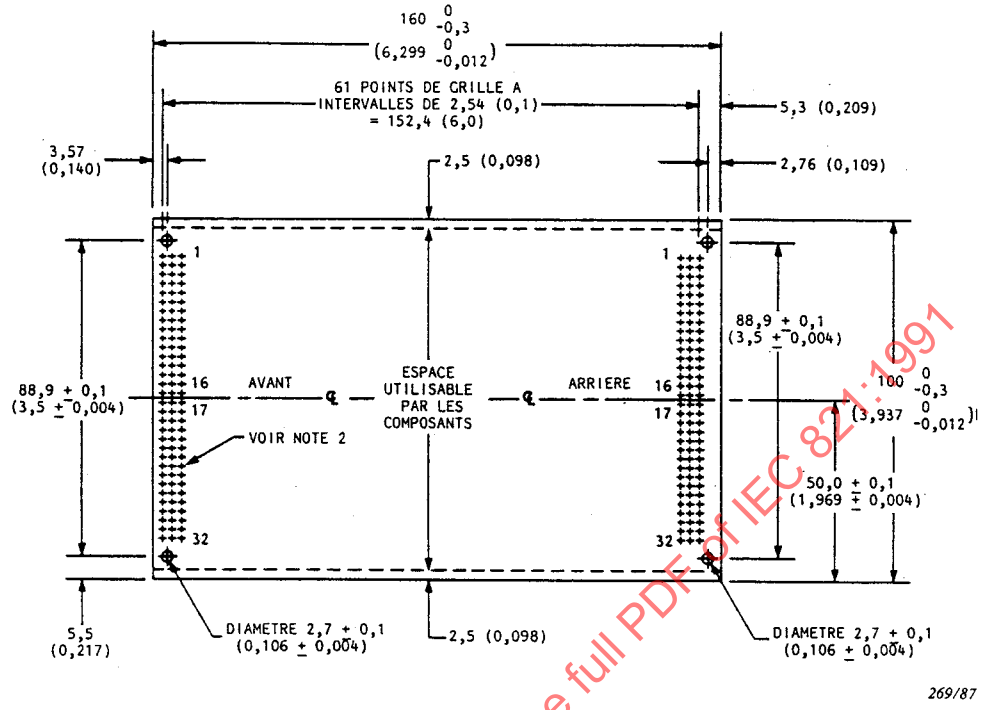


FIG. 7-1. - Subrack with mixed board sizes.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Notes:

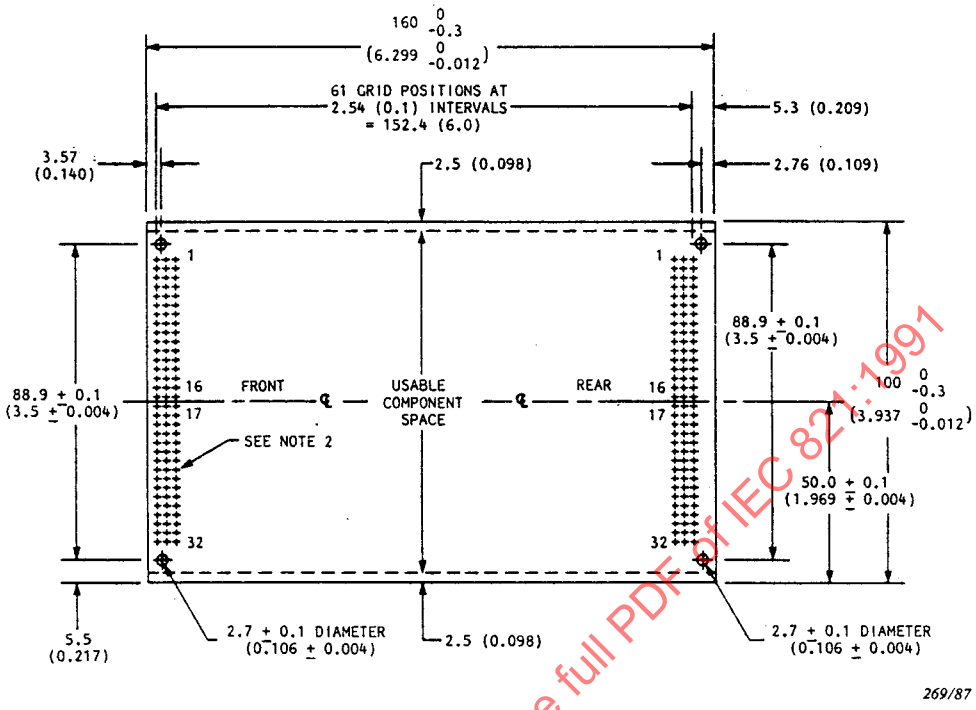
1.- Toutes les dimensions sont données en millimètres. Les dimensions en inches sont données entre parenthèses.

2.- Ces grilles sont fournies pour aider le concepteur de cartes à aligner les composants avec la grille du panneau avant.

3.- REGLE 7.32:
Les cartes DOIVENT avoir une épaisseur de 1,6 ± 0,2 mm (0,063 ± 0,008 in) dans la zone de guidage.

FIG. 7-2. – Carte simple hauteur: dimensions de base.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



Notes:

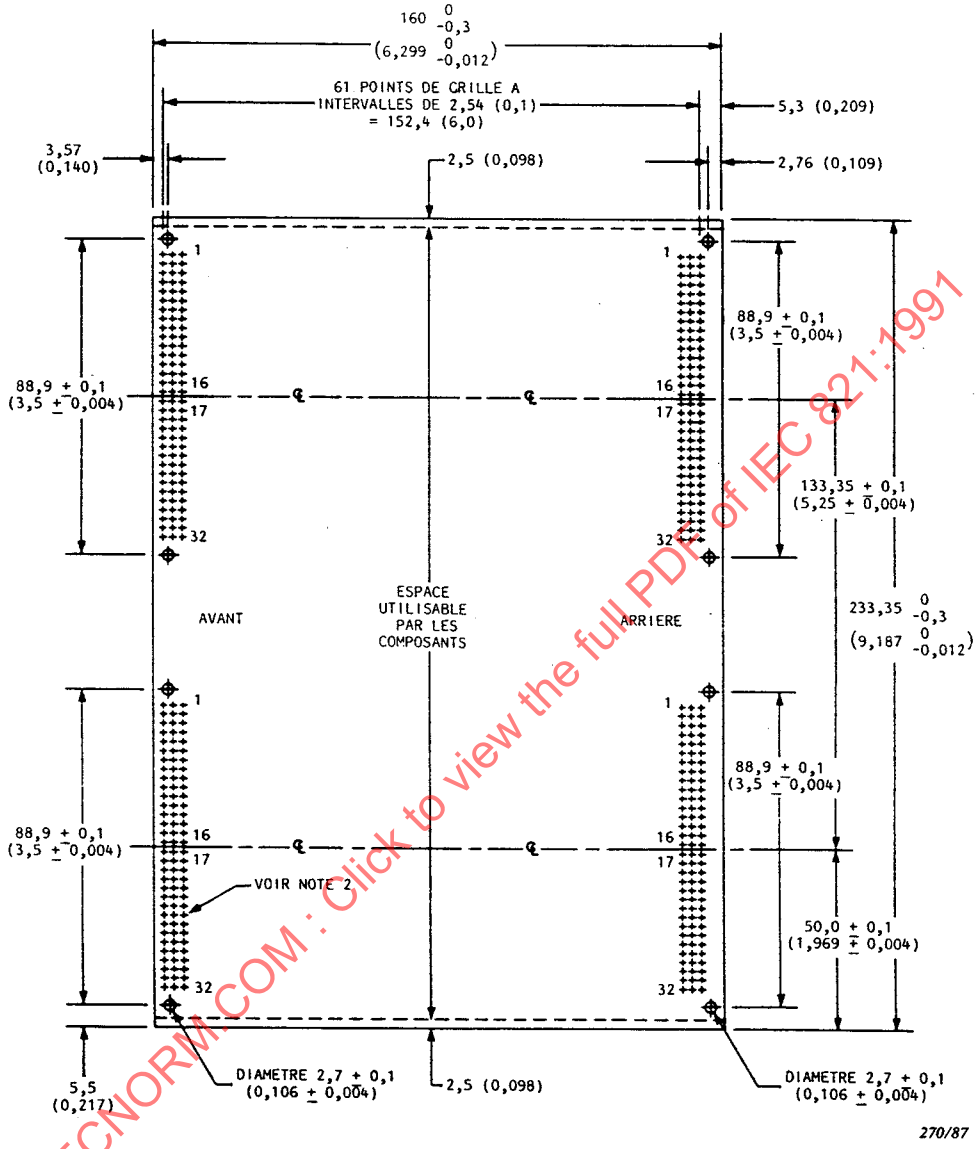
1.- All dimensions are shown in millimeters. Inch dimensions are shown in parentheses.

2.- These grids are provided to help the board designer to align components with the front panel grid.

3.- RULE 7.32:
Boards MUST be 1.6 ± 0.2 mm (0.063 ± 0.008 in) thick in the guide area.

FIG. 7-2. - Single height board: basic dimensions.

IECNORM.COM : Click to view the full PDF of IEC 821:1991



IECNORM.COM : Click to view the full PDF of IEC 821:1991

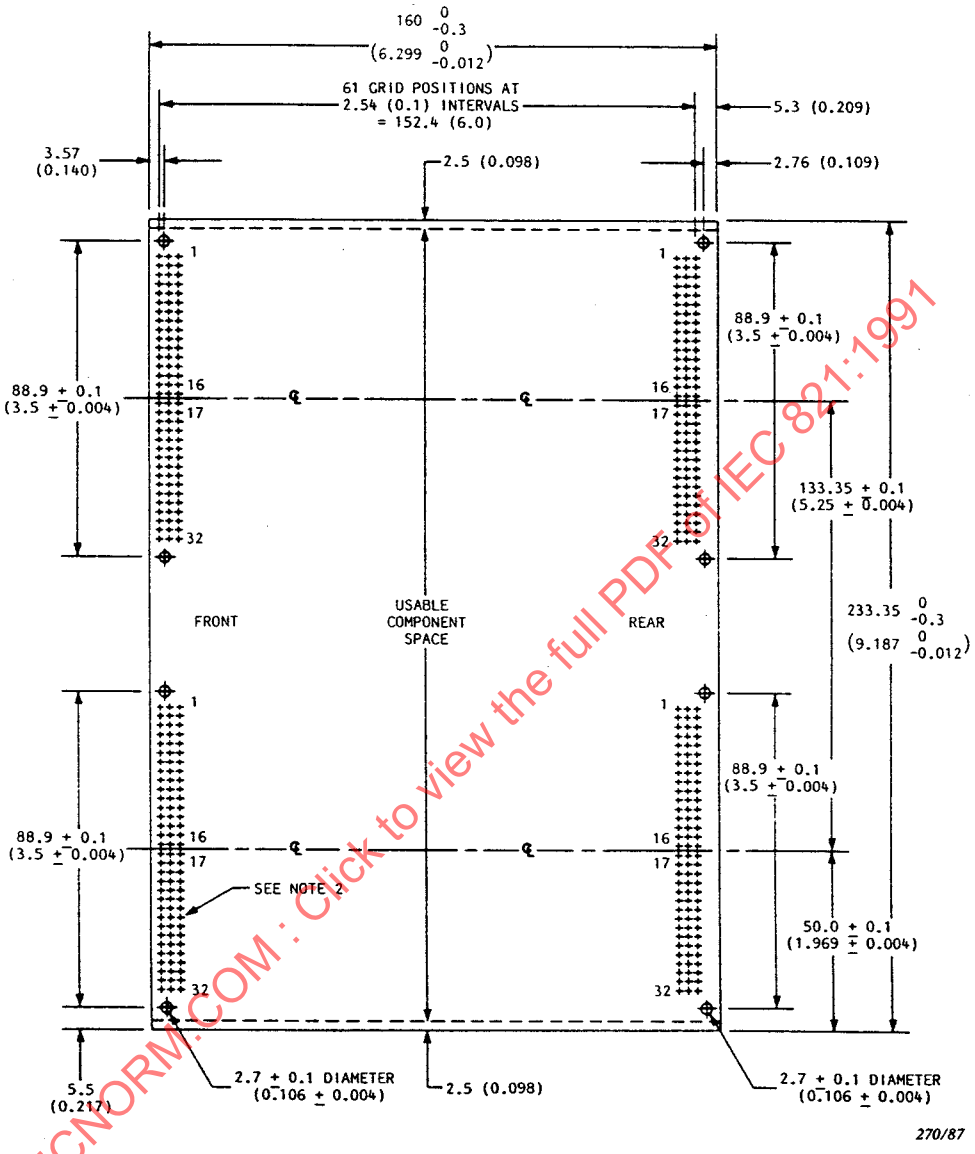
Notes:

1.- Toutes les dimensions sont données en millimètres. Les dimensions en inches sont entre parenthèses.

2.- Ces grilles sont fournies pour aider le concepteur de cartes à aligner les composants avec la grille du panneau avant.

3.- REGLE 7.33:
Les cartes DOIVENT avoir une épaisseur de 1,6 ± 0,2 mm (0,063 ± 0,008 in) dans la zone de guidage.

FIG. 7-3. - Carte double hauteur: dimensions de base.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

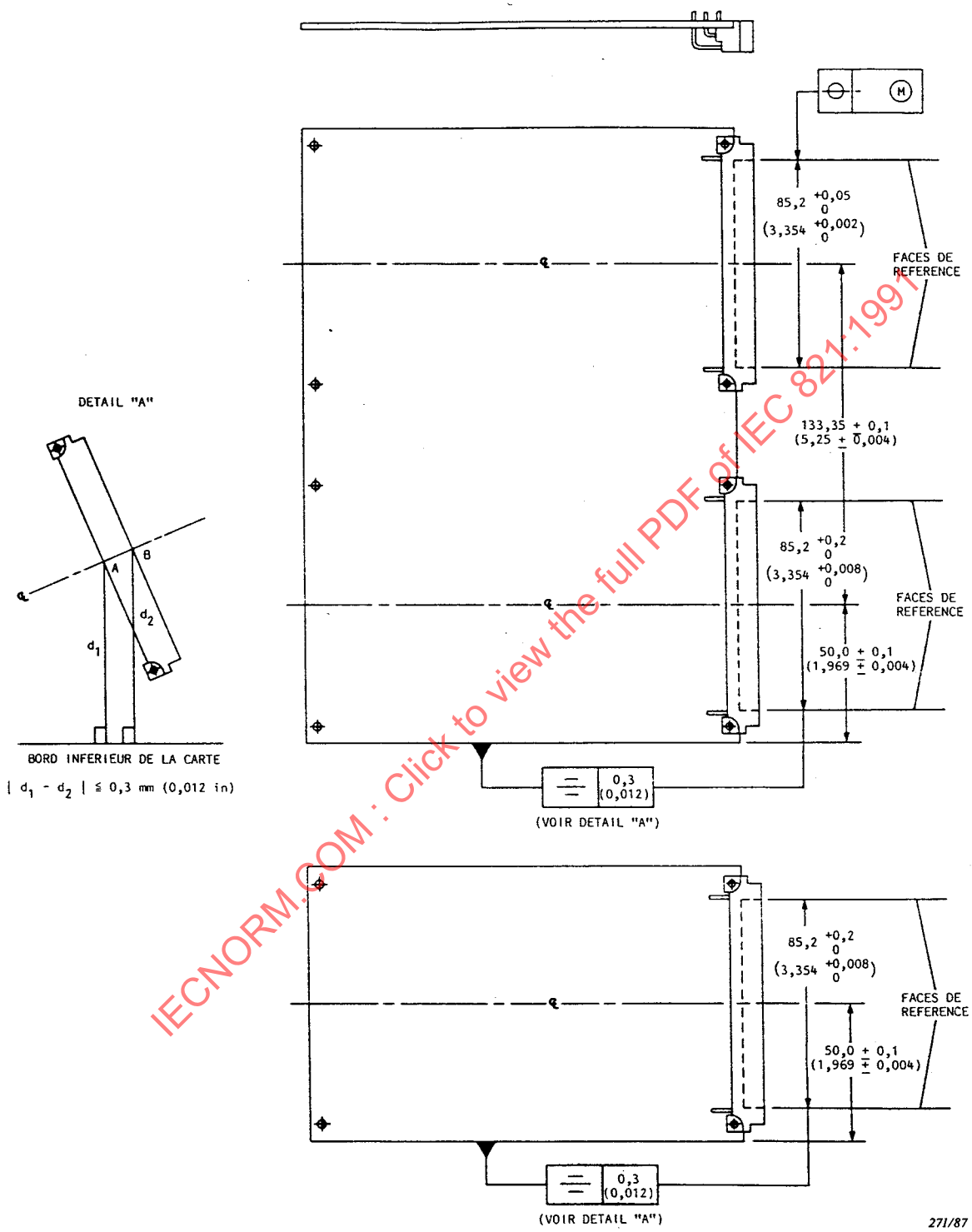
Notes:

1.- All dimensions are shown in millimeters. Inch dimensions are shown in parentheses.

2.- These grids are provided to help the board designer to align components with the front panel grid.

3.- RULE 7.33:
Boards MUST be 1.6 ± 0.2 mm (0.063 ± 0.008 in) thick in the guide area.

FIG. 7-3. - Double height board: basic dimensions.

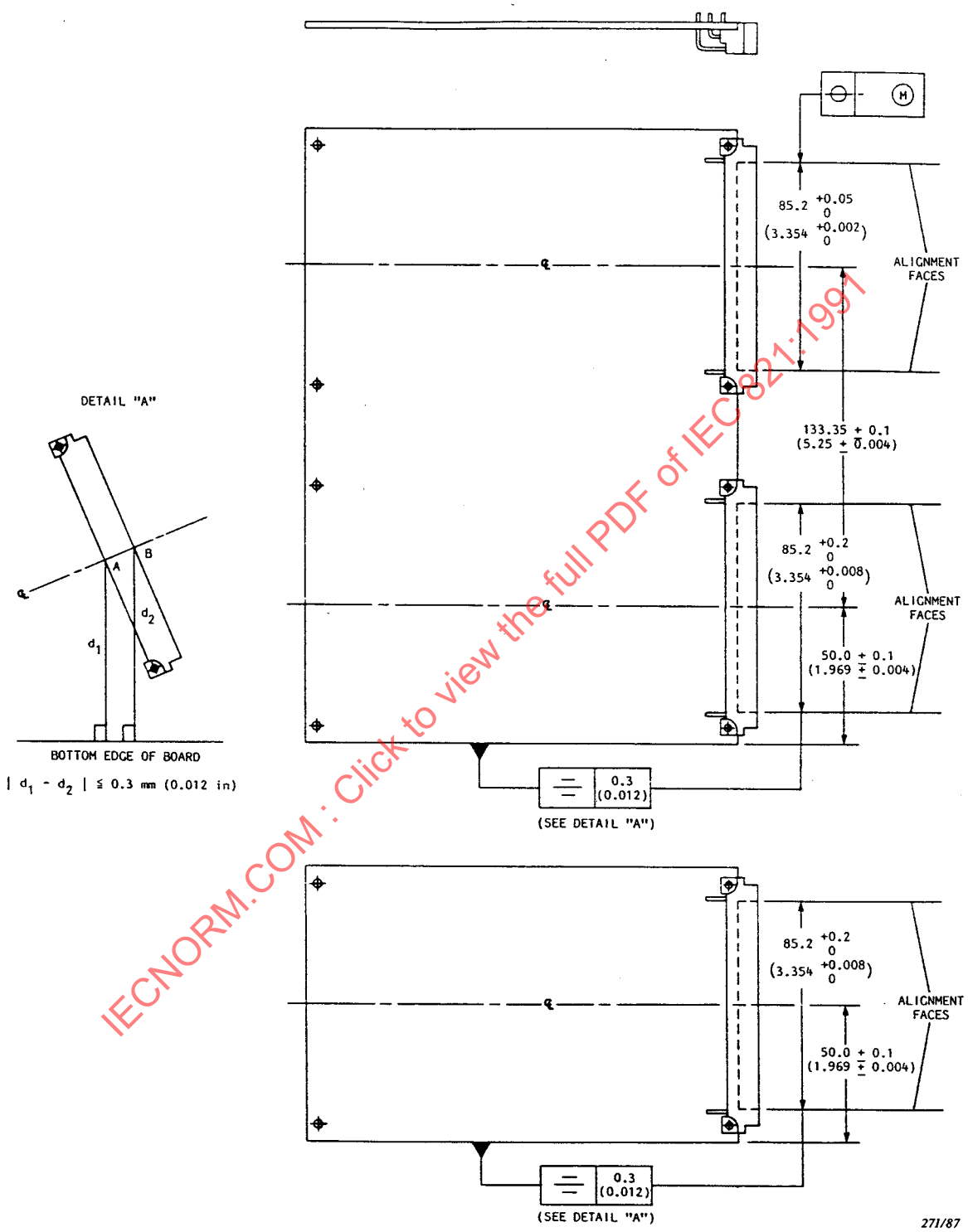


IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:

Toutes les dimensions sont données en millimètres. Les dimensions en inches sont entre parenthèses.

FIG. 7-4. - Position des connecteurs sur les cartes simple et double hauteur.

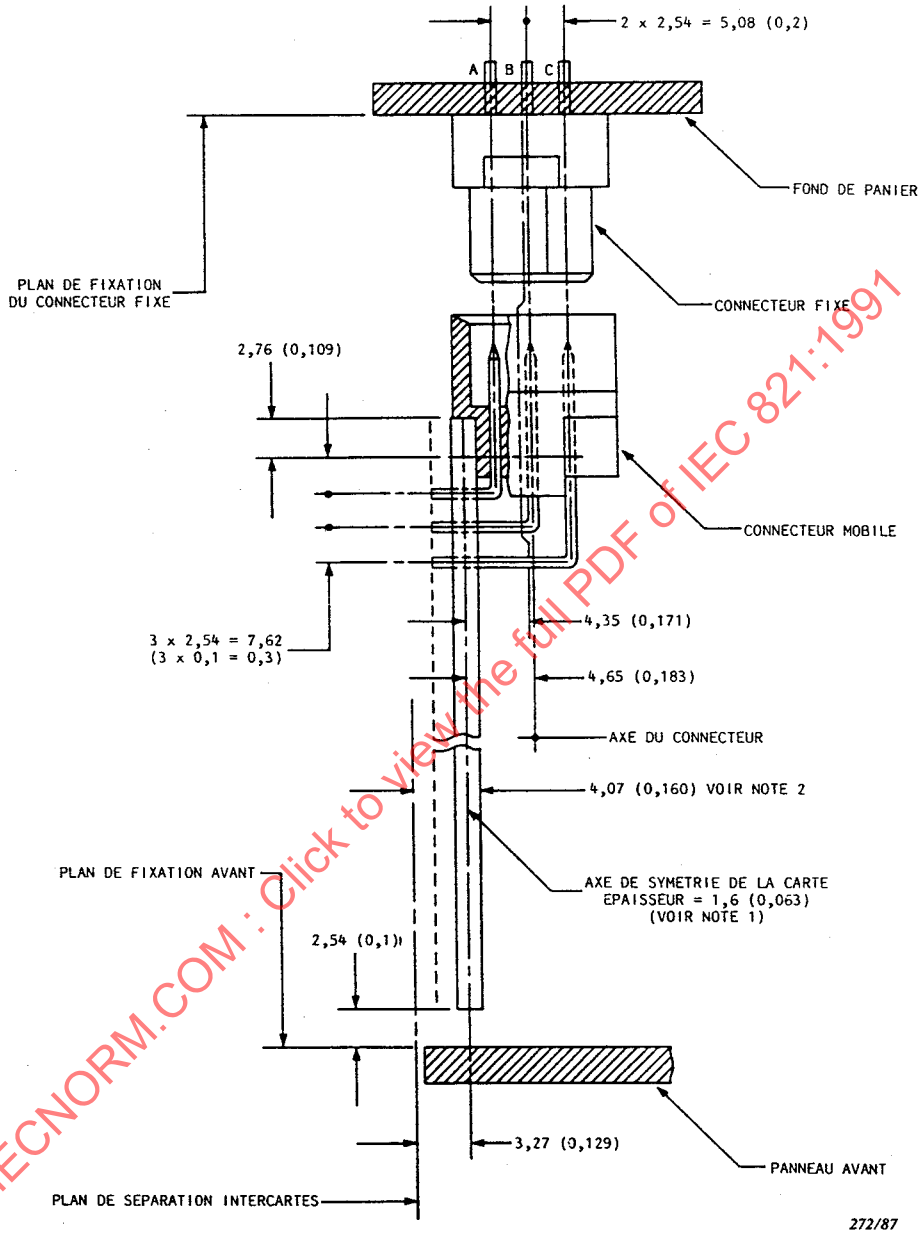


IECNORM.COM : Click to view the full PDF of IEC 821:1991

Note:

All dimensions are shown in millimeters. Inch dimensions are shown in parentheses.

FIG. 7-4. - Connector position on single and double height boards.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

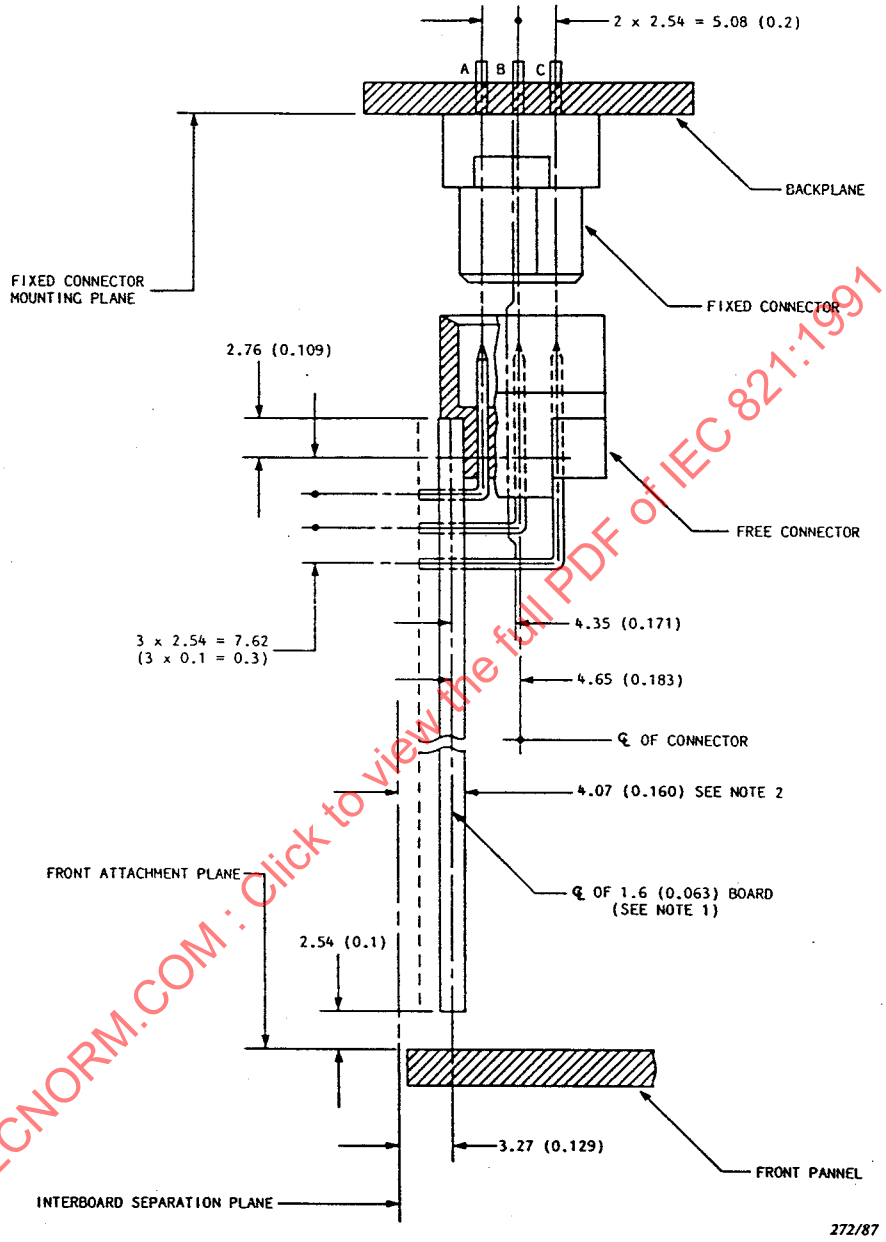
Notes:

1.- Pour avoir des informations supplémentaires concernant l'épaisseur autorisée des cartes, voir la section 7.2.

2.- Cette dimension de 4,07 mm (0,160 in) est la même indifféremment de l'épaisseur de la carte.

3.- Toutes les dimensions sont données en millimètres. Les dimensions en inches sont entre parenthèses.

FIG. 7-5. - Vue en coupe d'une carte, d'un connecteur, d'un fond de panier et d'un panneau avant.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

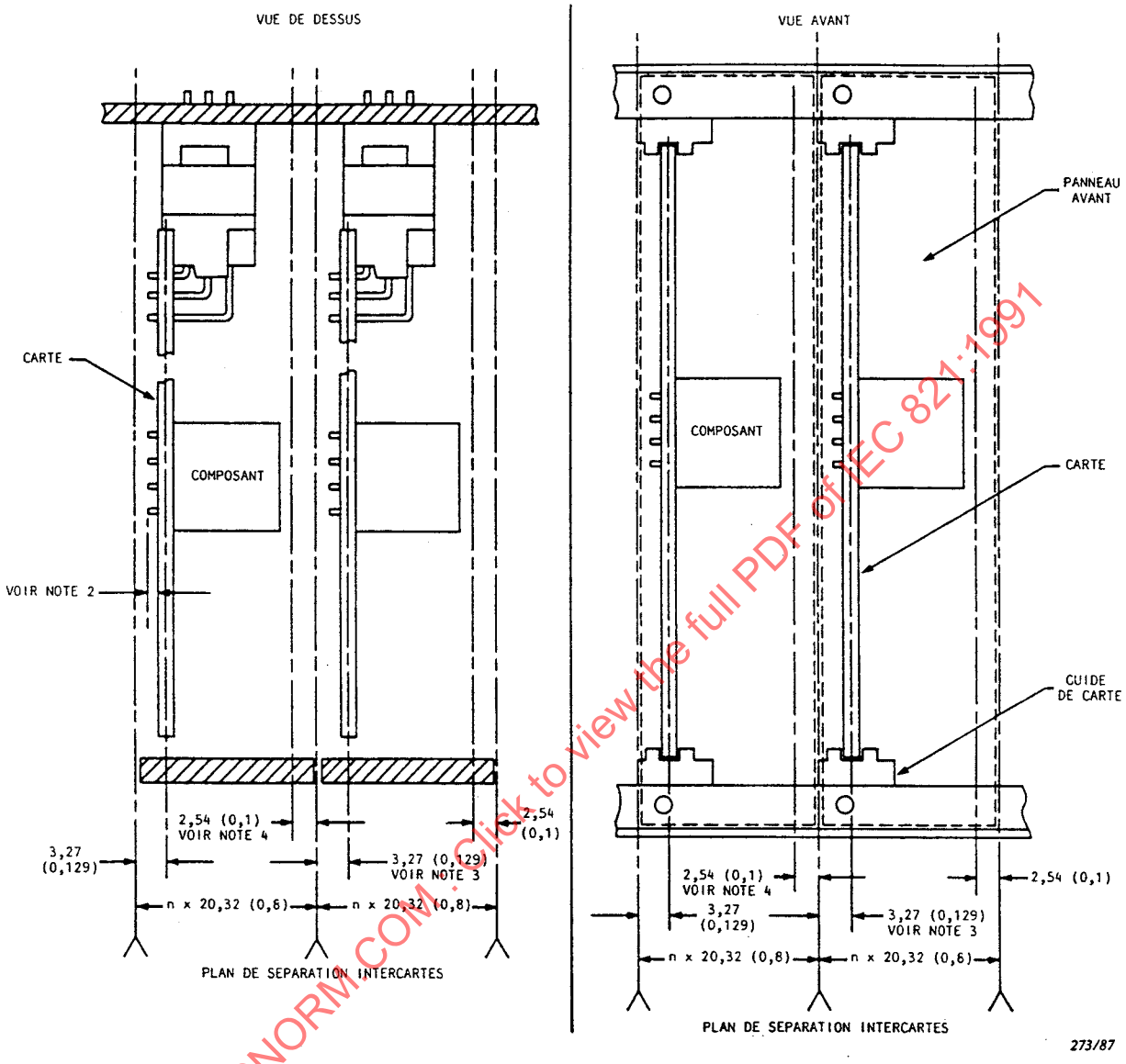
Notes:

1.- For additional information regarding the allowed thickness of boards, see Section 7.2.

2.- This 4.07 mm (0.160 in) dimension is the same regardless of the thickness of the board.

3.- All dimensions are shown in millimeters. Inch dimensions are shown in parentheses.

FIG. 7-5. - Cross sectional view of board, connector, backplane, and front panel.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Notes:

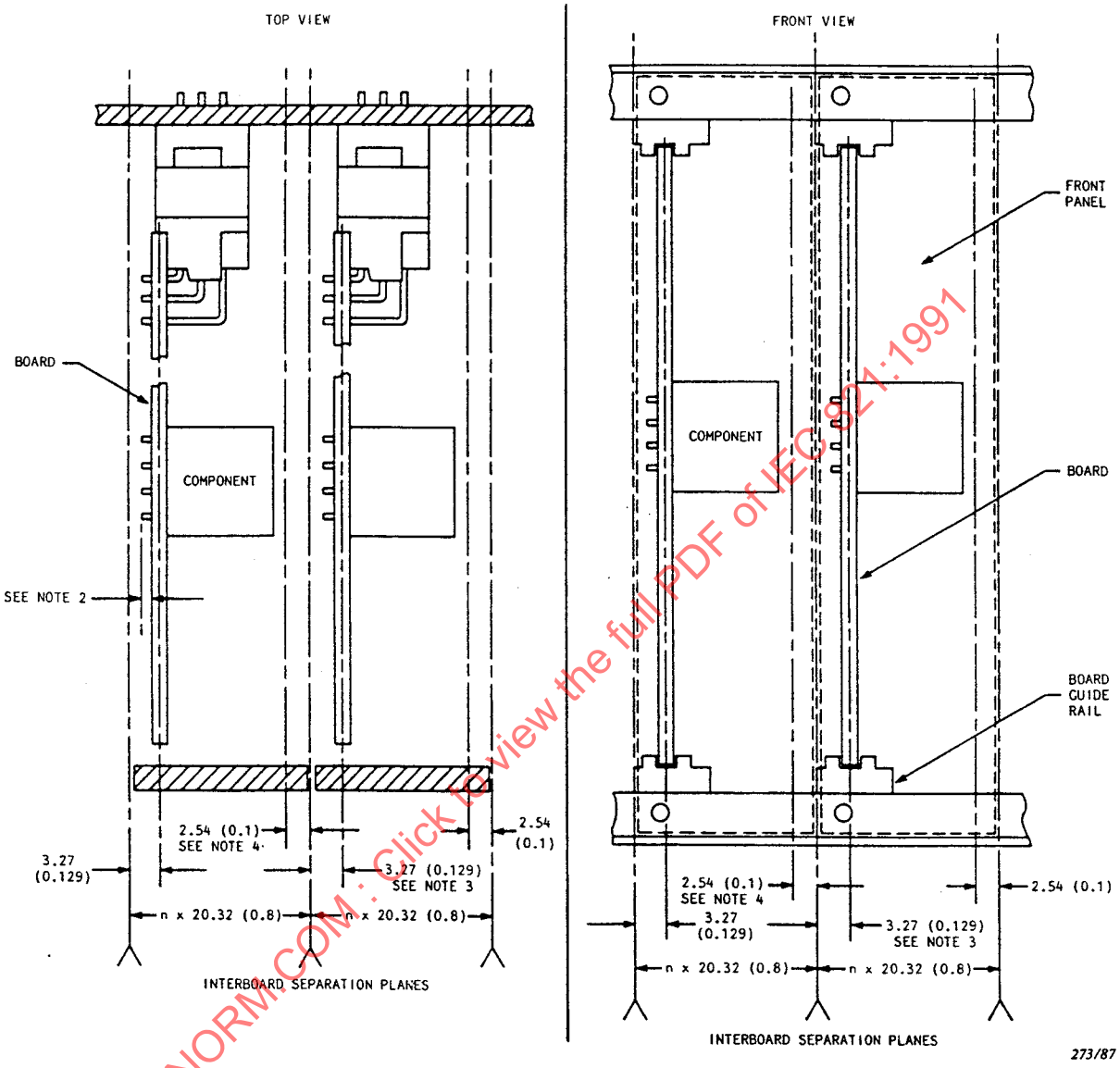
1.- Toutes les dimensions sont données en millimètres. Les dimensions en inches sont entre parenthèses.

2.- SUGGESTION 7.12:
Couper les pattes des composants à moins de 1,52 mm (0,06 in).

3.- REGLE 7.34:
Les pattes des composants et les composants montés sur le côté soudure de la carte NE DOIVENT PAS déborder le plan de séparation intercartes après que la carte eut été placée dans le fond de panier.

4.- REGLE 7.35:
Les composants montés sur le côté composants de la carte NE DOIVENT PAS aller à plus de 2,54 mm (0.1 in) du plan de séparation intercartes après que la carte eut été placée dans le fond de panier.

FIG. 7-6. - Hauteur des composants, longueur des pattes et gauchissement de la carte.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Notes:

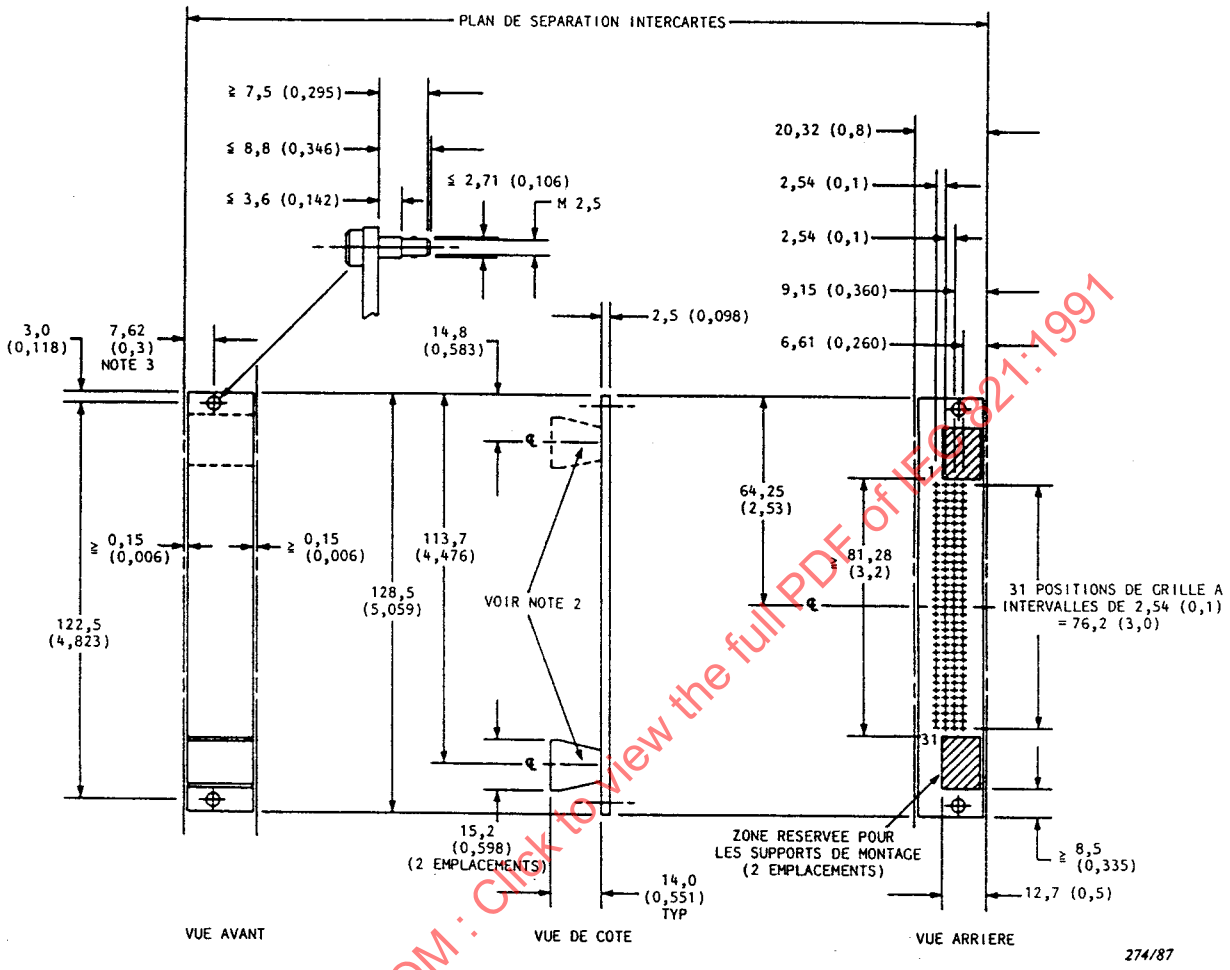
1.- All dimensions are shown in millimeters. Inch dimensions are shown in parentheses.

2.- SUGGESTION 7.12:
Trim component lead lengths to no more than 1.52 mm (0.06 in).

3.- RULE 7.34:
Component leads and components mounted on the solder side of the board MUST NOT protrude through the interboard separation plane after it has been completely seated in the backplane.

4.- RULE 7.35:
Components mounted on the component side of the board MUST NOT be any closer than 2.54 mm (0.1 in) to the interboard separation plane after it has been completely seated in the backplane.

FIG. 7-6. - Component height, lead length and board warpage.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Notes:

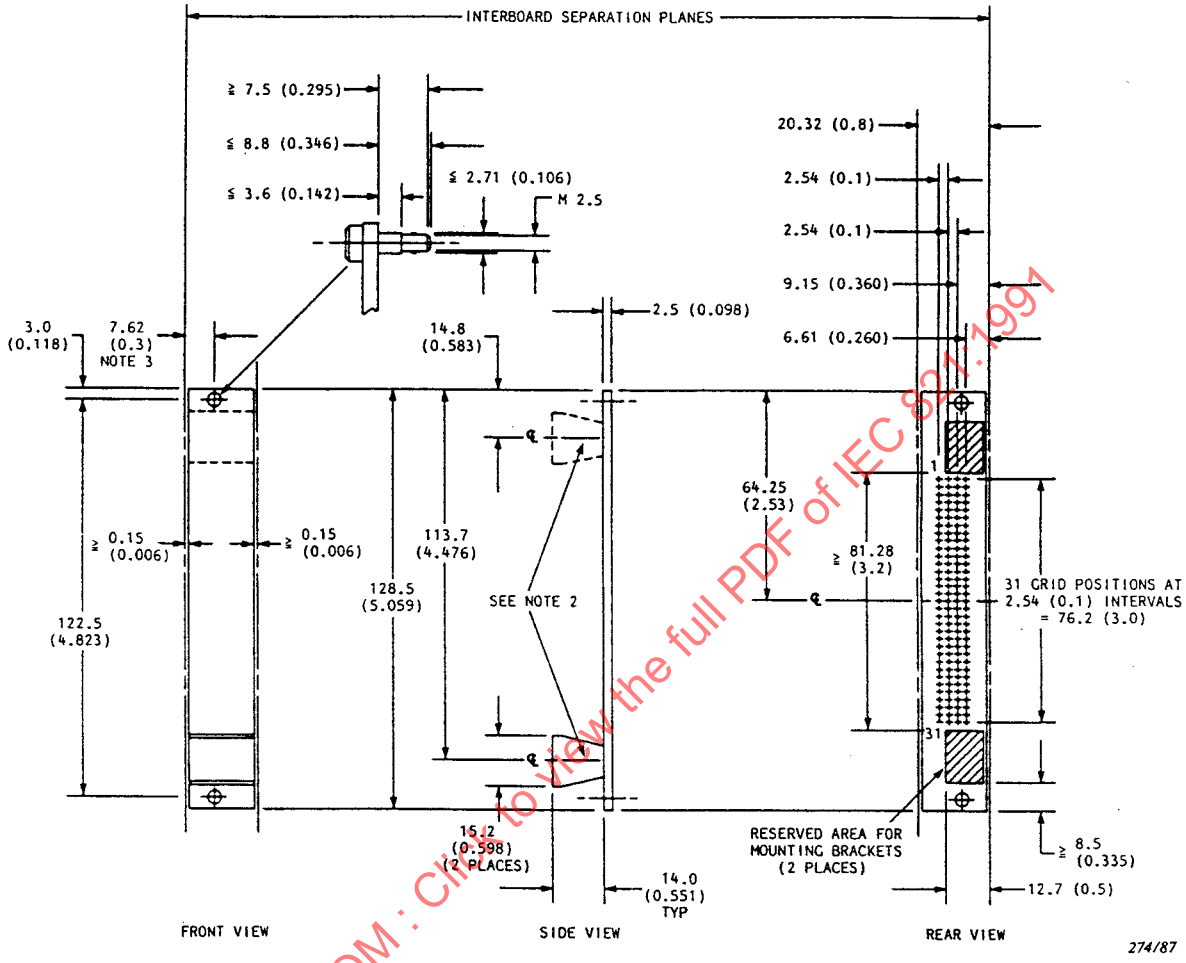
1.- Toutes les dimensions sont données en millimètres. Les dimensions en inches sont entre parenthèses.

2.- Les dimensions données pour la hauteur et la profondeur des poignées sont seulement des suggestions.

3.- RECOMMANDATION 7.11:
Placer le trou de montage à 7,62 mm (0,3 in) du plan de séparation intercartes.

4.- AUTORISATION 7.20:
Le trou de montage PEUT être placé à 12,7 mm (0,5 in) du plan de séparation intercartes.

FIG. 7-7. - Panneau avant, simple hauteur, simple largeur.



IECNORM.COM : Click to view the full PDF of IEC 821:1991

Notes:

1.- All dimensions are shown in millimeters. Inch dimensions are shown in parentheses.

2.- Dimensions given for height and depth of handles are suggestions only.

3.- RECOMMENDATION 7.11:
Locate the mounting hole 7.62 mm (0.3 in) from the interboard separation plane.

4.- PERMISSION 7.20:
The mounting hole MAY be located 12.7 mm (0.5 in) from the interboard separation plane.

FIG. 7-7. - Single height, single width, front panel.