

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Semiconductor devices – Reliability test method by inductive load switching for gallium nitride transistors

Dispositifs à semiconducteurs – Méthode d'essai de fiabilité par la commutation sur charge inductive pour les transistors au nitrure de gallium

IECNORM.COM : Click to view the full PDF of IEC 63284:2022



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2022 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Secretariat
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee, ...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

IEC Products & Services Portal - products.iec.ch

Discover our powerful search engine and read freely all the publications previews. With a subscription you will always have access to up to date content tailored to your needs.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 300 terminological entries in English and French, with equivalent terms in 19 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC - webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études, ...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

IEC Products & Services Portal - products.iec.ch

Découvrez notre puissant moteur de recherche et consultez gratuitement tous les aperçus des publications. Avec un abonnement, vous aurez toujours accès à un contenu à jour adapté à vos besoins.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 300 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 19 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Semiconductor devices – Reliability test method by inductive load switching for gallium nitride transistors

Dispositifs à semiconducteurs – Méthode d'essai de fiabilité par la commutation sur charge inductive pour les transistors au nitrure de gallium

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.30

ISBN 978-2-8322-1101-6

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	6
4 Objectives	7
5 Applicable GaN transistors	7
6 Dynamic high temperature operating life test	7
6.1 Test sample	7
6.2 Test circuit.....	7
6.2.1 Scheme of a hard switching circuit.....	7
6.2.2 Electrical parameters	7
6.2.3 Diode.....	8
6.2.4 Gate driver	8
6.2.5 Inductance and resistance	8
6.3 Test condition	9
6.3.1 General	9
6.3.2 Electrical stress	10
6.3.3 Thermal stress.....	10
6.4 Test procedure.....	10
6.4.1 Flow chart.....	10
6.4.2 Initial measurement	11
6.4.3 Intermediate measurement	11
6.5 Failure criteria.....	12
6.6 Failure mechanism.....	12
6.7 Acceleration parameters	12
6.8 Number of samples.....	12
6.9 Test report.....	12
Bibliography.....	13
Figure 1 – Test circuit	7
Figure 2 – Wave forms of switching	9
Figure 3 – Switching locus at hard switching.....	9
Figure 4 – Test flow chart	11

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES – RELIABILITY TEST METHOD BY INDUCTIVE
LOAD SWITCHING FOR GALLIUM NITRIDE TRANSISTORS**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

IEC 63284 has been prepared by IEC technical committee 47: Semiconductor devices. It is an International Standard.

The text of this International Standard is based on the following documents:

Draft	Report on voting
47/2753/FDIS	47/2763/RVD

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 63284:2022

INTRODUCTION

Gallium nitride (GaN), one of the wide bandgap semiconductors, has superior properties over conventional silicon (Si) for power devices, such as high breakdown electric field and high saturation velocity. Two dimensional electron gas with high mobility and high concentration is induced by forming heterojunction of GaN with aluminum gallium nitride (AlGaN) due to polarization effects, which is another merit of GaN related materials. Moreover, several kinds of materials such as Si, sapphire, silicon-carbide (SiC) or GaN can be selected as epitaxial growth substrates in terms of device performances and costs. Recently, GaN power transistors have been widely developed and commercialized.

GaN power transistors have some unique failure modes due to device construction differences and carrier trapping effects. In addition, GaN power transistors are more compact, so are exposed to higher fields. Further, some hot-carrier and robustness tests for silicon Field Effect Transistors (FETs) are not applicable to GaN FETs. For example, the hot carrier injection (HCI) test for lateral MOSFETs is not applicable to lateral GaN FETs due to the blocking nature of the buffer, and the unclamped inductive switching (UIS) test is not useful because it could cause damage. Therefore, several unique reliability test methods, which are not generally requested for Si power transistors, are performed as reliability examination, for example, test methods of dynamic on-resistances. Especially, switching test methods and reliability procedures are significant for practical use and need to be standardized in order to establish switching reliability of GaN power transistors.

This document is a guideline focusing on inductive load switching in order to confirm the conditions under which GaN power transistors are used reliably. Since the inductive load switching is considered to be an important stress application for power devices, this guideline will promote the acceptance of GaN power transistors in the power device market. However, it is important to note that there are other application-relevant stress conditions, such as soft-switching at high frequencies, which will not be covered by this document.

SEMICONDUCTOR DEVICES – RELIABILITY TEST METHOD BY INDUCTIVE LOAD SWITCHING FOR GALLIUM NITRIDE TRANSISTORS

1 Scope

This document covers the protocol of performing a stress procedure and a corresponding test method to evaluate the reliability of gallium nitride (GaN) power transistors by inductive load switching, specifically hard-switching stress.

2 Normative references

There are no normative references in this document.

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

gallium nitride

GaN

compound semiconductor material composed of gallium and nitrogen

3.2

aluminum gallium nitride

AlGaN

compound semiconductor alloy of aluminum nitride and gallium nitride

3.3

on-state resistance

resistance of the device at nominal current conditions

3.4

dynamic on-state resistance

ratio of on-state drain-source voltage(v_{DS}) to drain current(i_D) at switching

3.5

dynamic high temperature operating life test

DHTOL test

reliability test of continuous switching stress with high junction temperature

Note 1 to entry: The term DHTOL is used broadly, encompassing both switching accelerated life test (SALT), where failures are expected for wearout modelling, and HTOL, where failures are not expected.

3.6

switching locus

trajectory showing relationship between v_{DS} and i_D during switching

4 Objectives

The purpose of this document is to define a reliability test method for finding conditions under which GaN power transistors can operate reliably, when they are used for continuous hard switching with inductive loads. Therefore, this document does not cover other application-relevant stress conditions, such as third quadrant operation and soft-switching or other types of circuit topologies.

5 Applicable GaN transistors

This test method can be applied to all power transistors, which include GaN power transistors with any substrate such as Si, SiC, sapphire or GaN, and to lateral or vertical types. Moreover, this test method can be applied to any gate structure such as Schottky-types, p-type GaN (p-GaN) types and MIS (metal-insulator-semiconductor) types. It can also be applicable to normally-off types, normally-on types and to cascode configuration types.

6 Dynamic high temperature operating life test

6.1 Test sample

The test sample is recommended to be an actual packaged product. For family products, reliability test results of transistors with large gate widths can be applied to transistors with small gate widths when use conditions such as current density and supply voltage are equivalent or less.

6.2 Test circuit

6.2.1 Scheme of a hard switching circuit

The dynamic high temperature operating life (DHTOL) test employs a hard switching circuit with an inductive load as shown in Figure 1.

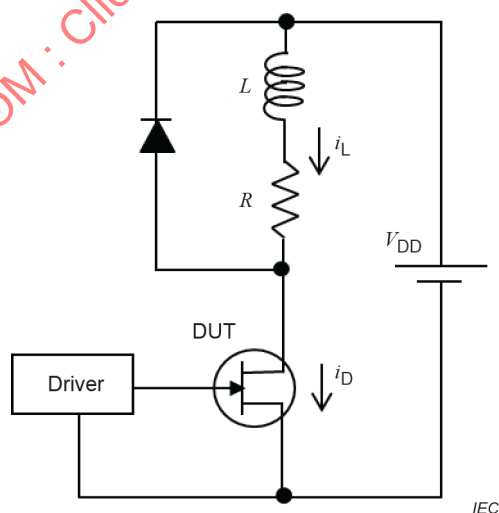


Figure 1 – Test circuit

6.2.2 Electrical parameters

Frequency f , power supply voltage V_{DD} , and average current flowing through inductance $I_{L(AV)}$ are set by considering the actual operating condition.

6.2.3 Diode

A diode is selected by considering the maximum current and the maximum voltage. In particular, since the recovery current of the diode flows to the transistor at turn-on time, the diode is selected to replicate the switching conditions of the final application, e.g. emulate the capacitance of the high-side FET, or have a larger capacitance for accelerated stress.

6.2.4 Gate driver

A test circuit including a gate drive circuit suitable for the individual test transistor is constructed with attention paid to heat dissipation of each component. The gate driver is required to drive DUT in the same conditions as the actual usage unless switching parameters to acquire acceleration factors are included. Note that the gate driver is also required to have current driving capability so as not to cause false turn-on of the DUT.

6.2.5 Inductance and resistance

An inductance value L_C and a resistance value R_L are set with reference to the following Equation (1) to Equation (3) and the switching waveforms in Figure 2.

$$L_C \times \frac{\Delta I}{t_1} = V_{DD} - I_{L(AV)} \times R_L \quad (1)$$

$$L_C \times \frac{\Delta I}{t_2} = I_{L(AV)} \times R_L + V_F \quad (2)$$

$$f = \frac{1}{t_1 + t_2} \quad (3)$$

where

- V_{DD} is the power supply voltage;
- $I_{L(AV)}$ is the average current;
- ΔI is the ripple current;
- V_F is the threshold voltage of diode;
- L_C is the coil inductance value;
- R_L is the load resistance value;
- t_1 is the on time;
- t_2 is the off time;
- f is the switching frequency.

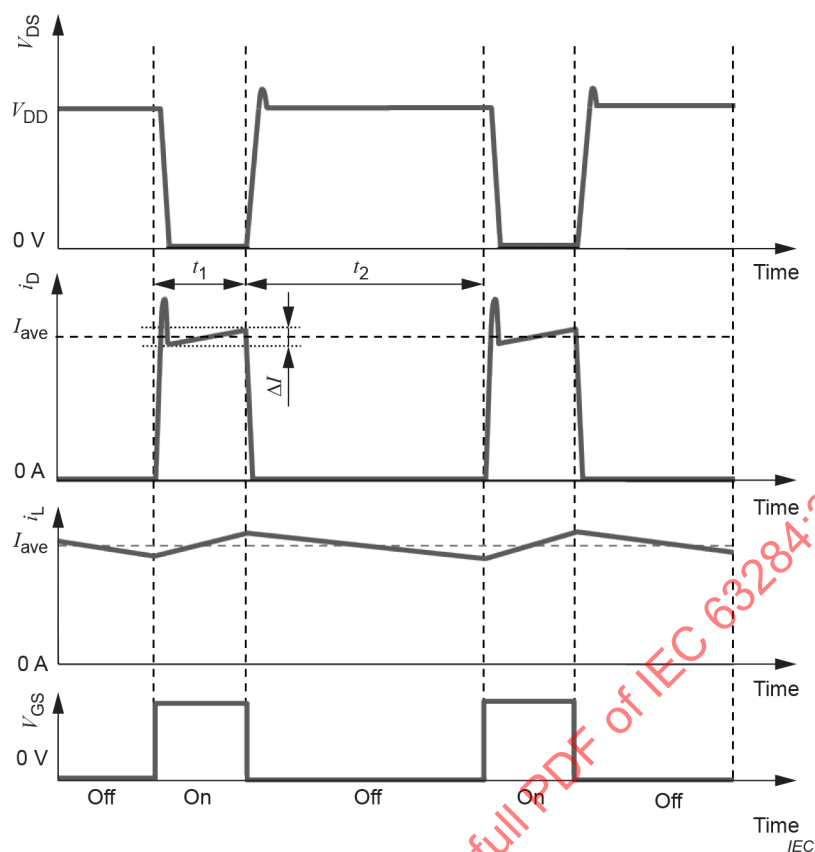


Figure 2 – Wave forms of switching

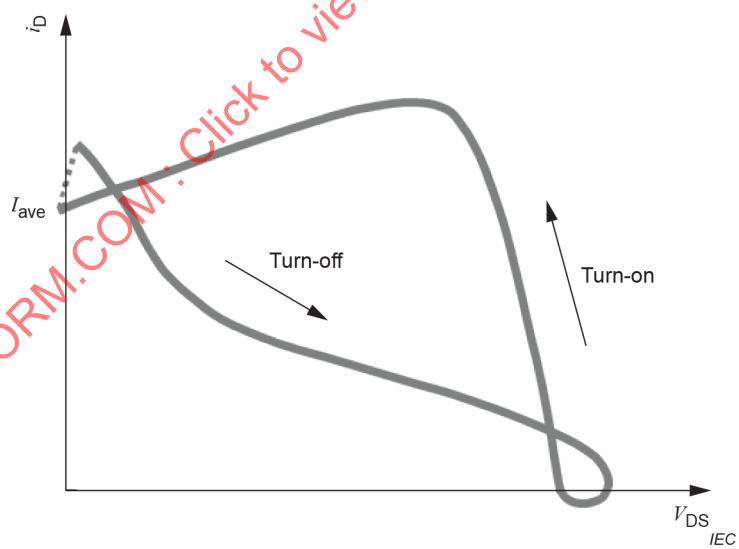


Figure 3 – Switching locus at hard switching

6.3 Test condition

6.3.1 General

After the test circuit is configured, electrical and thermal stress conditions are applied and evaluated.

6.3.2 Electrical stress

A switching locus of the test transistor is constructed by using switching wave forms as shown in Figure 3. It is confirmed that the current and voltage stress conditions are equivalent to or greater than the actual application. For more details on how to assess whether the current and voltage stress is equivalent to the actual application, refer to JEDEC JEP180.01, Clause 5 [1]¹.

6.3.3 Thermal stress

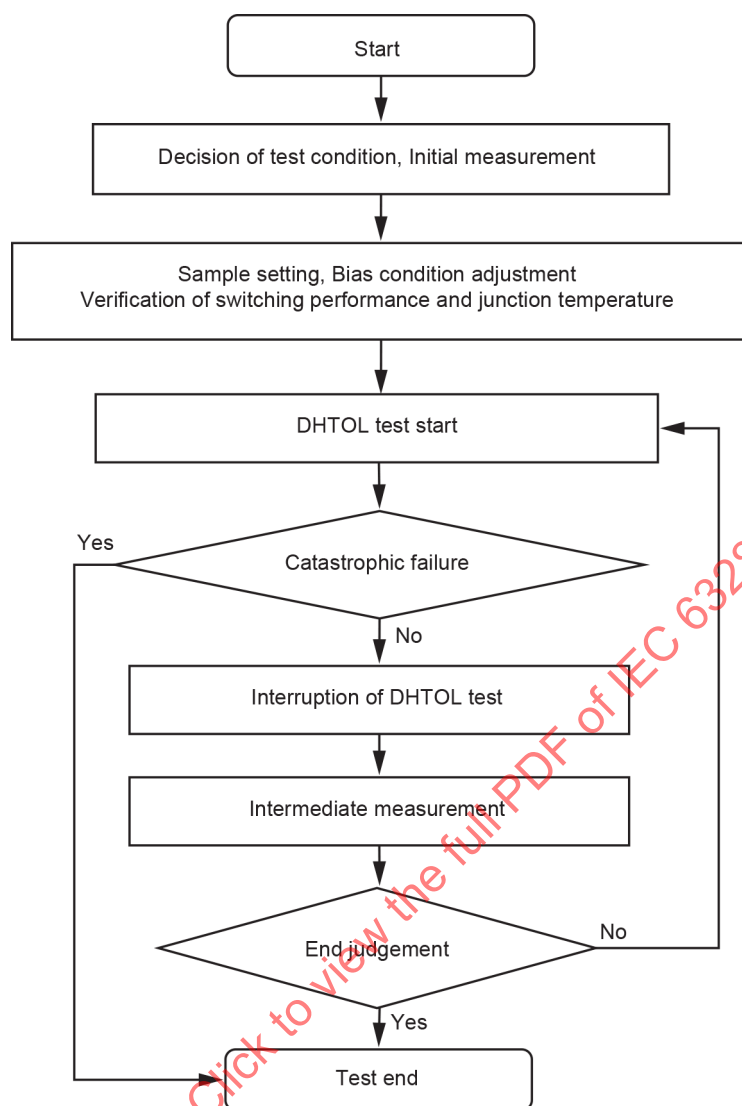
External heating and/or cooling may be used in order that thermal stress is independently varied without changing other stress conditions. When other stress conditions are varied with minimizing effects of variation in junction temperature, the relative changes of the junction temperature should be monitored by a thermocouple provided as close as possible to the DUT or by a thermo-viewer. The junction temperature is recommended to be equal to or below the absolute maximum rating temperature. The protocol is described in 6.6 if a more accelerated temperature is used.

6.4 Test procedure

6.4.1 Flow chart

A flow chart of the DHTOL test is shown in Figure 4. In the flow chart, the procedure is aimed at accelerated life testing (ALT).

¹ Numbers in square brackets refer to the Bibliography.



IEC

Figure 4 – Test flow chart**6.4.2 Initial measurement**

Initial measurements of on-state resistance, threshold voltage and off-state leak current shall be conducted as transistor parameters. Other parameters may be considered, for example, those listed in the datasheet of the DUT and determined to suffer shift due to switching stress.

6.4.3 Intermediate measurement

The test is interrupted to check the parameters obtained at the initial measurements. If it is difficult to detach the mounted evaluation transistor, the interruption of the test can be omitted, and the test shall be completed when the transistor has catastrophically failed or it reaches the predetermined time.

If the root causes of the failures are investigated, monitoring dynamic on-state resistance in-situ during the test may provide additional insight. The dynamic on-state resistance is calculated from the ratio of v_{DS} and i_D just after turning on by using a clamp circuit in order to capture the oscilloscope waveforms at the resolution needed. For additional information on the dynamic on-state resistance, refer to JEDEC JEP173 [2].

6.5 Failure criteria

Since the test conditions of supply voltage and current generally exceed general use condition, catastrophic failures are caused in most cases. Otherwise, drift of the device electrical parameters from its limits of minimum and maximum in the datasheet is defined as a failure (sometimes referred to as parametric failure). In addition, the time from the start of the test to the failure is defined as a time to failure.

6.6 Failure mechanism

If the test is accelerated by setting the average current, power supply voltage, or junction temperature over the absolute maximum rating values, it is necessary to confirm that the failure mechanism is the same as the one assumed in the test within the absolute maximum rating values. As confirmation methods, in the case of a failure accompanied by catastrophic failures, it is necessary to check the current and voltage waveforms at the time of catastrophic failures and the failure points in the semiconductor die by opening the package. In the case of a failure due to deterioration of the transistor characteristics, the failure mechanism may be confirmed from the changes of the transistor parameters.

6.7 Acceleration parameters

In this test, a lifetime under actual use conditions is estimated by checking the presence of acceleration for each parameter such as average current, power supply voltage, switching frequency, ON/OFF duty ratio, junction temperature, etc. One of the possible failures is caused by a dynamic on-state resistance increase which may be affected by current and voltage.

6.8 Number of samples

An appropriate number of samples depending on lifetime distributions is required in order to utilize probability theory and statistics.

6.9 Test report

A test report in each test condition should be provided for acquiring the acceleration factors, that includes:

- sample identification,
- package type,
- test temperature,
- power supply voltage,
- average current,
- switching locus,
- switching frequency,
- ON/OFF duty ratio,
- number of samples,
- failure time of each sample,
- initial values of on-state resistance, threshold voltage and off leak current,
- the changes from the initial values (if no catastrophic failures).

Bibliography

- [1] JEDEC JEP180.01, *Guideline for Switching Reliability Evaluation Procedures for Gallium Nitride Power Conversion Devices*, Version 1.0, January, 2021
 - [2] JEDEC JEP173, *Dynamic ON-Resistance Test Method Guidelines for GaN HEMT based Power Conversion Devices*, Version 1.0, January, 2019
-

IECNORM.COM : Click to view the full PDF of IEC 63284:2022

SOMMAIRE

AVANT-PROPOS	15
INTRODUCTION.....	17
1 Domaine d'application	18
2 Références normatives	18
3 Termes et définitions	18
4 Objectifs	19
5 Transistors GaN applicables.....	19
6 Essai de durée de vie en fonctionnement sous température élevée dynamique	19
6.1 Échantillon d'essai	19
6.2 Circuit d'essai	19
6.2.1 Schéma d'un circuit de commutation dure.....	19
6.2.2 Paramètres électriques	20
6.2.3 Diode.....	20
6.2.4 Dispositif de commande de grille	20
6.2.5 Inductance et résistance	20
6.3 Conditions d'essai.....	22
6.3.1 Généralités	22
6.3.2 Contrainte électrique	22
6.3.3 Contrainte thermique	22
6.4 Procédure d'essai	22
6.4.1 Logigramme.....	22
6.4.2 Mesure initiale	23
6.4.3 Mesure intermédiaire	23
6.5 Critères de défaillances	24
6.6 Mécanisme de défaillances	24
6.7 Paramètres d'accélération	24
6.8 Nombre d'échantillons.....	24
6.9 Rapport d'essai.....	24
Bibliographie.....	25
Figure 1 – Circuit d'essai	20
Figure 2 – Formes d'ondes de commutation.....	21
Figure 3 – Courbe de commutation en commutation dure.....	22
Figure 4 – Logigramme d'essai	23

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**DISPOSITIFS À SEMICONDUCTEURS – MÉTHODE D'ESSAI DE FIABILITÉ
PAR LA COMMUTATION SUR CHARGE INDUCTIVE POUR LES
TRANSISTORS AU NITRURE DE GALLIUM****AVANT-PROPOS**

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications, l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

L'IEC 63284 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs. Il s'agit d'une Norme internationale.

Le texte de cette Norme internationale est issu des documents suivants:

Projet	Rapport de vote
47/2753/FDIS	47/2763/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous webstore.iec.ch dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IECNORM.COM : Click to view the full PDF of IEC 63284:2022

INTRODUCTION

Le nitrure de gallium (GaN), l'un des semiconducteurs à large bande interdite, dispose de propriétés supérieures à celles du silicium (Si) conventionnel pour les dispositifs électriques, telles qu'un champ électrique de claquage élevé et une vitesse de saturation élevée. Le gaz bidimensionnel d'électrons à mobilité élevée et forte concentration résulte de la formation d'une hétérojonction de GaN avec le nitrure de gallium-aluminium (AlGaN) due aux effets de polarisation, ce qui constitue un autre mérite des matériaux liés au GaN. En outre, plusieurs types de matériaux tels que le Si, le saphir, le carbure de silicium (SiC) ou le GaN peuvent être choisis comme substrats de croissance épitaxiale sur le plan des performances et de coûts des dispositifs. Récemment, des transistors de puissance à base de GaN ont été largement élaborés et commercialisés.

Les transistors de puissance à base de GaN présentent certains modes de défaillance uniques en raison des différences de construction des dispositifs et de leurs effets de piégeage des porteurs. De plus, les transistors de puissance GaN sont plus compacts et sont donc exposés à des champs plus élevés. En outre, certains essais de résistance aux porteurs chauds et de robustesse portant sur les transistors à effet de champ (FET, *field-effect transistor*) au silicium ne sont pas applicables aux FET au GaN. Par exemple, l'essai d'injection de porteurs chauds (HCI, hot carrier injection) pour les MOSFET latéraux n'est pas applicable aux FET GaN latéraux, en raison de la nature bloquante de la couche tampon, et l'essai de commutation sur charge inductive sans diode de roue libre (aussi désigné *UIS*, *unclamped inductive switching*) n'est pas utile, car susceptible de provoquer des dommages. Par conséquent, plusieurs méthodes d'essai de fiabilité uniques, qui ne sont généralement pas demandées pour les transistors de puissance à base de Si, sont effectuées en tant qu'examen de la fiabilité, par exemple, les méthodes d'essai des résistances dynamiques à l'état passant. En particulier, les méthodes d'essai de commutation et les procédures de fiabilité sont importantes pour l'utilisation pratique et il est nécessaire de les normaliser, afin d'établir la fiabilité de commutation des transistors de puissance à base de GaN.

Le présent document fournit les lignes directrices portant sur la commutation sur charge inductive, afin de confirmer les conditions dans lesquelles les transistors de puissance à base GaN sont utilisés de manière fiable. Étant donné que la commutation sur charge inductive est considérée comme une application de contrainte importante pour les dispositifs de puissance, les présentes lignes directrices sont destinées à promouvoir l'acceptation des transistors de puissance à base de GaN au sein du marché des dispositifs électriques. Toutefois, il est important de noter que d'autres conditions de contraintes liées à l'application, telles que la commutation douce à hautes fréquences, qui ne sont pas couvertes par le présent document.

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODE D'ESSAI DE FIABILITÉ PAR LA COMMUTATION SUR CHARGE INDUCTIVE POUR LES TRANSISTORS AU NITRURE DE GALLIUM

1 Domaine d'application

Le présent document couvre le protocole d'exécution d'une procédure de contrainte et une méthode d'essai correspondante, en vue d'évaluer la fiabilité des transistors de puissance à base de nitrure de gallium (GaN) par la commutation sur charge inductive, en particulier la contrainte de commutation dure.

2 Références normatives

Le présent document ne contient aucune référence normative.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/>

3.1

nitrure de gallium (GaN)

GaN

matériau semiconducteur composite à base de gallium et d'azote

3.2

nitrure de gallium-aluminium

AlGaN

alliage semiconducteur composite de nitrure d'aluminium et de nitrure de gallium

3.3

résistance à l'état passant

résistance du dispositif aux conditions de courant nominal

3.4

résistance dynamique à l'état passant.

rapport entre la tension drain-source à l'état passant (v_{DS}) et le courant de drain (i_D) à la commutation

3.5

essai de durée de vie en fonctionnement sous température élevée dynamique

Essai DHTOL

essai de fiabilité lors d'une contrainte de commutation continue avec une température de jonction élevée

Note 1 à l'article: Le terme DHTOL est utilisé au sens large, englobant à la fois l'essai de commutation à vieillissement accéléré (SALT), dans lequel des défaillances sont prévues pour la modélisation de l'usure, et celui de la HTOL, dans lequel des défaillances ne sont pas prévues.

Note 2 à l'article: L'abréviation DHTOL est dérivée du terme anglais développé correspondant "*dynamic high temperature operating life*".

3.6

courbe de commutation

trajectoire représentant la relation entre v_{DS} et i_D au cours de la commutation

4 Objectifs

L'objet du présent document est de définir une méthode d'essai de fiabilité en vue de trouver les conditions dans lesquelles les transistors de puissance à base de GaN peuvent fonctionner de manière fiable, lorsqu'ils sont utilisés pour la commutation dure continue avec des charges inductives. De ce fait, ce document ne couvre pas les autres conditions de contraintes liées à l'application, telles que le fonctionnement en troisième quadrant et la commutation douce ou d'autres types de topologies de circuits.

5 Transistors GaN applicables

Cette méthode d'essai peut être appliquée à tous les transistors de puissance, y compris les transistors de puissance à base de GaN avec tout substrat tel que Si, SiC, saphir ou GaN, et aux types latéral ou vertical. En outre, cette méthode d'essai peut être appliquée à toute structure de grille telle que les types Schottky, les types GaN p-type (p-GaN) et les types MIS (métal-isolant-semiconducteur). Il peut également s'appliquer aux types normalement à l'état bloqué (ou *normally-off*), aux types normalement à l'état passant (*normally-on*) et aux types de configurations en cascade.

6 Essai de durée de vie en fonctionnement sous température élevée dynamique

6.1 Échantillon d'essai

Il est recommandé que l'échantillon d'essai soit un produit sous boîtier réel. Pour les produits de famille, les résultats des essais de fiabilité des transistors à grande largeur de grille peuvent être appliqués aux transistors à petite largeur de grille, lorsque les conditions d'utilisation telles que la densité de courant et la tension d'alimentation sont équivalentes ou inférieures.

6.2 Circuit d'essai

6.2.1 Schéma d'un circuit de commutation dure

L'essai de durée de vie à haute température dynamique (DHTOL) utilise un circuit de commutation dure avec une charge inductive, comme l'indique la Figure 1.

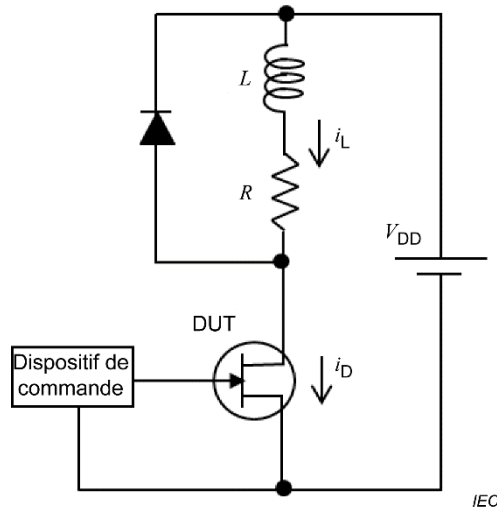


Figure 1 – Circuit d'essai

6.2.2 Paramètres électriques

La fréquence f , la tension d'alimentation V_{DD} , et le courant moyen traversant l'inductance $I_{L(AV)}$ sont réglés en tenant compte des conditions réelles de fonctionnement.

6.2.3 Diode

Le choix d'une diode est effectué en fonction du courant maximal et de la tension maximale. En particulier, étant donné que le courant de rétablissement de la diode circule vers le transistor lors du temps de basculement à l'état passant, la diode est choisie pour reproduire les conditions de commutation de l'application finale, par exemple réaliser l'émulation de la capacité du transistor à effet de champ (FET) côté supérieur, ou avoir une capacité plus importante pour une contrainte accélérée.

6.2.4 Dispositif de commande de grille

Un circuit d'essai comprenant un circuit de commande de grille adapté à chaque transistor d'essai est construit en prêtant attention à la dissipation de chaleur de chaque composant. Le dispositif de commande de grille est soumis à l'exigence de commander le dispositif en essai (DUT) dans les mêmes conditions que celles de l'utilisation réelle, à moins que des paramètres de commutation en vue d'acquérir des facteurs d'accélération ne soient inclus. Il est à noter que le dispositif de commande de grille est également soumis à l'exigence de capacité de commande du courant, afin de ne pas provoquer un faux basculement à l'état passant du DUT.

6.2.5 Inductance et résistance

Une valeur d'inductance L_C et une valeur de résistance R_L sont fixées en prenant pour référence l'Équation (1) à l'Équation (3) suivantes et les formes d'ondes de commutation de la Figure 2.

$$L_C \times \frac{\Delta I}{t_1} = V_{DD} - I_{L(AV)} \times R_L \quad (1)$$

$$L_C \times \frac{\Delta I}{t_2} = I_{L(AV)} \times R_L + V_F \quad (2)$$

$$f = \frac{1}{t_1 + t_2} \quad (3)$$

où

V_{DD} est la tension d'alimentation;

$I_{L(AV)}$ est le courant moyen;

ΔI est le courant d'ondulation;

V_F est la tension de seuil de la diode;

L_C est la valeur de la d'inductance de la bobine;

R_L est la valeur de la charge résistive;

t_1 est le temps à l'état passant;

t_2 est le temps à l'état bloqué;

f est la fréquence de commutation.

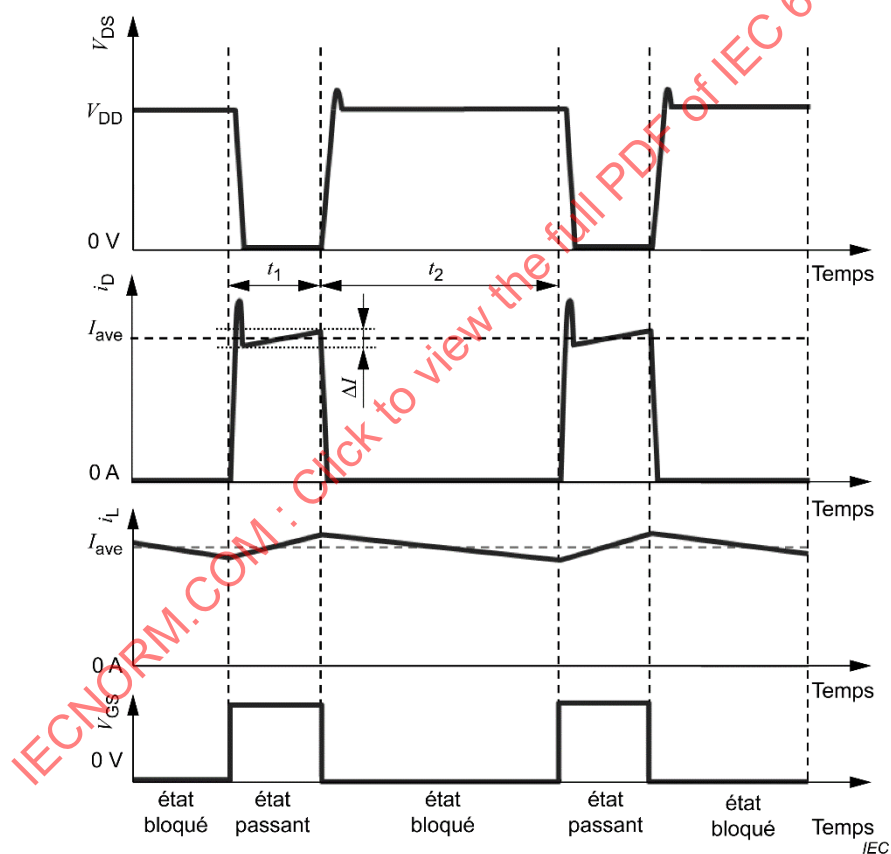


Figure 2 – Formes d'ondes de commutation

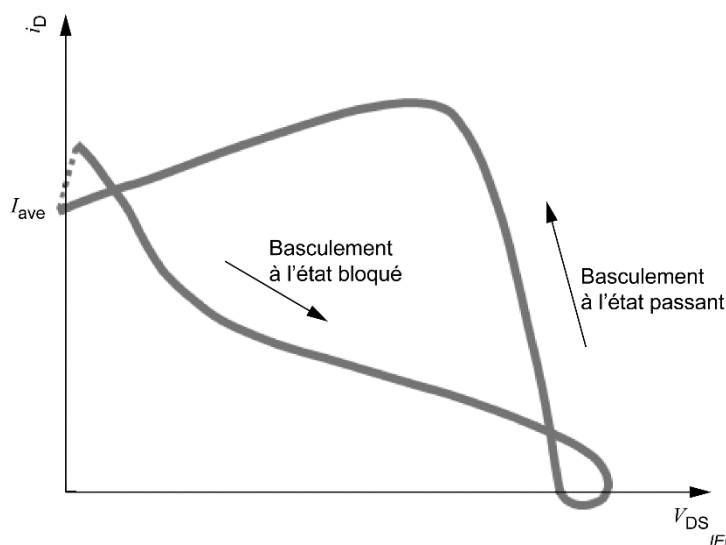


Figure 3 – Courbe de commutation en commutation dure

6.3 Conditions d'essai

6.3.1 Généralités

Une fois le circuit d'essai configuré, les conditions de contraintes électriques et thermiques sont appliquées et évaluées.

6.3.2 Contrainte électrique

Une courbe de commutation du transistor d'essai est créée en utilisant des formes d'ondes de commutation, comme cela est représenté à la Figure 3. On peut affirmer que les conditions de contraintes de courant et de tension sont supérieures ou égales à l'application réelle. Pour plus de précisions sur la méthode à suivre pour évaluer si les contraintes de courant et de tension sont équivalentes à l'application réelle, se reporter à la JEDEC JEP180.01, Article 5 [1]¹.

6.3.3 Contrainte thermique

Un chauffage et/ou un refroidissement externes peuvent être utilisés afin de faire varier la contrainte thermique de manière indépendante sans modifier les autres conditions de contraintes. Lorsque d'autres conditions de contrainte sont soumises à des variations en réduisant le plus possible les effets de variation de la température de jonction, il convient de contrôler les modifications relatives de cette dernière au moyen d'un thermocouple placé aussi près que possible du DUT ou à l'aide d'un dispositif de visualisation thermique. Il est recommandé que la température de jonction soit inférieure ou égale à la température de valeur assignée maximale absolue. Le protocole est décrit en 6.6 dans le cas où est utilisée une température plus accélérée.

6.4 Procédure d'essai

6.4.1 Logigramme

Un logigramme de l'essai DHTOL est donné à la Figure 4. Dans ce logigramme, la procédure vise à effectuer des essais de vieillissement accéléré (ALT, *accelerated life testing*).

¹ Les chiffres entre crochets renvoient à la Bibliographie.